JAIST Repository
https://dspace.jaist.ac.jp/

Title	(110)上の選択成長を利用した平面型並列ナノワイヤ電界効果トランジスタ
Author(s)	赤堀，誠志
Citation	科学研究費補助金研究成果報告書: 1-5
Issue Date	2012-05-29
Type	Research Paper
Text version	publisher
URL	http://hdl.handle.net/10119/10600
Rights	
Description	研究種目：若手研究（B），研究期間：2010～2011，課題番号：22760228，研究者番号：50345667，研究分野：ナノ構造プロセス･物性評価，科研費の分科・細目：電気電子工学・電子・電気材料工学

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY

Japan Advanced Institute of Science and Technology

様式Ｃ－１９

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成２４年　５月２９日現在

機関番号：13302
研究種目：若手研究（Ｂ）
研究期間：2010～2011
課題番号：22760228
研究課題名（和文）(110)上の選択成長を利用した平面型並列
ナノワイヤ電界効果トランジスタ
研究課題名（英文）Planar nanowire field-effect transistors using
selective-area epitaxy on (110)
研究代表者
赤堀　誠志（AKABORI MASASHI）
北陸先端科学技術大学院大学・ナノマテリアルテクノロジーセンター・助教
研究者番号：50345667

研究成果の概要（和文）：分子線エピタキシーを用いたGaAs(110)マスク基板上のInAs選択成長について、適切な選択成長条件を得て、面内へのInAsナノワイヤ形成を可能にした。さらにプレーナー型リソグラフィーを利用した平面型並列ナノワイヤ電界効果トランジスタの試作を行った。試作素子の室温における出力・伝達特性や極低温における磁気伝導度等を評価し、2.3A/mm・4.9mS/mmの最大電流・相互コンダクタンスやスピン軌道結合の存在等を確認した。

研究成果の概要（英文）：We formed in-plane InAs nanowires using selective-area molecular beam epitaxy on GaAs(110) masked substrates with a certain condition. Moreover, we fabricated planar nanowire field-effect transistors by conventional lithography. We measured their output and transfer characteristics at room temperature, and magneto-conductivity at low temperatures. Maximum current and trans-conductance are 2.3A/mm and 4.9mS/mm, respectively, and spin-orbit coupling is observed.

交付決定額

（金額単位：円）

	直接経費	間接経費	合　計
2010年度	1,400,000	420,000	1,820,000
2011年度	1,800,000	540,000	2,340,000
年度			
年度			
年度			
総　計	3,200,000	960,000	4,160,000

研究分野：ナノ構造プロセス･物性評価
科研費の分科・細目：電気電子工学・電子・電気材料工学
キーワード：選択成長、(110)、InAs、ナノワイヤ、電界効果トランジスタ

１．研究開始当初の背景

本研究で作製を目指す半導体ナノワイヤ(NW)は、構造の長手方向がエピタキシャル成長方向と一致している、ナノメートルスケールの断面寸法を有する半導体一次元細線構造である。これらを伝導チャネルとした電界効果トランジスタ(NW-FET)は、2007年の国際半導体技術ロードマップ(ITRS2007)等でも取り上げられているように、一次元化による物性向上や、ダブルゲート型やフィン型のFETと同様の短チャネル効果抑制が期待されている、次世代の半導体基本デバイス候補の一つである。半導体NW形成法に着目すると、それらの多くは(111)や(001)上の有機金属気相エピタキシー(MOVPE)や分子線エピタキシー(MBE)をベースとした気相-液相-固相

(VLS)法により行われており、反応場となる金属液滴の寸法により断面方向への成長が抑制されている結果、寸法制御性の飛躍的向上が可能となっている。またそれらの形状は、閃亜鉛鉱型の III-V 族化合物半導体 NW の場合、多くは主成長面として(111)B、側面として{-110}を有する、基板面外の<111>B に伸長した六角柱形状である。ITRS2007 によれば、NW-FET 関連技術重要課題として NW 形成位置および方向の制御が挙げられているが、これまで作製されてきた NW-FET の多くは、面外に伸長した NW を元の基板から分離し、その後に別のホスト基板上へ平面的に分散、さらに NW の位置観察とその結果を踏襲したアド・ホック的なデザインによるプレーナー型リソグラフィーを経た、分散工程による平面型個別 NW-FET であり、NW の位置・方向とも制御されていない上、低い駆動能力・大きな寄生容量・量子揺らぎのため、NW-FET 特性評価に不利である。その他、(111)B 上の選択成長などを利用して面直型並列 NW-FET が作製されている。この場合は NW の位置・方向とも制御されており、並列化による駆動能力向上や量子揺らぎの平均化が可能であるが、プレーナー型リソグラフィーが適用できない上、基板が導電性のために NW-FET の高性能化が困難となっている。

２．研究の目的

以上の背景より、NW-FET の特性評価や高性能化のためには、並列接続・プレーナー型リソグラフィー・絶縁基板が適用可能な、NW 形成位置および方向の制御方法が必要不可欠であると考え、これまで培ってきた選択成長技術を基に、(110)マスク基板を用いた選択成長による面内<111>B 方向への NW 形成の着想に至った。(110)は面内に沿った<111>B 軸があるため、形成位置を制御しつつ面内における方向制御も可能となり、並列接続やプレーナー型リソグラフィーに適した NW 配置も設計可能となる。本研究では、現有の InAs 系 MBE 成長・デバイスプロセス技術を活用するため、エピタキシャル成長法として MBE、基板面として半絶縁性 GaAs(110)、NW 材料として InAs に焦点を絞る。InAs はアンドープでも高い伝導度が期待されるため NW-FET の試作が容易となる他、大きなスピン分裂などのスピン物性も期待される。選択成長後の平面型並列 NW-FET の試作と、室温における真性特性評価および極低温・強磁場における電子・スピン輸送特性評価を行い、電子速度や電子・スピン緩和に関する知見を獲得してナノデバイス物理の理解を目指す。

３．研究の方法

本研究の研究項目は大きく分けて、NW 形成、NW-FET プロセス、NW-FET 評価の 3 項目である。現有の選択成長技術・MBE 技術・FET プロセス技術を駆使して、InAs-NW の形成と InAs-NW-FET 作製に関するプロセス技術の基本検討を進める。具体的には、ハイドロジェンシルセスキオキサン(HSQ)をマスク材料として用いた電子線リソグラフィーおよび反応性イオンエッチングによるマスク基板の作製とマスクデザインの最適化、固体ソース MBE による選択成長条件の確立、オーミックコンタクトおよびゲートスタック技術の確立である。続いて、これらの成果を用いた平面型並列 InAs-NW-FET の試作を行う。さらに試作した NW-FET について、半導体パラメータアナライザによる室温 DC 特性評価および超伝導マグネット付クライオスタット・ロックイン増幅システムによる極低温・強磁場下の電子・スピン輸送特性評価を進め、評価結果を解析することにより InAs-NW-FET の高速性や電子・スピン散乱に関する知見の獲得を行う。

４．研究成果

まず、先行研究として報告のある GaAs(001)および(111)B 基板を用いて、HSQ を用いたマスク基板作製と選択成長条件の検討を進めた。図 1 は HSQ/GaAs(001)上の MBE 選択成長の成長条件依存性であり、HSQ マスク上の堆積なしに GaAs 開口部から InAs が選択的に成長する条件ならびに NW の形成条件を得ることに成功した。続いて、得られた条件下で HSQ/GaAs(110)マスク基板上の MBE 選択成長を行った。図 2～4 は(001)・(111)B・

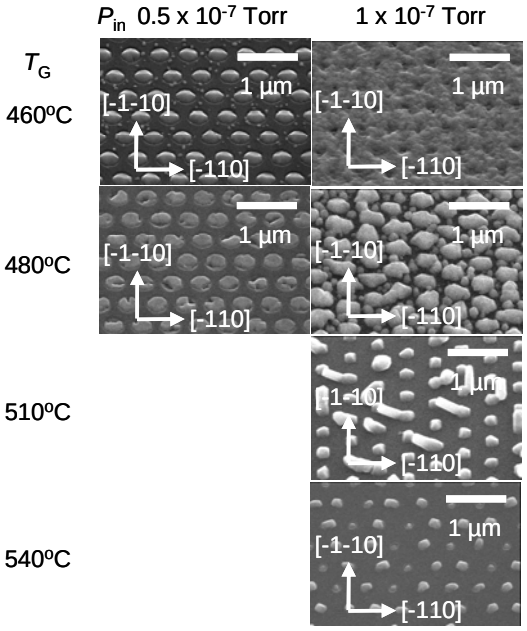

図 1　HSQ/GaAs(001)上の MBE 選択成長
（成長時間 60 分）

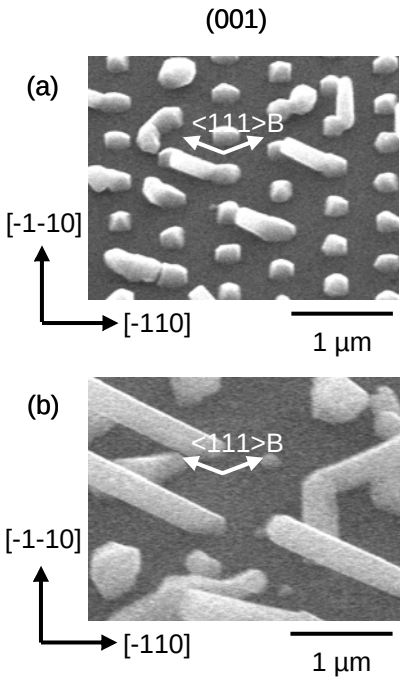

図 2　HSQ/GaAs(001)の MBE 選択成長
(a：成長時間 60 分、b：成長時間 180 分)

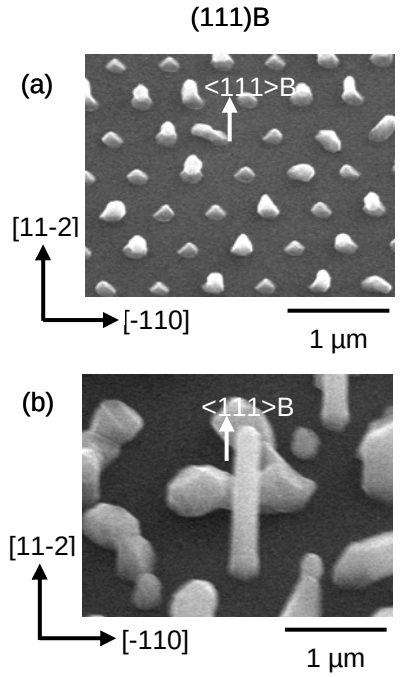

図 3　HSQ/GaAs(111)B の MBE 選択成長
(a：成長時間 60 分、b：成長時間 180 分)

(110)マスク基板を比較した結果であり、(110)面内の<111>B 方向に沿った InAs-NW を得ることに成功した。

以上の成果を用いて、(110)マスク基板面内に形成した並列 NW に、通常の電子線リソグラフィーを用いてオーミックコンタクト形成およびゲートスタックを行い、NW-FET を

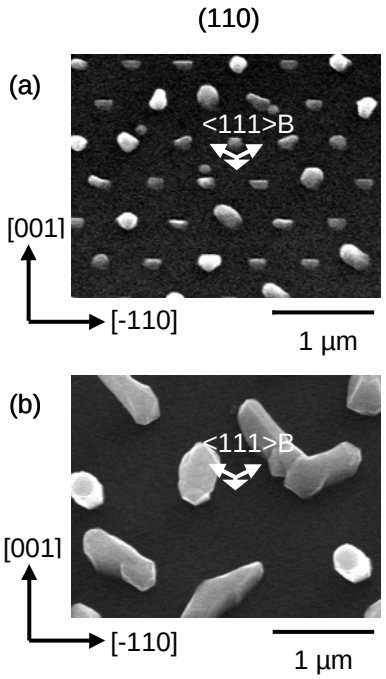

図 4　HSQ/GaAs(110)の MBE 選択成長
(a：成長時間 60 分、b：成長時間 180 分)

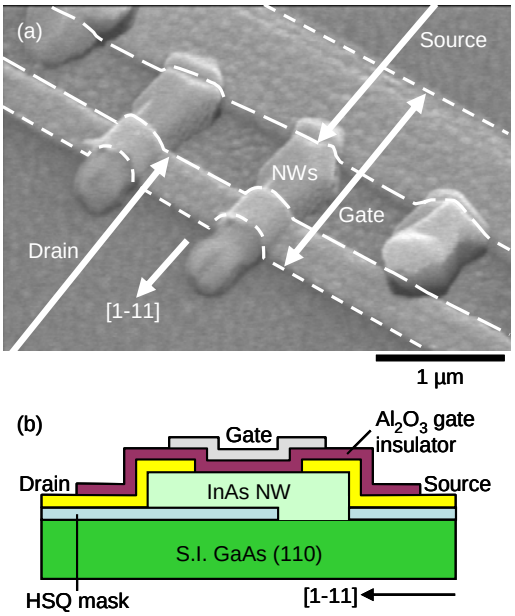

図 5　試作した NW-FET の写真(a)と
断面模式図(b)

試作した。オーミックコンタクトには電子線蒸着によるノンアロイ Ti/Au 電極、ゲートスタックには原子層堆積による Al_2O_3 膜上の Ti/Au 電極を採用し、ゲート構造は位置合わせの際にマージンが取りやすいオーバーラップ型とした。図 5 に試作した NW-FET の写真と断面模式図を示す。

続いて、室温における NW-FET の DC 特性を評価した。その結果、オフ特性は得られなかったもののゲート変調可能なことを確認し、

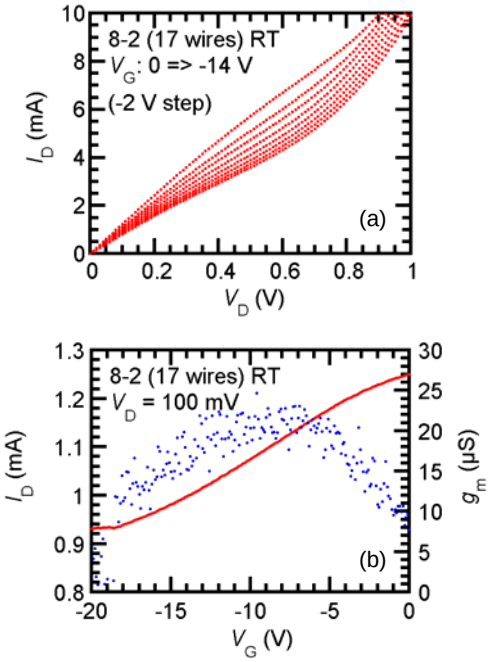

図 6　NW-FET の出力特性(a)および伝達特性(b)

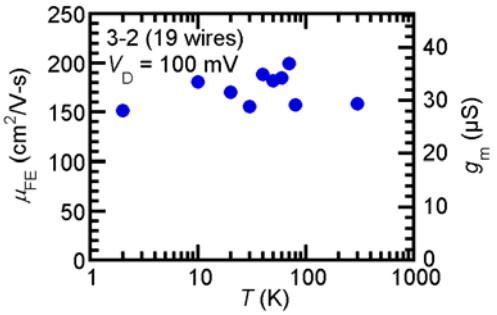

図 7　移動度および相互コンダクタンスの温度依存性

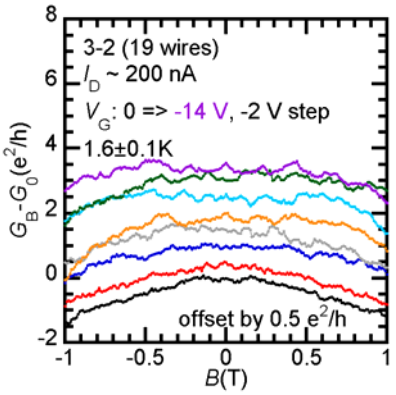

図 8　極低温における磁気伝導度

出力特性(図 6a)において V_G=0V および V_D=1V の条件にて 2.3A/mm の電流を、また伝達特性(図 6b)において V_D=0.1V の条件にて 4.9mS/mm の最大相互コンダクタンスをそれぞれ確認した。これらの値は、先行研究の最高値には遠く及ばず、NW 形成およびゲートスタックの改善の必要性を示唆している。

さらに、2.0-300 K における移動度の温度依存性(図 7)や極低温における磁気伝導度(図 8)を評価した。その結果、移動度は 150-200cm^2/Vs と測定範囲でほとんど温度依存性を示さないこと、また磁気伝導度から伝導電子のスピン軌道結合の存在をそれぞれ確認した。

５．主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計 1 件）

1) M. Akabori, T. Murakami, and S. Yamada: “Selective area molecular beam epitaxy of InAs on GaAs (110) masked substrates for direct fabrication of planar nanowire field-effect transistors”, J. Crystal Growth, Vol. 345, pp. 22-26 (2012). ［査読有］

〔学会発表〕（計 3 件）

1) M. Akabori, and S. Yamada: “Magneto-transport properties of InAs nanowires laterally-grown by selective area molecular beam epitaxy on GaAs (110) masked substrates”, accepted to the 31st International Conference on Semiconductor Physics, Zulich, Switzerland, July 29-August 3 (2012).
2) 赤堀誠志、村上達也、山田省二：「領域選択分子線エピタキシーによる GaAs(001), (111)B および(110)マスク基板上への InAs ナノワイヤ形成」、第 72 回応用物理学会学術講演会、山形県山形市、8/29-9/2 (2011).
3) M. Akabori, T. Murakami, and S. Yamada: “Selective Area Molecular Beam Epitaxy of InAs Nanowires on Various Oriented GaAs Substrates”, the 15th International Conference on Modulated Semiconductor Structures, Tallahassee, FL, USA, July 25-30 (2011).

６．研究組織

(1)研究代表者

赤堀　誠志(AKABORI MASASHI)
北陸先端科学技術大学院大学・ナノマテリアルテクノロジーセンター・助教
研究者番号：50345667

(2)研究分担者
（　　）

研究者番号：

(3)連携研究者
（　　）

研究者番号：