JAIST Repository
https://dspace.jaist.ac.jp/

Title	Parallel TRAMを基にした超並列TRAMの実装と評価
Author(s)	平田，寛道
Citation	
Issue Date	1998-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1118
Rights	
Description	Supervisor:二木 厚吉，情報科学研究科，修士

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY

Japan Advanced Institute of Science and Technology

Parallel TRAM を基にした
超並列 TRAM の実装と評価

平田 寛道

北陸先端科学技術大学院大学 情報科学研究科

1998 年 2 月 13 日

キーワード: 並列項書換え, 抽象機械, TRAM, Parallel TRAM, メッセージパシング.

本研究の目的

項書換えシステムは、代数仕様の直接実行など等式論理を基礎としたさまざまな分野に応用可能な計算モデルである。この項書換えシステムには潜在的に並列性が内在し、それを引き出しマルチプロセッサや超並列計算機に実装して、並列書換えを行えば、逐次書換えに比べ大幅な効率向上が期待できる。

そこで本研究では、計算の実行モデルを明確に表現する事が可能な (項書換えの) 抽象機械を、分散メモリ型の超並列計算機上で並列書換えが可能となるよう拡張し、その設計を行ってゆく。また、これを超並列計算機上に実装し、その評価を行う。

本研究で拡張する抽象機械は、簡約化戦略に E- 戦略を採用した TRAM とし、また並列化に関する理論を、この TRAM を共有メモリ型のマルチプロセッサ上で並列書換えが行えるよう拡張した、 ParallelTRAM の設計理論から得る事にする。

本研究の背景

項書換えシステムは、等式で記述された論理の世界を自然な形で計算の世界に結びつける事ができる計算モデルであり、等式論理の定理証明、代数仕様記述や関数プログラムの直接実行等、さまざまな分野に導入されている。また、その実際の計算機上への実装という面から見ても、その相性は非常に良く、ナイーブな実装は比較的用意に行う事ができる。しかし、そのような性質とは対照的に、一般にその実行効率は悪い。とくに計算原理となる書換え一つ一つに対し、数多くの書換え規則の中から入力項と一致するパターンを見つけ出す作

Copyright © 1998 by Hiromichi Hirata

業が必要となるため非常に効率が悪く、またこの部分の効率は項書換えシステム全体の効率にも大きく影響する。

本研究で拡張の対照としている TRAM は、本学 言語設計学講座の緒方助手により設計、実装された項書換えシステムで、代数仕様言語"CafeOBJ" の実行エンジンとして採用されている。 TRAM は項書換えシステムの実行効率に重点を置いて実装された抽象機械で、弁別ネットに代表される多くの要素技術が盛り込まれている。また、並列書換えの理論の土台としている Parallel TRAM は、この TRAM を並列書換えが可能なように、逐次簡約の指定しかできなかった E- 戦略を拡張し、並列書換えの指定を可能とした並列 E- 戦略や、並列書換えのための抽象機械命令の追加などを行い、 4 プロセスを使用し TRAM の 2 倍程度の性能向上を達成している。

本研究で設計・実装を行う "超並列 TRAM"は、 TRAM に盛り込まれた多くの要素技術を受け継ぎ、また Parallel TRAM での TRAM の並列化技術を元に、分散メモリ型の超並列計算機上で並列書換えを可能とした超並列項書換えシステムである。その設計をメッセージパシングを用い、実装される計算機に依存しない形で行うことで、将来、より利用されるであろう分散計算機環境上での並列項書換えにも対応可能であると考えられる。

本研究の特徴

本研究では次のような特徴を持つ並列項書換えのための TRAM、超並列 TRAM を設計した。

- 超並列 TRAM の設計は、分散メモリ上での書換えを効率的行うよう、また実装する環境に依存しない形にするために、様々な分散計算機環境で用いられているメッセージパシングを利用する。これにより、本研究で実装を行った Cray T3E のみならず、他の分散計算機環境上での超並列 TRAM の実装が容易となる。
- 非常に多くのプロセスに対し、並列に書換えを行う部分項の割当を効率的に行うために、プロセス管理モデルとして Master-Slave モデルを採用した。
- 各プロセスごとにローカルに GC を実行する事を可能とするために、プロセス間のメモリ参照を参照テーブルを用いて行わせている。

研究成果と結論

本研究では、単一プロセス上での動作を想定して設計された項書換え抽象機械、 "TRAM"を、マルチプロセスにおいて並列書換えを行えるよう拡張した "Parallel TRAM"の設計理論を基に、分散メモリ型の超並列計算機で並列書換えを行えるように拡張した "超並列 TRAM"の設計を完成させた。また、設計完了した超並列 TRAM を Cray T3E システム (プロセス数:128)

上に、メッセージパシングライブラリである "MPI" を用いて実装を行い、種々の評価を行った。得られた成果は以下のようになる。

- メッセージパシングを用いる事で、実装環境に依存しない形での超並列 TRAM の設計・実装が行えた。
- プロセススケジューリングモデルに Master-Slave Model を用いる事で、並列書換え時のスケジューリングを効率的に行う事が出来た。
- フィボナッチ数列で 67 倍という速度向上を確認できた。

本論文の構成

本論文の構成は以下のようになっている。第 2 章では、本研究の基盤となる項書換えシステムについての解説を行う。第 3 章では、今回並列拡張の対象とした TRAM について、TRAM が採用している E- 戦略と、 TRAM の基本的な動作について説明する。第 4 章では、TRAM を分散メモリ型計算機に並列拡張するにあたり、並列拡張に関する基盤とした Parallel TRAM について、並列拡張のための並列 E- 戦略と、 TRAM の並列拡張についての概念を説明する。そして第 5 章で、分散メモリ型の超並列計算機上で並列書換えを行う超並列 TRAM の設計を行う。第 6 章では、設計した超並列 TRAM の実装を行い、その評価を行う。第 7 章を結論、および今後の課題の章としている。