

Title	エルモア遅延モデルに基づく最大信号伝播遅延最小化 スタイナー配線
Author(s)	門地, 忠夫
Citation	
Issue Date	1999-03
Type	Thesis or Dissertation
Text version	author
URL	<a href="http://hdl.handle.net/10119/1232">http://hdl.handle.net/10119/1232</a>
Rights	
Description	Supervisor:金子 峰雄, 情報科学研究科, 修士

# 修士論文

## エルモア遅延モデルに基づく最大信号伝播遅延 最小化スタイナー配線

指導教官 金子峰雄 助教授

北陸先端科学技術大学院大学  
情報科学研究科情報システム学専攻

門地忠夫

1999年2月15日

# 目次

<b>1</b>	<b>はじめに</b>	<b>1</b>
<b>2</b>	<b>準備</b>	<b>3</b>
2.1	ネットの定義 . . . . .	3
2.2	各定義 . . . . .	3
2.3	エルモア遅延モデル . . . . .	5
2.4	問題定式化 . . . . .	7
<b>3</b>	<b>遅延制御に関する考察</b>	<b>8</b>
3.1	3端子問題 . . . . .	8
3.2	4端子問題 . . . . .	14
<b>4</b>	<b>Nodetour アルゴリズム</b>	<b>18</b>
4.1	Nodetour アルゴリズム . . . . .	18
<b>5</b>	<b>Svrm アルゴリズム</b>	<b>23</b>
<b>6</b>	<b>実験結果</b>	<b>26</b>
6.1	下界の計算 . . . . .	26
<b>7</b>	<b>結論</b>	<b>31</b>

# 第 1 章

## はじめに

機器の小型化，及び大規模計算処理の要求に対応して，VLSI 設計において高集積化，高速動作化といった，単位面積当たりの計算能力を高める研究開発がおこなわれている．デバイス技術の進歩によりゲートスイッチング遅延は確実に小さくなってきている．一方，配線抵抗，配線容量などに起因する配線遅延はスケーリングによる遅延改善効果が小さくゲートスイッチング遅延に代わって，集積回路の動作速度を決める支配的な要因となってきている．そのため配線遅延を制御する集積回路のレイアウト設計が重要であり，最大信号伝播遅延を最小化する配置・配線手法及びその CAD に関する研究が活発に続けられている．

配線設計における総配線長最小化は配線面積が占めるレイアウト面積を小さくする意味で古くから研究されてきている．また，信号伝播遅延の観点からは，ゲートが駆動する総負荷容量を最小化する意味を持ち，配線容量が支配的な状態においては，信号伝播遅延最小化にも寄与する．一方，最大配線長制限付き総配線長最小化，距離保存総配線長最小化は，信号源（ソース）から伝達先（シンク）までの配線長を考慮することで，配線抵抗に起因する信号伝播遅延を制約して，信号源における総負荷容量を最小化しようとするものである．これらの問題のうち，総配線長最小化問題は NP 困難であることが知られている．また，距離保存総配線長最小化問題は，多項式時間で解けると予想されているが，現在のところその計算複雑度はわかっていない．そのため，これらの配線問題に関しては様々な発見的手法や確率的手法に基づくアルゴリズムの開発が行なわれている．ところで，これら配線問題は遅延評価に 1 次近似モデルを用いることから，微細化と高速化に伴って，遅延評価が不正確となってきている．これに対して，近年，配線抵抗と配線容量を用いた 2 次近似モデルであるエルモア遅延モデルが提案され，より正確な遅延評価が可能となった．しかし，エルモア遅延モデルに基づくいくつかの配線アルゴリズムが開発されているにも関わらず，理論的解析は殆んどなされていない．より効率的なアルゴリズムを開発するた

めにもエルモア遅延モデルに基づく遅延最小化配線問題の理論的解析は重要である。

以降は次のように構成されている。2章では本論文における用語の説明，定義をおこなっている。3章では，エルモア遅延モデルの解析をおこない，それに対する3端子問題，4端子問題を紹介している。4章，5章では提案したアルゴリズムを紹介する。6章では，提案したアルゴリズムを適用した結果を示す。最後に7章で，結論を述べている。

## 第 2 章

### 準備

#### 2.1 ネットの定義

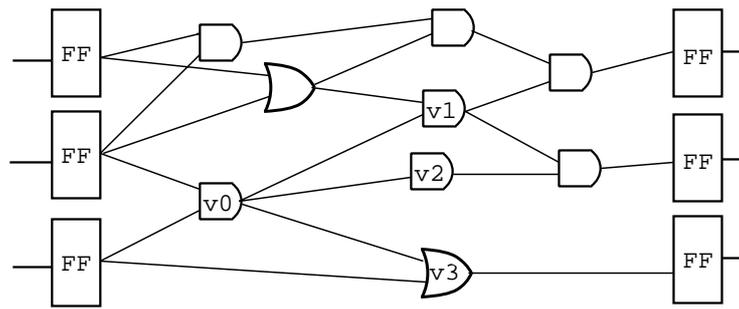
本研究で取り扱うネットの定義をする。ゲート出力に対応するソースと呼ばれる 1 つの平面 ( マンハッタン平面 ) 上の点とゲート入力に対応する複数のシンクと呼ばれる平面上の点からなる集合をネットと呼ぶ。またネット  $N$  を結ぶスタイナー配線上のスタイナー点とその接続形状を表すために、2 分木構造を用いる。

図 2.1 において  $v_0$  がソース、 $v_1, v_2, v_3$  をシンクまたはターミナルと呼ぶ。

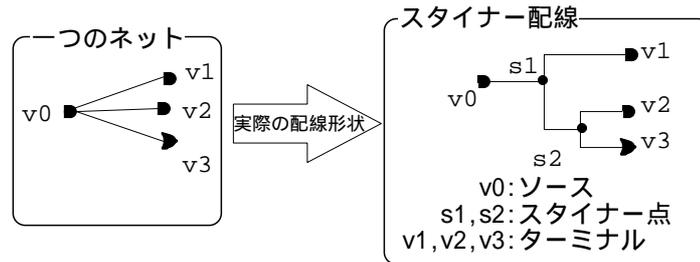
#### 2.2 各定義

以下の定義において、平面は  $x - y$  平面を考え、 $x$  軸方向を水平方向、 $y$  軸方向を垂直方向と呼ぶ。

ネット $N$	ネットの定義参照。
$T$	$N$ を結ぶ 2 分木構造。 $N$ のソースを根とし、各シンクを葉とする。また根の次数は 1 で、他の点の次数は 1 または 3 である。
$V(T)$	$T$ の点集合。
$par(v)$	$v$ の親。つまり任意の $v$ に対して $v$ の隣接点のうち根に近いもの。それ以外の点を $v$ の子どもと呼ぶ。 $v$ の子どもは $v$ が葉でなければ 2 つ存在する。
スタイナー点	$T$ の中で $N$ に含まれない点。



論理回路(ネットリストレベル)



・ゲート、ネットの遅延評価 : エルモア遅延モデル

図 2.1: ネット

$\phi : V(T) \setminus N \rightarrow R^2$  スタイナー点を平面に配置する写像 . すでに  $N$  に含まれる点 (シンク) の位置は決まっているのでその座標自身を点とする . つまり  $\phi(t) = t \forall t \in N$  とする .

$Rect(v)$  任意の  $v \in V(T)$  にたいしてその子  $u, w$  が写像された点  $\phi(u) = (x_u, y_u)$  と  $\phi(w) = (x_w, y_w)$  が張る平面上の矩形領域

$f_{\min}(v)$   $Rect(v)$  のなかで  $par(v)$  の配置された位置  $\phi(par(v))$  に最も近い点

$Seg(v)$   $\phi(par(v))$  と  $f_{\min}(v)$  を結ぶ直線成分

一つの 2 分木構造を持つスタイナー配線は複数存在する . あるスタイナー配線  $S$  に対してのこれらの関数を表すときは ,  $Rect^S, f_{\min}^S, Seg^S$  で表す .  $Seg(v)$  が水平方向と斜め方向の例をそれぞれ図 2.2 に与える .

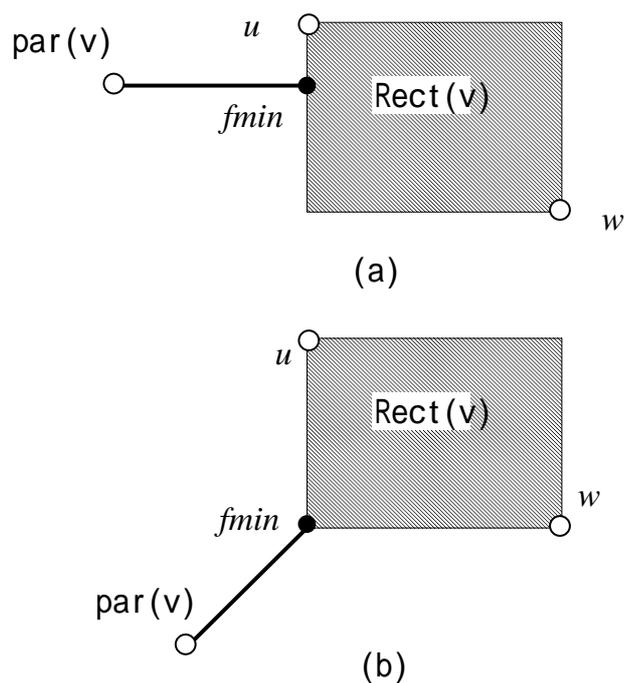


図 2.2: 矩形領域と直線分

## 2.3 エルモア遅延モデル

本研究ではネットの信号遅延を評価するために、配線の抵抗、容量を考慮したエルモア遅延モデルを用いた。このモデルの定義を与える前に幾つかの準備を行なう。

ある頂点入力  $V$  に対して、ソース  $v_0$  からシンク  $v_i$  までのエルモア遅延は以下の式で表される。

$r_d$  : ネットのソース  $n_0$  のアウトプットドライバ抵抗であり、与えられているものとする。

$C_v$  :  $v$  をソースとする部分木としたときのシンクとエッジ容量の合計である。シンクにおいては、あらかじめ与えられているものとする。

$l_v$  :  $N$  のスタイナー配線  $S$  に対し、ソース以外の任意の点  $v \in V(T)$  に対し、 $v$  と  $v$  の親を結ぶ辺  $\{par(v), v\}$  に対応する  $S$  の配線  $(W(v))$  の長さ。

$r$  : 配線長に対する抵抗の比例定数。

$c$  : 配線長に対する容量の比例定数。

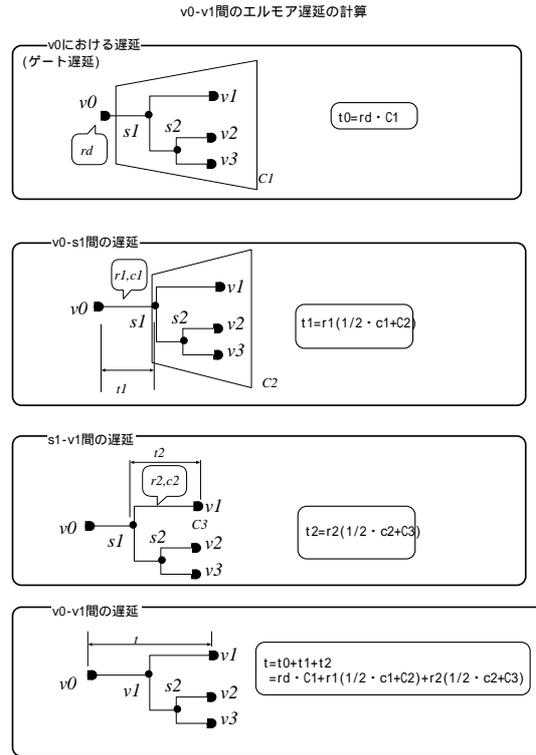


図 2.3: エルモア遅延の計算

またエルモア遅延モデルでは、 $W(v)$  の配線抵抗と配線容量はそれぞれ、 $rl_v, cl_v$  で表される。

各点  $v$  におけるエルモア遅延は、ソース  $s_0$  と  $v$  を結ぶ  $T$  上のパス  $P$  の点集合から、 $s_0$  を除いた集合  $V(P) \setminus s_0$  を用いて次式で与えられる。

$$t_{ED}(v) = r_d C_{s_0} + \sum_{s \in V(P) \setminus \{s_0\}} rl_s \left( \frac{cl_s}{2} + C_s \right) \quad (2.1)$$

特にスタイナー配線  $S$  を強調するときは  $t_{ED}$  を  $t_{ED}^S$  で表す。

実際の計算は図 2.3 のようになる。 $r_i, c_i$  は配線の抵抗と容量である。ここでは、 $v_0 - v_1$  間の遅延を求めている。まずソース  $v_0$  での遅延は  $r_d C_1$  となる。ここで  $C_1$  というのは、 $v_1, v_2, v_3$  での容量  $C_{v_1}, C_{v_2}, C_{v_3}$  と  $v_0 - s_1$  間,  $s_1 - v_1$  間,  $s_1 - s_2$  間,  $s_2 - v_2$  間,  $s_2 - v_3$  間の配線容量の総和である。したがって、 $r_d$  における遅延は  $r_d \cdot C_1$  である。以下、同様にして  $v_0 - s_1$  間、 $s_1 - v_1$  間の遅延計算はそれぞれ、 $r_1(\frac{c_1}{2} + C_2)$ 、 $r_2(\frac{c_2}{2} + C_3)$  になり  $v_0 - v_1$  間の遅延はこれらの頂点間の総和となり、 $r_d \cdot C_1 + r_1(\frac{c_1}{2} + C_2) + r_2(\frac{c_2}{2} + C_3)$  となる。

## 2.4 問題定式化

本論文の研究目的は、入力されたソースとシンクの集合にたいして、シンクにおける最大の遅延を最小化するような矩形スタイナー配線（縦横成分のみ）を構成することである。ここではスタイナー点とその接続形状を表すために、2分木構造を用いる。また、配線の重なり、交差を許すものとする。提案するアルゴリズムは2つある。まず一つは初期解をもとめるアルゴリズムである。入力頂点集合に対して、シンクからソースまでの距離が最小になるようにつ、総配線長を小さくするような配線を構成する。もう一つのアルゴリズムは前ステップで求めた初期解（2分木構造）を入力として、エルモア遅延モデルに基づいた最大遅延を改善するような、配線を構成する。

入力： ネットの端子集合 (シンク)

出力： 平面矩形スタイナー配線

内容： シンクにおける最大遅延最小化

## 第 3 章

# 遅延制御に関する考察

ここでは遅延制御について，エルモア遅延モデルに基づいた 3 端子問題と 4 端子問題を議論する．ただし，配線や頂点の重なりを考慮しない．また距離はマンハッタン距離とする．式 2.1 と容量の定義より次の補題を得る．

補題 3.1 任意の点  $v$  のエルモア遅延  $t_{ED}(v)$  は各配線の長さに関して単調増加である．

証明: ある頂点間の配線が増加し，他の配線長は変化しないと仮定すると，変化した配線の祖先にある全ての頂点において，容量  $C_v$  は増加する（ソース  $s_0$  においては，かならず  $C_{s_0}$ ）のですべての点におけるエルモア遅延も増加する．

### 3.1 3 端子問題

ここでは，配線や端子の重なり，侵入不可領域などを考慮せず，平面上の 2 点間の距離はマンハッタン距離で与えられるものと仮定し，エルモア遅延モデルに基づき，信号伝播遅延を考察する．図 3.1 参照

3 端子条件: 配線  $S$  にたいし，スタイナー点  $v \in V(T) \setminus N$  が  $Seg(v)$  上にあるとき， $v$  は 3 端子条件を満たす．

以下にいくつかの定義をする．

$C_{sink}$           シンクの容量

$length(v_i, v_j)$  頂点  $v_i, v_j$  間のマンハッタン距離

領域  $A$           3 点  $(par(v), u, w)$  を囲む最小の長方形領域

領域 B 領域 A のなかで ,  $\text{Rect}(v)$  を含まない領域

領域 C  $\text{Rect}(v)$  と同じ領域

$l_1$   $\text{par}(v) - v$ 間の距離

$l_2$   $v - u$ 間の距離

$l_3$   $v - w$ 間の距離

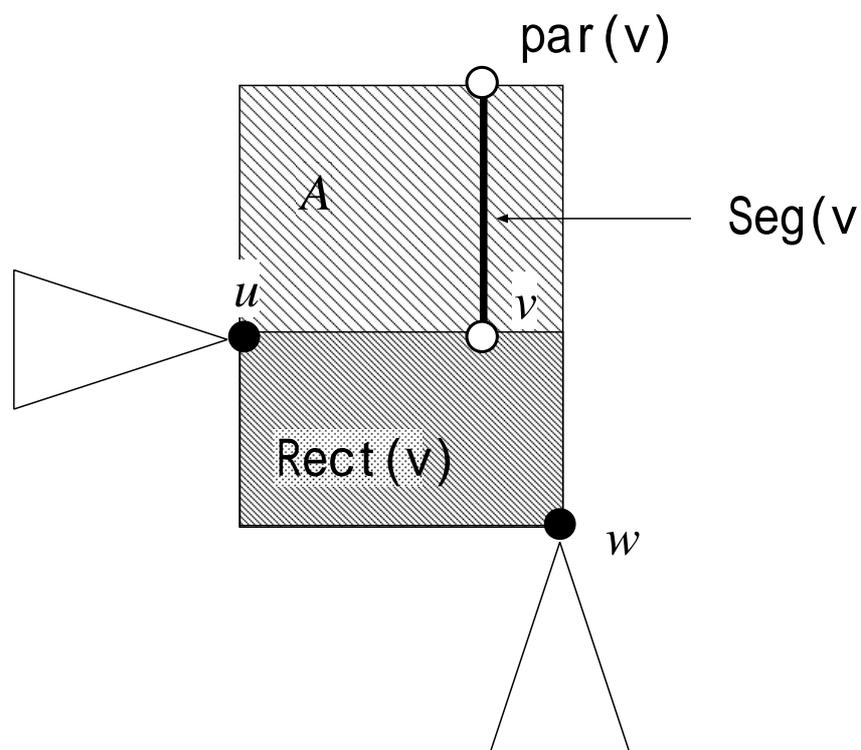


図 3.1: 3 端子問題

ここで エルモア遅延モデルより得られた , 次の定理を証明する .

定理 3.1 あるネットの 2 分木構造  $T$  と任意のスタイナー配線  $S_0$  が与えられとする . このとき , すべてのターミナルにおけるエルモア遅延が  $S_0$  のそれ以下であり , すべてのスタイナー点が 3 端子条件を満たすスタイナー配線が存在する .

証明: すべてのターミナルにおけるエルモア遅延が  $S_0$  のそれ以下であり, 3端子条件を満たす点の数が最小のものを  $S$  とする. このとき, 3端子条件を満たさない点  $v$  が存在したと仮定して, 矛盾を導く.

補題 3.2 シンクにおける遅延を悪くしないような, スタイナー点  $v$  の位置は三つの点 ( $par(v), u, w$ ) を囲む最小の長方形の外には存在しない.

証明: もし 図 3.3 の領域  $A$  以外の場所にスタイナー点  $v$  が存在すると仮定する. いま, スタイナー点  $v$  以外は固定なので, 領域  $A$  以外のどの点からでも領域  $A$  に近付けることによって,  $length(v, u), length(v, w), Seg(v)$  の長さはより短くなるのみである. よって補題 3.1 よりシンクにおける遅延を悪くしないようなスタイナー点  $v$  の位置は領域  $A$  に存在することがわかる. ■

図 3.2 に  $Seg(v)$  が水平方向の場合と斜め方向の場合の例をしめす. 3端子問題においては, 3点の位置関係がどのような場合であっても, この2つの場合の形となる.

補題 3.3 図 3.2 において, 同様にスタイナー点  $v$  以外は固定とすると, 遅延を増加させないような, スタイナー点の場所は, 太線上 ( $Seg(v)$ ) もしくは領域  $C$  に存在する.

証明: ここでは, 領域  $A$  内でさらに遅延を悪くしないような  $v$  の位置を特定する. 領域  $B$  に存在する  $v$  は, 矢印方向に  $45$  度で移動をしても各頂点間の配線の長さ  $l_v, l_u, l_w$  は, いづれも増加しない. よって, 補題 3.1 からすべてのシンクにおけるエルモア遅延は増加しない. ■

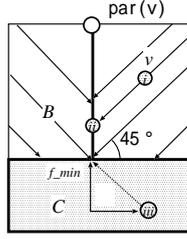
従って,  $S$  は 3端子条件を満たさない点の数が最小であるから,  $v \in Rect(v)$  ならば,  $v$  を  $f_{\min}(v)$  に移動することにより, 得られる配線  $S'$  における各シンクの遅延が  $S$  のそれ以下であることを示せば十分である.

$S$  と  $S'$  の各シンクにおけるエルモア遅延を比較する. 配線  $S$  における  $l_v, l_u, l_w$  をそれぞれ,  $l_v^S, l_u^S, l_w^S$  とし, 配線  $S'$  におけるそれを,  $l_v^{S'}, l_u^{S'}, l_w^{S'}$  とする.

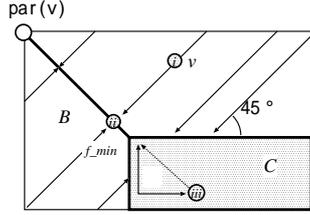
補題 3.4 領域  $C$  にあるスタイナー点  $v$  (配線  $S$ ) の各シンクにおける遅延は,  $f_{\min}(v)$  に移動することによって (配線  $S'$ ) 増加することはない.

証明: 今, スタイナー点  $v$  が領域  $C$  に存在するとする (図 3.2) この  $v$  を  $f_{\min}(v)$  に移動する. このときの移動距離を  $\Delta$  とすると, 図 3.3 のようになる. ここで, 移動前と移動後の遅延において, 移動後の各シンクにおける遅延のほうが小さいことを示せばいい.

今, 任意のシンクを  $s$  とし,  $s$  が  $v$  の子孫でない場合,  $u$  の子孫の場合,  $w$  の子孫である場合を考察する.



(a) Seg(v)が水平方向の場合



(b) Seg(v)が斜め方向の場合

図 3.2: 補題 2 , 3

$s$  が  $v$  の子孫ではない場合: 配線  $S'$  においては,  $par(v)$  と  $u$  と  $w$  間の配線長が  $\Delta$  減少するため, その他は不変であるため補題 3.1 よりシンク  $s$  での遅延は増加しないことがわかる.

$s$  が  $w$  の子孫である場合: 配線  $S'$  において,  $v$  における遅延は, 配線  $S$  に比べて,  $v$  より子孫にある頂点は容量が不変であり,  $length(par(v), v)$  は  $\Delta$  減少しているため,  $t_{ED}^{S'}(v)$  は増加しない.  $w$  においても, 同じ議論が言え配線  $S'$  における遅延は増加しないことがわかる. よって,  $w$  の子孫にある  $v$  においても遅延が増加しないことがわかる.  $t_{ED}^{S'}(s) \leq t_{ED}^S(s)$

$s$  が  $u$  の子孫である場合:  $t_{ED}^{S'}(s), t_{ED}^S(s)$  について以下の式を得る. いま, ソースの頂点を  $s_0$ , ソース  $s_0$  と  $par(v)$  間の遅延を  $t_{ED}(s_0 - par(v))$  とする.

$$t_{ED}^S(s) = t_{ED}(s_0 - par(v)) + l_v r \left( \frac{l_v c}{2} + C_v \right) + l_u r \left( \frac{l_u c}{2} + C_u \right) \quad (3.1)$$

$$t_{ED}^{S'}(s) = t_{ED}(s_0 - par(v)) - \{r_d + r(length(s_0, par(v)))\} c \Delta \quad (3.2)$$

$$+ (l_v - \Delta) r \left( \frac{l_v - \Delta}{2} + C_v \right) + (l_u + \Delta) r \left( \frac{l_u + \Delta}{2} + C_u \right) \quad (3.3)$$

配線  $S'$  において  $S$  と比べて増えた項は,

$$\Delta l_u r c + r c \Delta^2 + \Delta r C_u$$

一方，マイナスとなった項は

$$-\{r_d + r(\text{length}(s_0, \text{par}(v)))\}c\Delta - \Delta r c l_v - \Delta r C_v$$

ただし，

$$C_v = C_u + C_w + c(l_u + l_v + l_w)$$

であるので，

$$t_{ED}^{S'}(s) \leq t_{ED}^S(s)$$

である．

これらのことより，配線  $S'$  において各シンクにおける遅延は  $S$  によるそれを上回らない．したがって， $S'$  は  $S$  よりも 3 端子条件を満たさない点の数が少ないので， $S$  の仮定に矛盾する．■

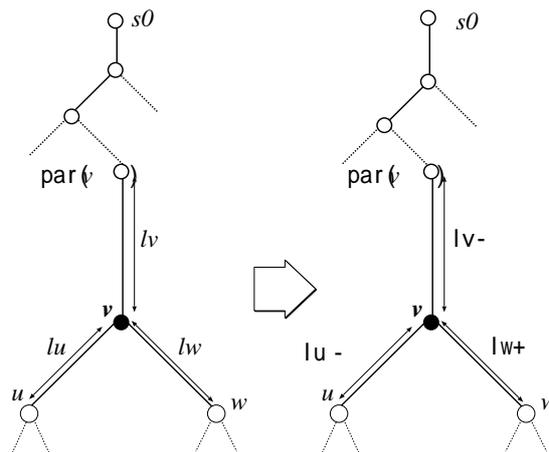


図 3.3: 移動による配線長の変化

ここで 定理 3.1 に関する考察をするため， $s_0$  をソースとする 3 点からなるネット  $N = \{s_i | 0 \leq i \leq 2\}$  を考える．定理 3.1 より，3 点からなるネットに対し，最大信号伝播遅延に関する最適解におけるスタイナー点  $v$  が  $fminv$  と  $s_0$  に配置される例はそれぞれ  $r_d$  と  $C_{s_i} (i = 1, 2)$  を大きくすることによって容易に得られる．最適解におけるスタイナー点の位置が  $s_0$  と  $fminv$  以外の例を図に挙げる．各変数の値は次のとおりである．

$$r_d = 8$$

$$s_0 = (1, 0)$$

$$s_1 = (0, 3)$$

$$s_2 = (3, 6)$$

$$C_{s_1} = 12$$

$$C_{s_2} = 1$$

また, スタイナー点の位置は変数  $l$  を用いて  $(1, 3 - l)$  で表す.

$t_{ED}(s_1), t_{ED}(s_2)$  はそれぞれ

$$t_{ED}(s_1) = 256.25 - (l - \frac{1}{2})^2 \quad (3.4)$$

$$t_{ED}(s_2) = 256 - (l - 4)^2 \quad (3.5)$$

である.  $0 \leq l \leq 3$  であるから, (3.4), (3.5) より,  $l = \frac{16}{7}$  において最大信号伝播遅延は最小値をとる. 図 3.4 参照

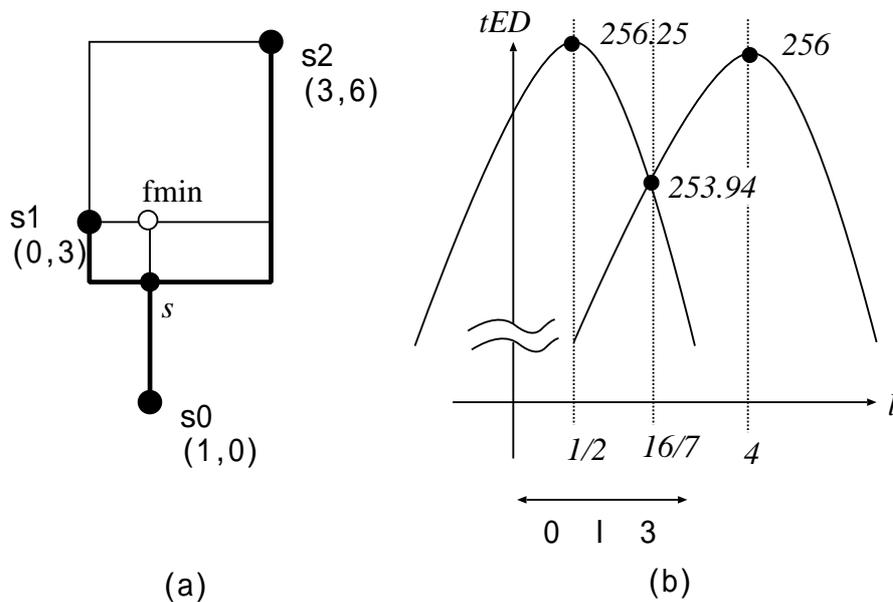


図 3.4: 3 端子問題

定理 3.2 最大信号伝播遅延最小化 Steiner 配線  $S$  において, どのクリティカルパス上にも含まれない Steiner 点  $v$  は  $f_{\min}(v)$  上に存在する.

### 3.2 4 端子問題

定理 3.2にもみられるように，どのクリティカルパスにも含まれないスタイナー点は配線容量を最小化するためにも  $f_{\min}$  に配置されるのが望ましい．すべてのスタイナー点が  $f_{\min}$  に配置するようなスタイナー配線  $f_{\min}$  制約を満足する，あるいは  $f_{\min}$  配線という．

クリティカルパス 最大遅延を持ったシンクとソース間のパス

この節では，親子関係にある二つのスタイナー点の位置を同時に決める手法を提案する．ここでは，スタイナー点がクリティカルパス上に含まれるか否かには無関係に常に  $f_{\min}$  に配置すると仮定し，その上で，それらに隣接する 4 頂点の位置から全てのシンクの遅延が最も小さくなる位置を決定する．図 3.5 に 4 端子問題の 2 分木構造を与える．二つのスタイナー点  $s_1, s_2$  とそれらに隣接する 4 頂点  $v_i (0 \leq i \leq 3)$  の位置が決定しているならば  $s_1, s_2$  も決定する．

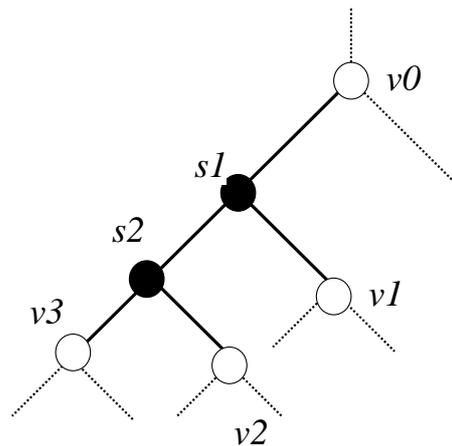


図 3.5: 4 点問題の 2 分木構造

定理 3.3  $S_0$  を一つの  $f_{\min}$  配線とする． $S_0$  から，ある隣接する 2 点  $s_1$  と  $s_2$  のみを移動することにより得られるすべての集合を  $S$  とするとき，どのシンクにおける遅延も  $S$  に含まれる他の配線のそれ以下である  $f_{\min}$  配線  $S \in S$  が唯一存在する．

証明: まず 図 3.6 に示すように， $v_2$  と  $v_3$  を含む最小の矩形領域  $Rect(s_2)$  にたいし， $v_0$  が 3.6(a) の  $A, B, E$  のいずれかにある場合のみを考えれば良い． $v_0$  が  $A$  の領域にある場合，さらに，対称性より， $v_1$  が  $A, B, C, E, F, I$  どの領域に存在するかによって場合分けを

する．ただし，境界線上の場合は隣接する領域のどちらにしても構わない．基本的には以下に示す  $A-A, A-B, A-E$  の三つのパターンで証明できる．以下では平面上の点  $u$  の  $x$  座標と  $y$  座標をそれぞれ  $x(u), y(u)$  で表す．

場合  $A-A$

$s_2$  は  $Rect(s_2)$  内に配置されるため， $s_1$  は 3 端子問題より， $v_1$  と  $s_2$  を含む矩形領域の中で最も  $v_0$  に近い点は  $v_0$ ， $s_1$  を含む矩形領域の中で最も  $a$  に近い点である．

場合  $A-B$

同様の議論より， $y(s_1) = \min y(y_0), y(y_1)$  及び， $y(s_2) = y(a)$  を得る． $s_1$  と  $s_2$  の  $x$  座標が等しくなる．その座標を  $l$  と置く． $v_0, v_1, s_1$  及び  $s_2$  の位置関係を 3.6 (c) に表す．証明の詳細は 3 頂点定理のときと同様であるので省略する．

場合  $A-E$

この場合が，証明の最も複雑なパターンである． $s_2$  も  $v_1$  も共に  $Rect(s_2)$  上に配置されるので， $s_1$  も  $Rect(s_2)$  上に存在する．よって， $Rect(s_2)$  上で最も  $s_1$  に近い点は  $s_1$  自身であるから， $s_1, s_2$  は重なる． $s_1, s_2$  の配置位置を  $Rect(s_2)$  上の  $a$  以外の任意の点としたときのスタイナー配線  $S_1$  と  $a$  にとるときのスタイナー配線  $s_2$  における各点の遅延を比較する． $a$  と  $p$  との距離を  $\delta$  とする．スタイナー配線  $S_i (i = 1, 2)$  における  $v \in s_1, v_1, v_2, v_3$  とその親の距離を  $l_v^1$  とする．このとき  $Rect(s_2)$  内の任意の点と  $v_2, v_3$  との距離の和は常に一定なので， $l_{v_2}^1 + l_{v_3}^1 = l_{v_2}^2 + l_{v_3}^2$  である．一般性を失うことなく  $l_{v_2}^2 \leq l_{v_2}^1$  と仮定する．このとき  $l_{v_2}^1 \leq l_{v_2}^2 + \delta$  であるから，

$$l_{v_2}^2 = l_{v_2}^1 - \delta^- \quad (3.6)$$

$$l_{v_3}^2 = l_{v_3}^1 - \delta^- \quad (3.7)$$

となる．ただし  $0 \leq \delta^- \leq \delta$  である．一方  $a$  は  $Rect(s_2)$  の中でも最も  $s_2$  の親  $v_0$  に近い点であるから，

$$l_{s_1}^2 = l_{s_1}^1 - \delta \quad (3.8)$$

である．さらに， $v_3$  と  $a$  との距離は  $v_3$  と  $p$  との距離と  $p$  と  $a$  との距離の和以下であるから，

$$l_{v_1}^2 = l_{v_1}^1 - \delta' \quad (3.9)$$

( $\delta' \leq \delta$ ) である．

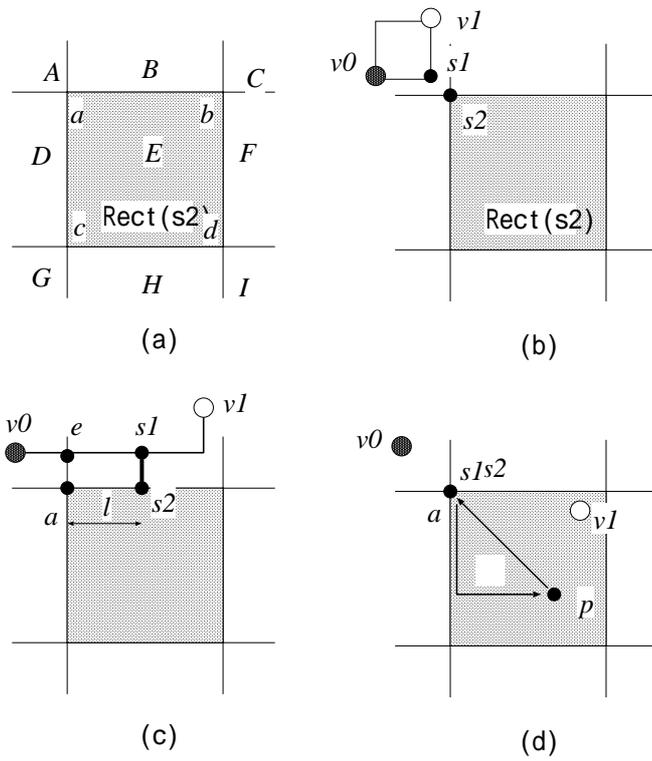


図 3.6: 4点問題の場合分け

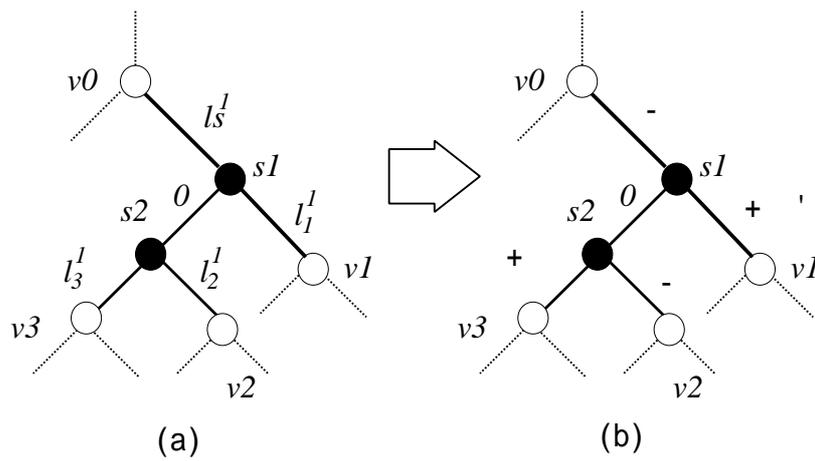


図 3.7:  $s_1$  と  $s_2$  の移動による配線長の変化

図 3.7 (a) に配線  $S_1$  における各配線長を表し, (b) には  $S_2$  の  $S_1$  との配線長の変化分を表す. このとき

$$t_{ED}^{s_2}(v_1) - t_{ED}^{s_1}(v_1) \quad (3.10)$$

$$\leq \sum_{v \in (s_1, v_1)} (rl_v^2(r_v^2 + C_v^{s_2}) - rl_v^1(rl_v^1 + C_v^{s_1})) \quad (3.11)$$

である. (3.8)(3.9) より, この右辺は次の 2 次式の和となる.

$$rc\left(\frac{(\delta - \delta')^2}{2} - \delta l_{s_1}^1\right) \quad (3.12)$$

$$r(\delta' cl_{v_1}^1 + \delta' C_{v_1}^{s_1} - \delta C_{s_1}^{s_1}) \quad (3.13)$$

$l_{v_1}^1 \geq \delta \geq \delta'$  より,  $\frac{(\delta - \delta')^2}{2} - \delta l_{s_1}^1 \leq 0$  であるから, (3.12) は負である. よって,

$$C_{s_1}^{s_1} = C_{v_1}^{s_1} + C_{s_2}^{s_1} + cl_{v_1}^1 + 0 \quad (3.14)$$

$$\geq C_{v_1}^{s_1} + cl_{v_1}^1 \quad (3.15)$$

したがって (3.13) も負であり, (3.11) も負である. 従って,  $S_2$  における  $v_1$  の遅延は  $S_1$  における  $v_1$  の遅延以下である. 次に,  $v_2$  と  $v_3$  の  $S_1$  と  $S_2$  における遅延の比較であるが,  $s_1$  と  $s_2$  を結ぶ配線長が 0 であるから, (3.6) (3.7) より, 3 点定理のときと同様に証明できる. 従って, この場合も一意に決まる.

先ほど述べたように他の場合はすべてこれらのいずれかの場合と同様に証明できる. ■

## 第 4 章

# Nodetour アルゴリズム

アルゴリズムを説明する前に幾つかの定義をする．シンクとソースを結ぶ配線の長さがその 2 点間のマンハッタン距離と等しいとき，その配線を半径保存配線という．複数のシンクとスタイナー点とそれらすべてを結ぶ配線からなるスタイナー配線を連結成分  $C$  とよび，連結成分上で最もソースに近い点をその連結成分のテンポラリとよび， $tmp(C)$  あるいは単に  $tmp$  で表す． $tmp_{C_1}$  と  $tmp_{C_2}$  を囲む矩形領域  $Rect(C_1, C_2)$  上の最もソースに近い点を  $Tmp(C_1, C_2)$  とするとき，2 つの連結成分  $C_1$  と  $C_2$  の距離は，次のように定義される．

$Rect(C_1, C_2)$  がソースを含むなら 図 4.4(d)

$Tmp(C_1, C_2)$  が  $tmp(C_1)$  と  $tmp(C_2)$  のどちらとも一致しないならば， $tmp(C_1)$  と  $tmp(C_2)$  のマンハッタン距離 図 4.4(b)

$Tmp(C_1, C_2) = tmp(C_i) (i = 1, 2)$  ならば  $Rect(C_1, C_2)$  に含まれる  $C_1$  上の点で最も  $tmp(C_2)$  に近い点と  $tmp(C_2)$  のマンハッタン距離 図 4.4(a)(c)

このアルゴリズムはソースとシンクの座標を入力としており，与えられた各シンクがソースに対して，総配線長が短くなるような半径保存配線の生成を目的としている．

### 4.1 Nodetour アルゴリズム

ここでは Nodetour アルゴリズムの構成方を述べる．まず，すべてのシンクを 1 点から成る連結成分とし，それ自身を  $tmp$  とする．次に最も距離の小さい連結成分の組を求め，その 2 つの距離に対応する配線（図中の太線）で 1 つの連結成分を構成する．このとき図 4.4(a)(c) の場合は  $Rect(C_1, C_2)$  の最もソースに近い点を新たに構成した連結成分の  $tmp$  と

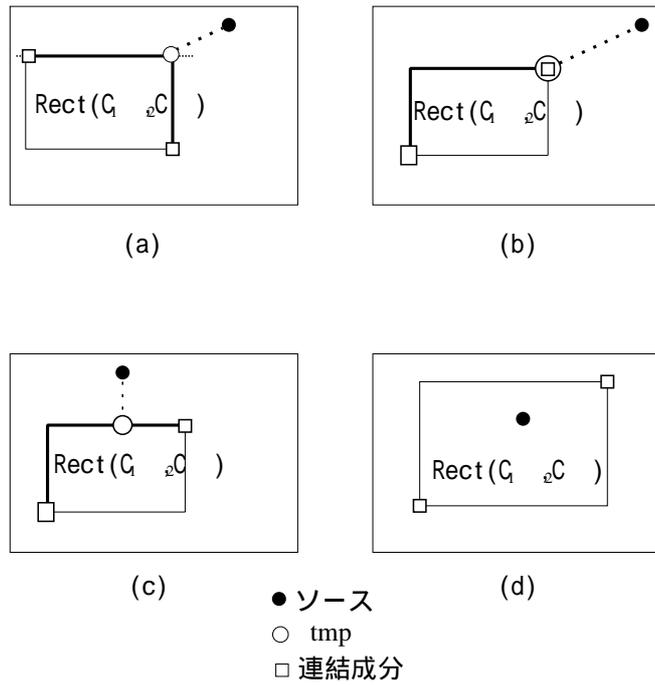


図 4.1: 連結成分間の距離

し, 図 4.4(b) の場合は  $tmp(C_1)$  と  $tmp(C_2)$  のうちソースに近いほうを  $tmp$  とする. すべての連結成分間の距離が  $\epsilon$  になるまでこの操作を繰り返す. 最後にすべての連結成分からなるソースへの配線を接続して終了する. これと同時に 2 分木構造の構成も行なう. 図 4.4 参照

ソースと 10 のシンクを入力し, それに対して Nodetour Algorithm を適用した例を示す. 図 4.2 が入力した状態であり, 図 4.3 が Nodetour Algorithm を適用した図である.

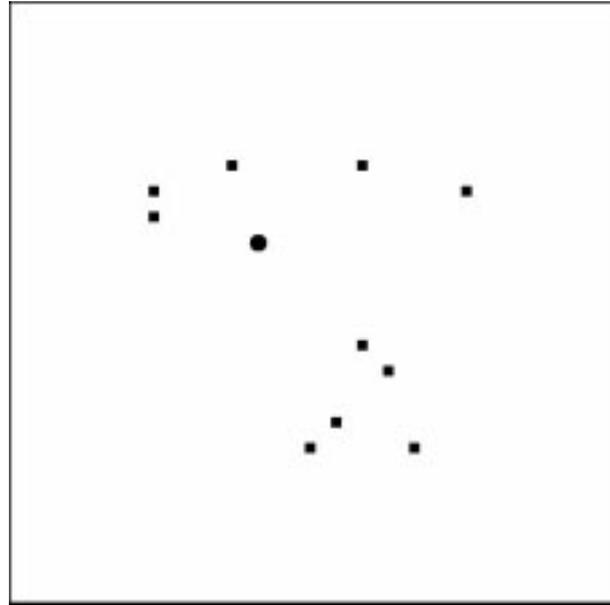


図 4.2: 入力

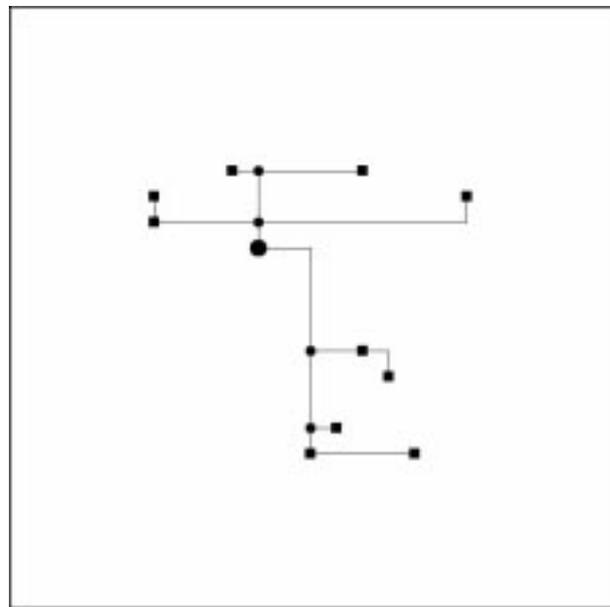
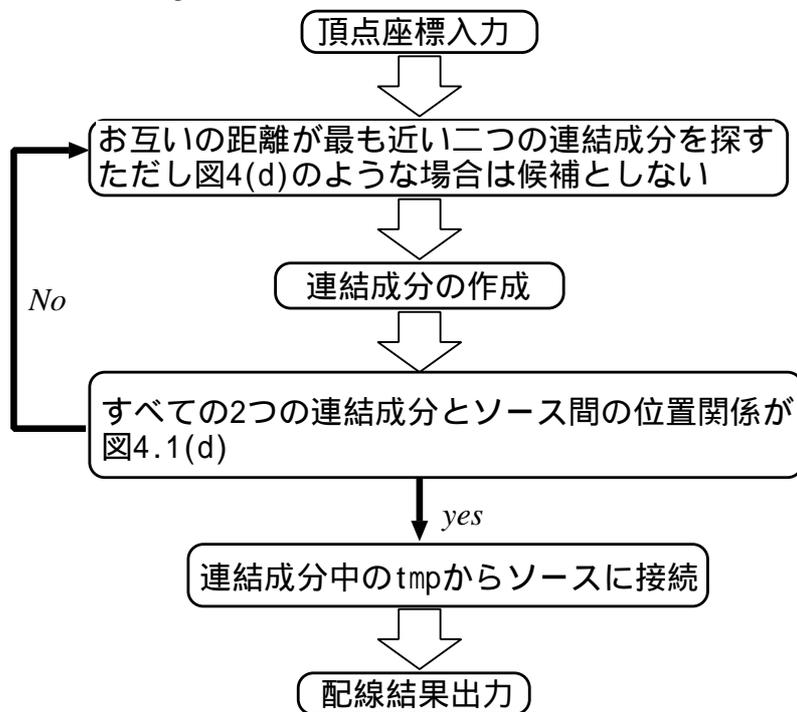


図 4.3: Nodetour Algorithm の適用

*Nodetour Algorithm*



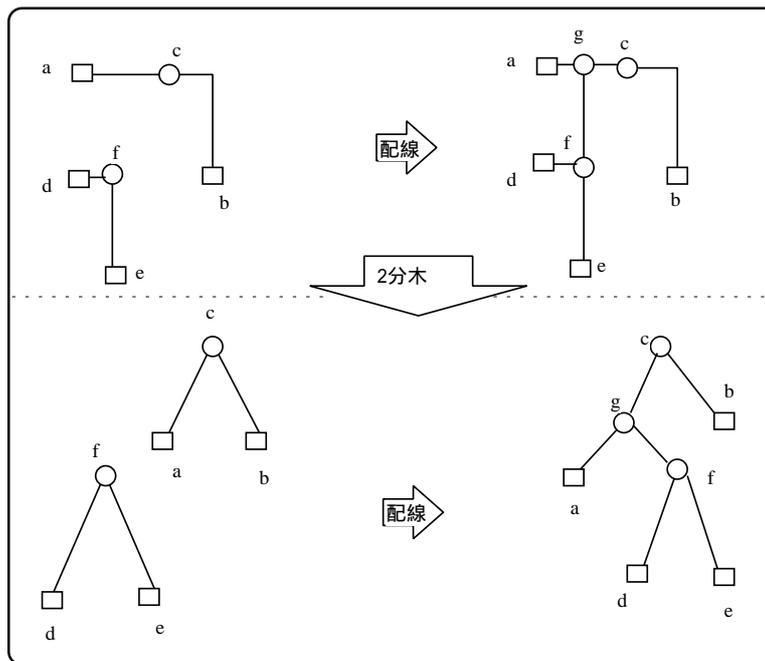
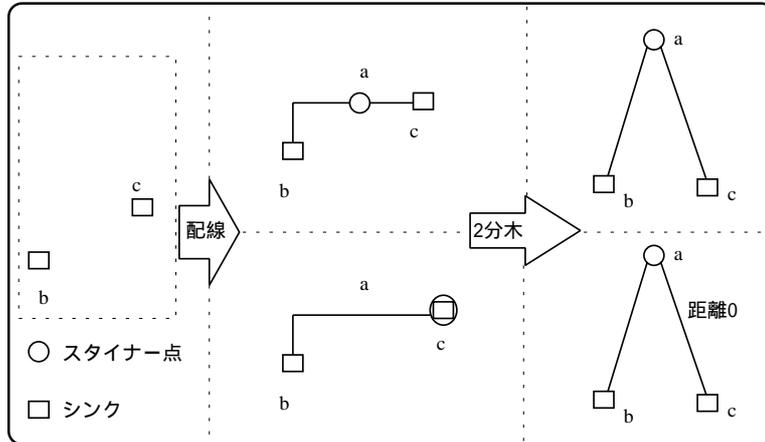


図 4.4: 2分木の構成

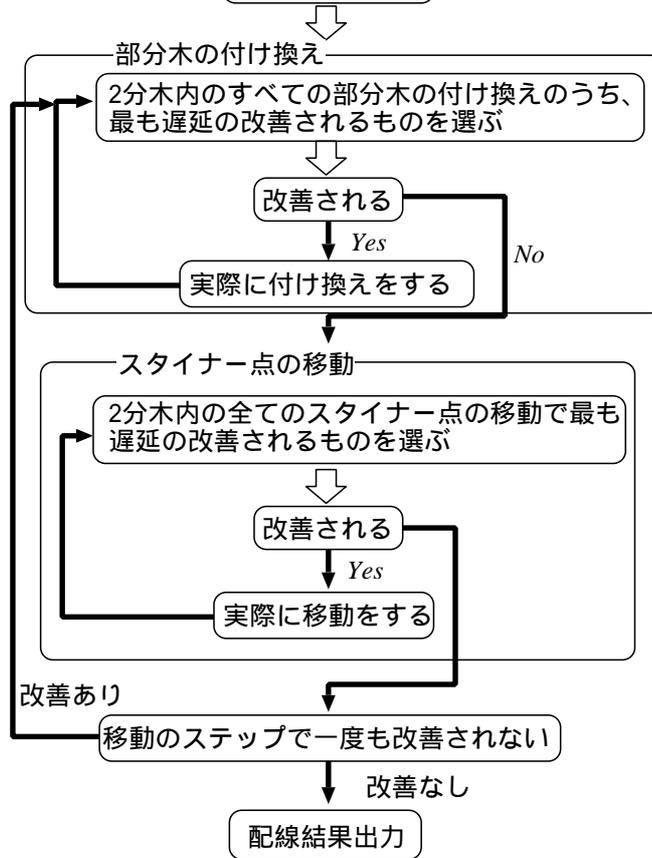
## 第 5 章

# Svrn アルゴリズム

ここでは、Nodetour アルゴリズムによって生成されたスタイナー配線（木構造）をもとに、最大遅延を最小にするため、Svrn アルゴリズムを適用する。このアルゴリズムは、3 端子問題の  $\text{Seg}(v)$  上にはシンクに対する最大遅延を最小とするようなスタイナー点の位置が存在するという事実と、4 点問題においては、他のどのターミナルに対しても遅延を悪くしないようなスタイナー点の位置が決まるとの事実に基づき、スタイナー頂点の移動、部分木のつけかえをする。また部分木の付け換えの間は常にどの 4 点をとっても、4 点問題を満足させるように配線を行なっている。また、このアルゴリズムを適用した結果を図 5.1 に示す。入力は、前節で行なった Nodetour Algorithm より得られた 2 分木構造とする。

Svrn Algorithm

Nodetour Algorithm



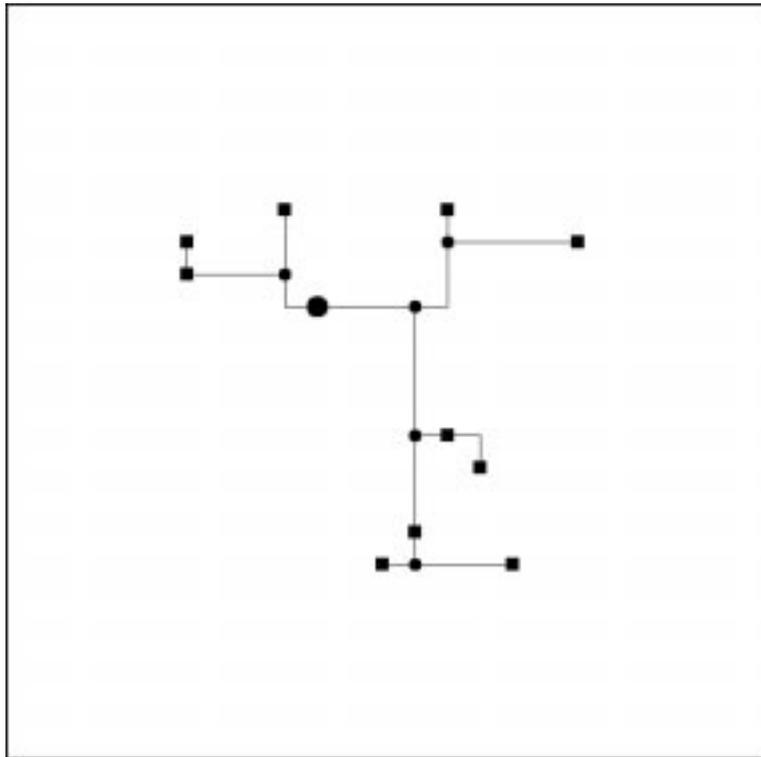


図 5.1: Svm アルゴリズムの適用

## 第 6 章

### 実験結果

平面上に 1 つのソースと 10 個のシンクをランダムに配置し、Ndetour アルゴリズム、Svrm アルゴリズムを適用し、最大遅延最小化となるような配線を生成する。(10 パターン入力した) 表 6.1 は実際に用いた回路パラメータである。表 6.2 は、10 入力に対する、シンクにおける最大遅延の実測値を示しており、見積もった下界の値と Ndetour アルゴリズムを適用した値 (欄 Ndt)、Svrm アルゴリズムを適用した値 (欄 Svrm) を示す。表中の  $r, m$  の記号は  $r$  ならば部分木の付け換え、 $m$  ならばスタイナー点の移動が行なわれたことを示す。表 6.3 は、実際に計測した値と下界との比である。図 6.2 にそのグラフを示す。縦軸は下界との比を表し、横軸は Svrm アルゴリズム中に行なわれた遅延改善 (スタイナー点の移動、もしくは部分木の付け換え) の回数を表す。なお横軸の 0 のところは Ndetour アルゴリズムが適用された時の比較である (グラフ中の 'sam1, sam2 ...' は表中の no. 1, 2, ... に対応)

またここでの下界の見積もりは次で説明する。

#### 6.1 下界の計算

ここでは、最適解が不明であることから、最大遅延の下界を示す。

入力されたソースを含む端子の Boundtig box の半周長相当容量に全シンク容量を加えた負荷容量を駆動する遅延とソースから最大距離にあるシンクまでの伝播遅延を加えたものを下界とする。

下界の計算をする前に記号の定義をする。表 6.1 参照

$l_1$  入力された点集合を最小に囲む長方形の横の長さ

$l_2$  入力された点集合を最小に囲む長方形の縦の長さ

$l_{max}$  ソースから最も遠いシンクまでのマンハッタン距離

$C_{sink}$  シンクの容量

遅延の下界は次の式で求まる .

$$r_d C_0 + r l_{max} \left( \frac{d_{l_{max}}}{2} + C_{sink} \right)$$

$$\text{但し } C_0 = (l_1 + l_2)c + \sum C_{sink}$$

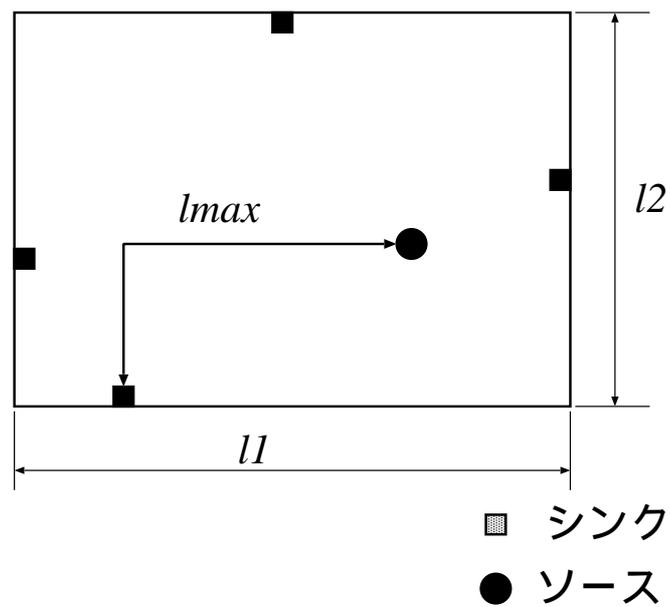


図 6.1: 下界の見積もり

表 6.1: 回路パラメータ

Name	IC1
Technology	$2.0\mu m$
$r_d(\Omega)$	164.0
unit wire resistance $\bar{r}(fF/\mu m)$	0.033
unit wire capacitance $\bar{c}(fF/\mu m)$	0.019
load capacitance $c_v(fF)$	5.7
chip size( $cm^2$ )	$1 \times 1$

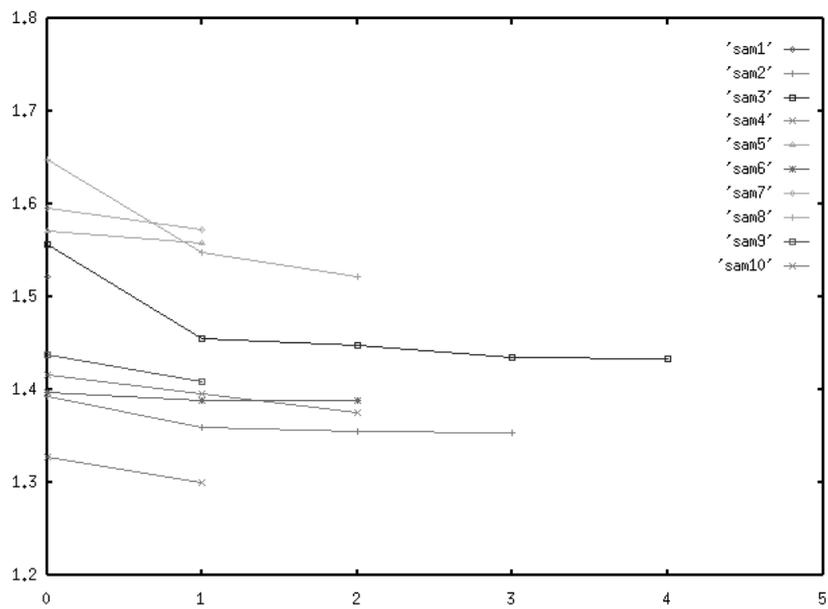


図 6.2: 下界との比較グラフ

表 6.2: 遅延の実験値

no.	Ndt	Svrm				下界
1	575223.8					377683.6
2	570014.0	556548.2 r	554268.2 r	554104.2 r		4091230.6
3	636486.2	594994.2 r	592286.0 r	586483.8 r	586023.4 r	408778.0
4	720508.0	710684.4 r	700188.4 r			508693.8
5	882129.4	874323.0 r				561266.2
6	823030.6	817843.2 r	817280.8 m			588595.2
7	823601.6	811374.2 r				515908.6
8	864246.6	811487.6 r	798321.2 m			524267.6
9	652320.6	639007.8 r				453350.6
10	613706.2	600924.0 r				461982.4

表 6.3: 実験値と下界との比

no.	Ndt	Svrn				
1	1.523					
2	1.393	1.360 r	1.355 r	1.354 r		
3	1.557	1.456 r	1.449 r	1.435 r	1.434 r	
4	1.416	1.397 r	1.376 r			
5	1.572	1.558 r				
6	1.398	1.389 r	1.388 m			
7	1.596	1.573 r				
8	1.648	1.548 r	1.523 m			
9	1.439	1.410 r				
10	1.328	1.301 r				

## 第 7 章

### 結論

近年，エルモア遅延モデルが配線遅延の評価などで，用いられるようになってきているが，理論に基づいた遅延制御は行なわれていない．ここでは，エルモア遅延モデルを理論的に解析し，それを基に遅延を制御するアルゴリズム（初期配線アルゴリズムと改善アルゴリズム）を検討した．実験は 1 ソース，10 シンクを平面上にランダムに入力し，Nodetour, Svrn アルゴリズムを適用し，シンクにおける遅延を計測した（10 回入力）ここでの評価は下界を見積もり，それとの比較をおこなった．今回の入力では，下界に対し最小 130%，最大 157%の最大遅延が得られた．Svrn アルゴリズムにおいて，スタイナー点の移動より，部分木の付け換えの方がより多く適用され，更にそれによる遅延改善の方が大きいことが分かった．今回は，下界との比較をおこなった訳だが，他の配線遅延制御アルゴリズムとの比較も当然おこなう必要がある．

## 謝辞

本研究を行なうにあたって、常に御指導、御助言をいただきました金子 峰雄助教授、ならびに 田湯 智 助手に深く感謝の意を表します。

また、主指導教官 岡本 栄司 教授、副テーマ指導教官 片山 卓也 教授、村田 洋 助教授 高嶋 康裕 助手に御指導を戴きました。ここに御礼申し上げます。

## 参考文献

- [1] C. Chiang, C. K. Wong and M. Sarrafzadeh, "A Weighted Steiner Tree-Based Global Router with Simultaneous Length and Density Minimization," *IEEE Trans. Computer-Aided Design*, vol.13, pp.1461-1469, DEC. 1994.
- [2] K. D. Boese, A. B. Kahng, B. A. McCoy and G. Robins, "Near-Optimal Critical Sink Routing Tree Constructions," *IEEE Trans. Computer-Aided Design*, vol.14, pp.1417-1436, DEC. 1995.
- [3] J. HO , G. VIJAYAN AND C.K. WONG, "New Algorithm for the Rectilinear Steiner Tree Problem," *IEEE Trans. Computer-Aided Design*, vol.9, pp.185-193, DEC. 1990.
- [4] H.Mitsubayashi,A.Takahashi,Y.Kajitani, "Cost-Radius balanced spanning/Steiner trees ," *IEICE Trans. Fundamentals*, vol.E80-A,no.4, pp.689-694, April 1997.
- [5] C. Yeh and C. S. Wang, "On the Integration of Partitioning and Global Routing for Rectilinear Placement Problems," *IEEE Trans. Computer-Aided Design*, vol.15, pp.83-92, JAN. 1996.