

Title	ソフトウェア制御によるキャッシュ参照ウェイ限定手法の研究
Author(s)	小林, 智弘
Citation	
Issue Date	2015-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/12670
Rights	
Description	Supervisor: 田中 清史, 情報科学研究科, 修士

ソフトウェア制御によるキャッシュ参照ウェイ限定手法の研究

小林 智弘 (1310025)

北陸先端科学技術大学院大学 情報科学研究科

2015年2月12日

キーワード: 消費電力, ウェイ限定参照, Way-prediction.

1 はじめに

近年のプロセッサでは, データアクセス時のキャッシュヒット率の向上を図るために, キャッシュメモリのブロック配置方式として, セットアソシアティヴ方式が採用されている. 従来のセットアソシアティヴ方式ではデータアクセス時間を最小化するために, データアクセス時にすべてのウェイのタグとデータ配列が並列に読み込まれ, タグ比較が行われ, ヒットするウェイが検出される. しかしながら, ヒットするウェイはただひとつであり, ヒットしないウェイに対するデータ配列の読み込みにおいて, エネルギーを浪費することが問題となる. この問題に対してウェイを予測限定参照することによって浪費を削減する手法が存在するが, 予測のために大きなハードウェアテーブルと複雑なキャッシュ構造が必要となる. そこで, 本研究では大きなハードウェアテーブルと複雑なキャッシュ構造を必要とせず, ウェイの予測限定参照を行う有効な方法として, TracePC Way prediction(TracePC) 法と Simple-Counter Way prediction(SC) 法を提案する.

2 関連研究

ウェイ限定参照を行う手法として Predictive Sequential Associative Cache(PSA)[1] が提案された. PSA はウェイを限定して参照するためにテーブルを用いてウェイ予測を行う初めての研究であり, セットアソシアティヴ方式のデータ配列の選択を原因としたアクセス時間の増加を改善するために提案されたキャッシュ構造である. 従来のセットアソシアティヴ方式のようにデータアクセス時にすべてのウェイを読み込むのではなく, ウェイ予測により限定されたウェイのみを参照する方式である. これにより, データ配列の選択による遅延を抑えることが可能である. PSA のウェイ限定参照を応用した研究として Reactive-Associative Caches(R-A Cache)[2] が提案された. R-A Cache は PSA と同様にセットアソシアティヴ方式のデータ配列の選択を原因としたアクセス時間の増加を改善

するために提案されたキャッシュ構造である。R-A Cacheは競合するブロックとしないブロックを分けてウェイ予測を行うことにより、ウェイ予測の精度を向上させている。そして、PSAとR-A Cacheを消費電力の削減に用いた研究として文献[3]がある。これはウェイ予測により選択されたウェイのみを参照する構造を消費電力の削減に応用した研究である。また、D-cacheだけでなくI-cacheにもウェイ予測の仕組みを応用することによって、消費電力の削減に成功している。

3 提案手法

本研究では、ウェイ予測限定参照を行う手法としてTracePC Way prediction(TracePC)法とSimple-counter Way prediction(SC)法を提案する。TracePC法は事前実行によるメモリアクセスのトレース情報を用いて参照ウェイを静的に決定する。メモリアクセス命令のPC値と参照するウェイのトレースを取り、各メモリアクセス命令に対して最も参照されたウェイを限定参照するウェイとして決定する。SC法は小さなカウンターを用いて参照ウェイを動的に決定する。ウェイに対して1つのカウンタを用意し、プログラム実行をフェーズに分けて参照するウェイをカウントし、最も参照数の多いウェイを次のフェーズで限定参照するウェイとして決定する。

4 評価

シミュレーションにより、提案手法のデータアクセス時の消費電力量を評価する。また、提案手法とPSAとR-A Cacheのキャッシュアクセスのウェイ予測限定参照の予測精度について評価する。評価にはSPEC2000ベンチマークプログラムを用いて、プログラムへの入力としてはrefを使用する。TracePC法は事前実行が必要となるため、プログラムへの入力としてtrainを用いた事前実行を行う。評価の際のL1データキャッシュは1回目の予測参照ですべてのウェイのタグ配列と予測されたウェイのデータのみを参照する4ウェイセットアソシアティヴ方式である。L2キャッシュのブロック格納方式は従来の4ウェイセットアソシアティヴ方式である。シミュレーションの結果、比較手法の平均ウェイ予測精度は、PSAが約69%、R-A Cacheが約96%であり、提案手法であるTracePC法とSC法はそれぞれ約36%、約43%の予測精度であった。従来のセットアソシアティヴ方式と比較して、平均で、PSAは約33.5%、R-A Cacheは約15.6%、提案手法であるTracePC法とSC法はそれぞれ約30.0%、約31.1%の消費電力量の削減となり削減効果が示された。

5 まとめ

本研究では大きな追加ハードウェアを用いることなくウェイ予測限定参照を行う手法として、TracePC Way prediction(TracePC)法とSimple-Counter Way prediction(SC)法

の提案を行った。SPEC2000 ベンチマークプログラムを用いて、提案手法のデータアクセス時の消費電力量の評価とウェイ限定参照の予測の精度の評価を行った。評価の結果、TracePC 法の平均予測精度は約 36%であるが、プログラムへの入力が変わったとしてもメモリアクセス命令の PC 値とヒットするウェイに関連があると推測されるプログラムにおいて、高いウェイ予測精度があり、平均約 30%のデータアクセス時の消費電力量の削減効果を持つことが示された。SC 法は極めて小さなハードウェアカウンタのみで約 43%の平均ウェイ予測精度を持ち、ハードウェアコストを抑えたウェイ予測限定参照として有効であり、平均約 31%のデータアクセス時の消費電力量の削減に成功した。

参考文献

- [1] B. Calder, D. Grunwald, and J. Emer. Predictive sequential associative cache. In Proceedings of the Second IEEE Symposium on High-Performance Computer Architecture, Feb. 1996.
- [2] B. Batson and T. N. Vijaykumar. Reactive associative caches. In proceedings of International Conference on parallel Architectures and Compilation, 2001.
- [3] Michael D. Powell, Amit Agarwal, T. N. Vijaykumar, Babak Falsafi and Kaushik Roy, “Reducing Set-Associative Cache Energy via Way-Prediction and Selective Direct-Mapping” 2001.
- [4] SimpleScalar <<http://www.simplescalar.com/>> (accessed 2015/02/09)
- [5] SPEC2000 <<http://www.spec2000.com/>> (accessed 2015/02/09)