

Title	ウェーブパイプラインを用いたマルチスレッド型プロセッサアーキテクチャに関する研究
Author(s)	池田, 吉朗
Citation	
Issue Date	1999-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1288
Rights	
Description	Supervisor:日比野 靖, 情報科学研究科, 修士

ウェーブパイプラインを用いたマルチスレッド型 プロセッサアーキテクチャに関する研究

池田 吉朗

北陸先端科学技術大学院大学 情報科学研究科

1999年2月15

キーワード: マルチスレッド型プロセッサ, ウェーブパイプライン.

Abstract

現在の一般的な計算機の多くが高速な処理のために何らかの並列性を利用している。利用する並列性の違いによってスーパースカラ、VLIW、マルチプロセッサなどの方式があるが、これらは通常どれもパイプライン処理を伴っている。このパイプライン処理の効率を向上させ、高いスループットを実現するアーキテクチャとしてマルチスレッド型プロセッサアーキテクチャがある。

このマルチスレッド型プロセッサを高速に動作させる手段として本研究ではウェーブパイプラインの導入を考える。マルチスレッド型プロセッサの持つ特徴がウェーブパイプラインの導入を有利にすることを明らかにし、その設計手法を提案する。

提案する設計手法には、マルチスレッド型プロセッサをウェーブ動作させるためのステージ構成、ステージ内部の回路設計に加え、素子/配線モデル、レイアウト法、さらにはコストを低く抑えるための工夫などが含まれる。

これらの手法は日比野研究室で設計したマルチスレッド型プロセッサであるMUPに適用され、効率的なウェーブ動作、低コストを実現するための設計手法を反映したウェーブパイプライン版MUPを設計し、シミュレーションにより評価する。

1 マルチスレッド型プロセッサ

通常のパイプラインでは単一スレッドをパイプライン化しており、パイプラインハザードの問題が避けられず、効率的なパイプライン処理が妨げられる。マルチスレッド型プロセッサは、ステージ数と同数の独立なスレッドの命令をパイプラインに投入し、全てのパイプラインステージを異なるスレッドの命令で埋めることで、パイプラインハザードをなくし、パイプラインをストールさせることがない。

2 ウェーブパイプライン

多段構成パイプラインを持つマルチスレッド型プロセッサの動作周波数を上げるのは困難である。しかしウェーブパイプラインを採用すればその困難の幾つかは打開できる。ウェーブパイプラインは、ステージ内部に複数のデータが同時に存在することを許し、動作周波数の向上、リソース使用効率の向上を可能にするものである。マルチスレッド型プロセッサの持つパイプライン構造や、スレッド数個分に多重化されたレジスタセットは、ウェーブパイプラインにとって非常に都合の良いものである。本論文では、ウェーブパイプラインを採用したマルチスレッド型プロセッサの設計手法を提案し、それをもとにプロセッサを設計し、パフォーマンスやコストを評価する。

3 ウェーブパイプラインのための設計

通常のパイプラインプロセッサと同じ設計手法や、CAD が使えないため、ウェーブパイプラインの性質を考慮した設計の手順を考える。

その準備として、素子や配線をモデル化しておく。素子/配線モデル - ウェーブパイプラインは通常のパイプラインよりもタイミング制約が厳しい。そのため、ある程度現実的で、かつ設計が複雑にならないように詳細過ぎない適度なモデル化が必要である。

4 ステージ構成

ウェーブパイプラインでは、全てのステージを同じタイミングで動作させる必要がない。しかし、ウェーブ動作できないステージがあったり、動作タイミングを合わせなければならないステージがある場合もあるので、効果的にウェーブ動作させるためのラッチの配置や、各ステージを動作させるタイミング、クロックの分配について考えなければならない。

5 ステージ内部の回路構成

ウェーブパイプラインでは、ステージの最大遅延と最小遅延の差がサイクルタイムを決める要因になる。そこで、ステージ内部の遅延を均衡させる方法を考える。本論文ではステージ内部の遅延を均衡させる手段として、遅延の小さなパスに遅延素子としてバッファを入れる方法を採用する。

6 コストとパフォーマンス

ステージ内部の遅延を均衡させる手段として、バッファを入れる方法を採用しているため、バッファ数が増えるとそれだけコストが増す。よって必要なバッファ数が少なくなるような設計を考えなければならない。

7 MUP の設計

以上の章で提案した設計手法を、日比野研究室で設計したマルチスレッド型プロセッサである MUP に適用し、効率的なウェーブ動作、低コストを実現するための設計手法を反映したウェーブパイプライン版 MUP を設計し、パフォーマンスやコストを評価する。