

Title	ステージ分割によるウェブパイプライン方式の最適化の研究
Author(s)	福家, 和久
Citation	
Issue Date	2001-03
Type	Thesis or Dissertation
Text version	author
URL	<a href="http://hdl.handle.net/10119/1438">http://hdl.handle.net/10119/1438</a>
Rights	
Description	Supervisor:日比野 靖, 情報科学研究科, 修士

# ステージ分割による ウェーブパイプライン方式の最適化の研究

福家 和久

北陸先端科学技術大学院大学 情報科学研究科

2001年2月15日

キーワード: プロセッサ, ウェーブパイプライン, ステージ分割.

## Abstract

プロセッサ自身のスループット向上を目的として、パイプライン手法が研究されてきた。その中でもウェーブパイプライン方式は、通常のパイプラインよりも短いサイクルで、各ステージが別々のタイミングで動作することにより、より高いスループットが期待できる。ウェーブパイプライン方式によるプロセッサの性能は、それぞれのステージの最大遅延と最小遅延の差の最大値に依存するため、この遅延差を短縮してやればプロセッサ性能の向上につながる。

本研究では、このウェーブパイプライン方式をプロセッサに適用するにあたり、その設計において問題となる遅延差短縮の効率のよい手法を提案し、その有効性を評価する。

## 1 序論

プロセッサの動作速度を向上させる目的で、複数の命令をオーバラップさせて同時実行する技術であるパイプライン手法が研究されてきた。パイプライン手法は  $n$  個のパイプラインステージを用いることで、 $n$  倍の高速化の可能性がある。

本研究室では、このパイプライン手法の1手法であるウェーブパイプライン方式に関する研究を行っている。

本論文では、このウェーブパイプライン方式をプロセッサに導入するに当たって、これまでの研究において問題になっていた素子数の増加によるハードウェア量の増大と、それに伴う面積と消費電力の増加を抑える一方、より高い性能を求めるためにステージ分割を行って遅延差短縮を行う方法を提案する。

## 2 ウェーブパイプライン方式

ウェーブパイプライン方式は、通常のパイプラインよりも速いクロックで動作することにより、高いスループットが期待できる。このウェーブパイプライン方式によるプロセッサ性能は、通常のパイプライン方式が最も遅延の大きなステージの最大遅延によって決定されるのとは異なり、各ステージの遅延差の最大値に依存するため、この遅延差を短縮することにより、プロセッサの性能において通常のパイプライン手法よりも高い向上が可能になる。

## 3 ステージ分割による遅延差短縮

ステージ分割による遅延差短縮手法の目的は、プロセッサの高い性能向上と共に設計時間の短縮と、性能向上と比べて遅延バッファ挿入による面積と消費電力の増大を抑えることも目的としている。

遅延バッファ挿入による遅延差短縮手法は、ステージの最小遅延を最大遅延に近づけることで遅延差の短縮を図る。

本論文で提案するステージ分割による遅延差短縮手法は、各ステージの最小遅延と最大遅延を測定しつつ、ステージ内の回路素子段数も調べ、遅延差によって分割するか否かを決定し、ステージ内の回路素子段数が半分となるところで分割する。これによってパイプラインのステージ数は増加するが、最大遅延がそのものが小さくなり遅延差を短縮させることができる。

ステージを分割する場合の条件は、目標遅延差の  $n$  倍であるか否かである。この  $n$  の値については、設計目標やそれぞれのステージにおける最大遅延差の結果によって最適値を設定する。

遅延バッファ挿入のみによる遅延差短縮手法とステージ分割による遅延差短縮手法のそれぞれにおける設計時間に直接関係する計算量について見積もる。その結果、ステージ分割による遅延差短縮手法の遅延計算量の方が、ステージ分割を行わない場合に比べ遥かに少なくなることが分かる。

## 4 設計

まずウェーブパイプライン化の対象となるプロセッサについて決めておく必要がある。

次に、提案したステージ分割による遅延差短縮手法や遅延バッファ挿入による遅延差短縮手法を用いるためにステージ内の遅延情報を測定しなければならない。そのため遅延モデルより各素子や配線の遅延パラメータをあらかじめ決めておく必要がある。

## 5 評価

本論文において提案したステージ分割による遅延差短縮手法を評価する。プロセッサの実行ステージを対象としてバッファ挿入のみによる遅延差短縮手法とステージ分割による遅延差短縮手法をそれぞれ行い、面積、遅延差を評価する。

## 6 考察

ウェーブ化したプロセッサを評価した結果より、考察を行う。バッファ挿入のみによる遅延差短縮手法とステージ分割による遅延差短縮手法のそれぞれにおいてその性能向上率、面積増加率を求め、その有効性を考察し、ステージ分割による遅延差短縮手法における効果は大きいことを示した。

## 7 結論

本論文では、ウェーブパイプライン方式を用いたプロセッサ設計において、その性能を決定する遅延差短縮手法としてステージ分割による遅延差短縮手法を提案し、遅延バッファ挿入による遅延差短縮手法や通常のパイプライン手法との性能と比較してその有効性を評価した。

まず本論文において基本となるウェーブパイプライン方式について通常のパイプライン手法と比較しながらその利点を述べた。

次にステージ分割による遅延差短縮手法について述べた。

そして、ステージ分割による遅延差短縮手法を用いるために必要な遅延パラメータとウェーブパイプライン化を行う対象のプロセッサを示した。

結果として、ステージ分割による遅延差短縮手法を用いることは、性能や面積において効果が大きいことを示した。

ただし何度もステージ分割を行うと、細かくステージを分割することになるのでラッチ数が多くなってしまいが、分割したステージの遅延差は小さいために挿入するバッファ数は少量ですむ。逆にあまりステージ分割を行わない場合、ステージの分割数を抑えることができるためラッチ数は少なくすむが、ウェーブパイプライン化により遅延バッファ数が膨大になり、それによってチップ面積と消費電力が増大してしまう。これらのトレードオフを考慮し、設計目標によって最適値を設定することが重要になる。