

Title	低消費電力プロセッサ設計に関する研究
Author(s)	内藤, 郁之
Citation	
Issue Date	2001-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1474
Rights	
Description	Supervisor:日比野 靖, 情報科学研究科, 修士

低消費電力プロセッサ設計に関する研究

内藤 郁之

北陸先端科学技術大学院大学 情報科学研究科

2001 年 2 月 15 日

キーワード: 低消費電力, ウェーブパイプライン, プロセッサ.

Abstract

近年、プロセッサの性能の向上にともない、プロセッサの消費電力が増加している。一方、PDA や携帯電話の普及により低消費電力で高性能なプロセッサが必要となっている。本研究では、低消費電力を電圧の制御回路の付加やソフトウェア処理の導入により実行するのではなく、回路の設計方法をあらため、トランジスタのゲート幅 W の大きさを小さくすることで実現する。また、その結果、プロセッサの動作周波数が低下するが、ウェーブパイプラインの導入により周波数の向上をはかり、これらが低消費電力に対し有効であることを示す。

1 はじめに

プロセッサの消費電力は、容量 C 、電圧の 2 乗 V^2 および周波数 f に比例する。通常、電圧および周波数を低くすることで低消費電力を実現する。この方法では、プロセッサの性能が低下する。ゲート容量をトランジスタの大きさを小さくすることで減少させると、動作周波数が落ちる。そこで、動作速度の向上が可能なウェーブパイプラインを導入する。ウェーブパイプラインを導入すると素子数の増加から電力が増加するが、ゲート容量の減少の割合との関係を見出し評価する。

2 低消費電力を実現するための設計方法

プロセッサの消費電力は、容量 C 、周波数 f 、電圧の 2 乗 V^2 に比例する。周波数を下げる、電圧を下げるという方法では、プロセッサのパフォーマンスは低下する。ゲート容量を小さくすることで、消費電力を低下させる。トランジスタのゲート容量はトランジスタの幅 W に比例し、オン抵抗は、反比例するので、ゲートでの遅延は、一定である。しかし、拡散容量と配線容量とオン抵抗の積による遅延は増大する。この方法では、全体の遅

延は増大する。遅延の増大に対し、通常のパイプラインプロセッサは最大遅延で動作するが、最大遅延と最小遅延の差で動作するウエーブパイプラインを導入する。ウエーブパイプラインによる高速化では、遅延差を小さくするために遅延素子を挿入する必要がある。そのため、素子数の増加が起こるため、全体の電力が増加する。したがって、一般的な大きさのトランジスタで設計された場合との比較が必要になる。

3 設計

プロセッサの設計に必要なトランジスタおよび、セルライブラリのパラメタを求めするために HSPICE による回路シミュレーションを行なった。このシミュレーションでは、 $0.1\mu m$ プロセスルールを想定して、各パラメタを設定した。対象となるセルライブラリは、一般的な大きさのトランジスタを用いたものと最小の大きさで構成したものの2つを用意した。セルライブラリに対しても回路シミュレーションを行ない、セルライブラリのパラメタを求めた。また、シミュレーション対象となるプロセッサを設計し、論理シミュレーションを行ない動作が正しいことを検証した。

4 評価

評価方法は、通常の大きさのトランジスタで設計した回路の電力と、小さいトランジスタで設計した回路の電力を比較することで行なった。電力の評価は、入力のパターンに依存するため、おなじパターンをそれぞれの回路に対して入力として与えて動作させた。電力は、各時間ごとのゲートの状態を調べて、変化がある箇所個数を数えて和をとり、それを測定時間の間繰り返し行なった。電力の評価は、1秒間当たりの電力と1クロックサイクルあたりのものの両方あるが、本研究では、1クロックあたりの電力を評価基準とした。評価対象の回路として4ビットのキャリールックアヘッド型の加算器を用いた。

5 考察

W の大きさが $0.5\mu m$ のときは、遅延バッファの挿入は行わずに電力を測定した。また、トランジスタの大きさを $w = 0.1\mu m$ とし、遅延バッファを挿入してシミュレーションを行ない電力を測定した。遅延素子の挿入数は20であった。このときの電力は、 $W = 0.5\mu m$ のときのほぼ半分であった。

6 まとめ

第2章で、MOS トランジスタの原理の説明及び回路の性質を述べた。第3章では、nMOS および pMOS トランジスタの電流電圧特性の測定、セルライブラリの設計、配線遅延の評価、評価対象となるプロセッサの設計を行なった。第4章では評価対象を決め、その回路

についてトランジスタの大きさを小さくして遅延差の短縮を行なった回路とトランジスタの大きい回路の電力を算出した。そして、第5章でトランジスタの大きさの電力の大きさへの影響を考察した。