JAIST Repository
https://dspace.jaist.ac.jp/

Title	新世代ナノ集積回路のための多重複合型製造後調整の理論と設計
Author(s)	金子，峰雄
Citation	科学研究費助成事業研究成果報告書: 1-4
Issue Date	2018-06-04
Type	Research Paper
Text version	publisher
URL	http://hdl.handle.net/10119/15389
Rights	
Description	基盤研究(C)（一般），研究期間：2014～2017，課題番号：26420303，研究者番号：00185935，研究分野：集積回路理論

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY

Japan Advanced Institute of Science and Technology

様　式　Ｃ－１９、Ｆ－１９－１、Ｚ－１９　（共通）

科学研究費助成事業　　研究成果報告書

平成 ３０ 年　 ６ 月　 ４ 日現在

機関番号：１３３０２
研究種目：基盤研究(C)（一般）
研究期間：2014～2017
課題番号：２６４２０３０３

研究課題名（和文）新世代ナノ集積回路のための多重複合型製造後調整の理論と設計

研究課題名（英文）Theory and Design of Post-Silicon Multi-Way Tuning for New Generation LSI Circuits

研究代表者
金子　峰雄（Kaneko, Mineo）

北陸先端科学技術大学院大学・先端科学技術研究科・教授

研究者番号：００１８５９３５

交付決定額（研究期間全体）：（直接経費）　　3,800,000円

研究成果の概要（和文）：集積回路の製造ばらつきによる動作タイミング誤りや動作速度劣化の問題に対処するための，製造後個別チップに対するフリップフロップへのクロック到着時刻調整と基盤バイアス電圧調整による信号伝搬遅延量調整を連携させた多種複合的動作調整を提案し，チップ個別のポテンシャルを最大限引き出すための検査・調整量決定アルゴリズム，製造後調整にて達成される最大性能を最大化するための回路設計最適化手法などの関連諸技術を開発し，製造ばらつきの下での製造歩留まり向上を達成した.

研究成果の概要（英文）：Timing failure and performance degradation due to process variations are serious problems for new-generation nano-technology Large Scale Integrated circuits (LSI). Proposed post-silicon multi-way tuning is the mixture of clock skew tuning and body-bias tuning for improving the performance yield of LSI. The results of this research include algorithms for finding the best set of tuning values, pre-silicon design optimizations of datapath circuits which aim to maximize the maximum performance achieved by post-silicon tuning.

研究分野：集積回路理論

キーワード：クロック周波数　クロックスキュー　基盤バイアス　セットアップ条件・ホールド条件　高位合成　資源割り当て　最適化

１．研究開始当初の背景
現代の集積回路においては，トランジスタや配線の微小化・微細化が集積回路の性能を押し上げた反面，超微細加工技術故の素子形成上のサイズ，形状，不純物濃度などのばらつきが相対的に大きくなり，これによるトランジスタ特性ばらつき、配線特性ばらつき、ひいては、信号伝播特性などの特性ばらつき・変動が大きな問題となっている．こうした特性ばらつき・変動は，低消費電力動作の上で重要な低電圧動作において特に顕著に現れる傾向にあり，集積回路の速度性能のみならず低電力化の妨げともなっている．こうした中で，集積回路の製造ばらつきに対するアプローチとして製造後調整(Post Silicon Tuning (PST))が注目を集めている．その代表的な手法として，クロック配線上にあらかじめプログラム可能遅延回路を挿入しておき，製造後にフリップフロップへのクロック信号到着時刻差を調整するクロック・スキュー・チューニング (Clock Skew Tuning (CST))と，トランジスタの基盤バイアス電圧を調整することで信号伝搬遅延を調整して，動作速度とリーク電力とのトレードオフを図ろうとするボディ・バイアス・チューニング(Body Bias Tuning (BBT))があり，こうした性能歩留まりを向上させる技術の開発や高度化が切望されている．

２．研究の目的
提案する研究課題は，今後の集積回路の性能向上において最も大きな障害の一つとなっている製造ばらつきの問題に対して，回路・アーキテクチャ構成，回路利用技術の観点から，その解決を目指すものである．より具体的には，集積回路製造後の個別チップ毎のフリップフロップへのクロック到着時刻調整，トランジスタの基盤バイアス電圧調整等を連携させた多種複合的動作調整(Post- Silicon Multi-Way Tuning (PMT))により，ばらつきを克服して性能向上を実現する技術の確立および関連する諸技術の開発を目的とする．
クロックスキューの積極的導入により達成される回路の速度性能は，フリップフロップ間の最大パス遅延と最小パス遅延の差と密接に関係しており，部分的に信号パス遅延を大きくすることによって，速度性能が向上することもある．これは，ＣＳＴにＢＢＴを連携させることで，リーク電流による消費電力を低下させつつ，速度性能を向上させることが可能であることを示唆している．こうした認識から，製造ばらつきの問題に対して，ＣＳＴにＢＢＴを組み合わせ，連携させ，同時最適化することにより，ＣＳＴとＢＢＴの個別最適化では達成し得ない，より高いタイミング誤り解消能力，大幅な性能向上，回路動作速度と消費電力との間のより高度なトレードオフが期待できる．学術的には，フリップフロップ間の信号パス遅延の大きさと各フリップフロップへのクロック信号到着タイミングについて，正常動作のための相互関係条件を満たしつつ，両者を最適化する新しいシステム理論の確立，技術的には，製造ばらつきに対してより高いタイミング誤り解消能力，回路動作速度と消費電力との間のより高度なトレードオフ調整や飛躍的な速度・電力性能向上が期待される．

３．研究の方法
ＣＳＴにＢＢＴを連携させるＰＭＴは，製造ばらつきの状況に応じた基盤バイアス電圧とクロックスキューの同時最適化をコアとする，新しい技術要素であり，同時最適化手法から実用的設計技術・製造後調整技術まで，多くの検討課題がある．ここでは特に，ＰＭＴとしての基本的な調整手法の確立と実用化に向けた回路設計・調整アルゴリズム開発に取り組む．

(1) ＰＭＴ調整手法と性能検証：
製造後の回路・遅延量情報が全て入手可能である理想環境下において，ＣＳＴ・ＢＢＴ同時最適化手法を開発するとともに，得られる回路性能(動作速度や消費電力など)を検証して，提案手法の基本能力を計算機シミュレーションにより検証する．

(2) ＰＭＴ向き最適回路設計：
ＬＳＩの中でも特に「計算」が行われる現場であるデータパス回路に対してＣＳＴ・ＢＢＴ同時最適化を回路に適用して達成される最終的回路性能と回路設計との関係を考察し，ＰＭＴがより有効に機能するための回路条件，回路設計について検討する．これら考察に基づいて，ＰＭＴ向けデータパス回路最適化手法を開発する．

(3) ＰＭＴ適用のための検査・調整手続き：
実際の個別チップへのＰＭＴの適用に当たっては，そのチップにおける回路パラメータや遅延量情報が完全に得られる状況は考え難く，(1)におけるＣＳＴ・ＢＢＴ同時最適化の直接的適用は困難である．製造後の個別チップに対する現実的なテストや計測によって得られる限られた情報から最適なＣＳＴ調整量，ＢＢＴ調整量を決定する検査・調整手続きを開発する．

４．研究成果
(1-1) ＣＳＴ，ＢＢＴ個別調整量決定手法及び同時調整量決定手法：
製造後の個別チップに対する信号伝搬遅延情報が全て入手でき，かつＢＢＴによる電圧調整とＣＳＴによるスキュー調整が連続値的に行われるとの理想的な状況を仮定し，ＢＢＴによる信号経路毎の最大，最小信号伝搬遅延量の調整とＣＳＴによるＦＦへのクロック到着時刻調整とを同時に設計する手法を開発した．問題の定式化には，各ＦＦを頂点とし，ＦＦ対間での正しい動作タイミングを規定するセットアップ条件，ホールド条件

に対応して辺を設けた有向グラフ(スキュー制約グラフ)を使う．ＢＢＴによる信号伝搬遅延量の調整がグラフの辺重みの変化として現れることと，ＣＳＴのためのスキュー調整量がスキュー制約グラフ上での最大パス長計算に帰着されることに注目し，スキュー制約グラフが正サイクルを持たないことを制約条件とする基盤バイアス電圧調整最適化問題として捉え，発見的解法を導いている．

(1-2) データパス回路を対象とするＢＢＴ，ＣＳＴ同時最適化手法：
集積回路の中のデータパス部(特定アプリケーション向けアクセラレータなどを含む)は数値的・論理的計算を実行する回路であり，その機能的重要性や高い動作速度要求などから，当初よりＰＭＴの最も重要な適用先として想定していたものである．データパス部は元々，ＡＬＵ，レジスタ，マルチプレクサなど，構成要素のコンポーネント化ができており，こうしたコンポーネントを単位としてＢＢＴ調整を行うことは，速度性能面での効果は元より，回路構造やレイアウトへの負担も小さい．コンポーネント単位でのＢＢＴ調整とレジスタ，マルチプレクサへの制御信号に対するＣＳＴ調整を組み合わせたＰＭＴを対象として，調整量最適化手法を開発し，シミュレーションを通して性能向上を検証した．この手法は，回路構造とＢＢＴに依存した信号遅延量が決めるスキュー制約グラフにおけるクリティカルサイクルがＣＳＴによって達成される性能限界を決める点に注目し，常にクリティカルサイクルを緩和するＢＢＴを繰り返すことで，高性能化のためのクロック到着時刻調整量・基盤バイアス電圧調整量同時最適化を達成するものである．

(2-1) データパス回路を対象とするＣＳＴのための回路最適化：
製造後調整にて達成される最終的な性能歩留りは，ＢＢＴ調整量・ＣＳＴ調整量の最適化だけでなく，回路の構造やアプリケーション実行における演算のスケジュールが大きな影響を与える．始めにＣＳＴ調整を主な対象として，製造後のＣＳＴ調整を考慮した(製造後ＣＳＴ調整にて達成される性能歩留りの最大化を目的とした)回路・演算スケジュール最適化手法を開発した．

(2-2) ＰＭＴのための回路最適化：
ＣＳＴ及びＢＢＴを併用するＰＭＴ適用を前提として，適用後の回路性能を最大化する全く新しい回路設計問題に取り組み，データパス回路の高位合成の枠組みと連動した最適化手法を開発し，計算機シミュレーションにより回路性能の向上を確認している．

(3-1) ＰＭＴ適用のための検査・調整手法：
実際のＰＭＴ適用に当たっては，ＢＢＴやＣＳＴによる調整量は離散的であり，かつまた製造後の個別チップに対する完全な情報を持つことは非常に難しい．実用的調整量決定手法開発の第一段階として，ＣＳＴのみに注目し，個別チップに対して遅延テスト結果をスキュー調整量修正にフィードバックする方式のスキュー調整アルゴリズムを開発した．

(3-2) 動作時ばらつきを考慮した製造時ＰＭＴ適用のための検査・調整手法：
実際の集積回路では製造ばらつきだけでなく，動作環境や電源雑音等により動作時ばらつきが存在し，それらに対処するためのタイミング・マージン付きＰＭＴ調整量決定法を開発した．第一の手法は，チップ毎のタイミング検査結果に対してタイミング余裕を追加する形で調整量を決定する手法であり，第二の手法は，タイミング余裕を考慮したタイミング検査結果に基づいて調整量を決定する手法となっている．シミュレーション実験により，こうした調整手法の結果が，製造時ばらつきに対する性能歩留りを高くすることは元より，動作時の遅延変動に対しても高い確率で正常動作を続けることが確認された．

(4) プログラム可能遅延回路の構成手法：
当初の計画には含まれていなかったが，ＣＳＴにて利用するプログラム可能遅延回路の特性を評価するために，同回路の構成について検討を行い，これまでに無い、ニューロンＭＯＳトランジスタを利用する回路を回路を提案し，従来のプログラム可能遅延回路と比較して調整量の線形性や温度特性等に優れた特性を持つことを示した．

(5) プログラム可能遅延回路の温度特性を考慮したＣＳＴ調整量決定手法：
当初の計画には無かったが，「(3-2) 動作時ばらつきを考慮した製造時ＰＭＴ適用のための検査・調整手法」に関連してプログラム可能遅延回路の温度特性を積極的に利用するＣＳＴ調整量決定手法を開発した．信号を処理する回路の温度特性とプログラム可能遅延回路の温度特性の関係を利用することで，より広い動作温度を許容する回路構成の可能性を示した．

５．主な発表論文等
〔雑誌論文〕（計　７件）

① Mineo Kaneko, "Margin Aware Timing Test and Tuning Algorithm for Post-Silicon Skew Tuning," 2017 IEEE 60th International Widwest Symposium on Circuits and Systems (MWSCAS 2017), 査読あり, pp.1244-1247, August, 2017.
② Renyuan Zhang, Mineo Kaneko, "Robust and Low-Power Digitally-Programmable Delay-Element Designs Employing Neuron-MOS Mechanism", ACM Transactions

on Design Automation of Electronic Systems, 査読あり, Vol. 20, No. 4, Article 64 (19 pages), September 2015.
③ Mineo Kaneko, "A Novel Framework for Temperature Dependence Aware Clock Skew Scheduling," Proc. ACM Great Lakes Symposium on VLSI, 査読あり, pp.367-372, May 2015.
④ Renyuan Zhang, Mineo Kaneko, "A Temperature and Process Variation Insensitive PDE Circuit Employing Neuron-MOS," Poster presentation in IEEE/ACM Workshop on Variability Modeling and Characterization (VMC), 査読あり, November, 2014.
⑤ Mineo Kaneko, "Scheduling of PDE Setting and Timing Tests for Post-Silicon Skew Tuning with Timing Margin [Extended Abstract]," Proceedings of ACM/IEEE Great Lakes Symposium on VLSI (GLSVLSI), 査読あり, pp.91-92, May 2014.

〔学会発表〕（計　7件）
① Mineo Kaneko, "A General Model of Timing Correction by Temperature Dependent Clock Skew," IEICE Technical report on VLSI Design Technology, VLD2017-57, DC2017-63, pp.183-188, November 2017.
② 曽我 慎，金子峰雄，"回路動作温度範囲に対する最適スキュー温度特性，" 電子情報通信学会 VLSI 設計技術研究会，VLD2016-119, pp.91-96, March 2017.
③ 志村甲斐，金子峰雄，"スキュー調整を考慮した高位合成の MILP 定式化，" 電子情報通信学会 VLSI 設計技術研究会，VLD2016-120, pp.97-102, March 2017.
④ 勝又一穂，金子峰雄，"製造後スキュー調整による動作速度最大化のためのデータパス資源割り当て，" 電子情報通信学会 VLSI 設計技術研究会，VLD2015-141, pp.173-178, February 2016.
⑤ Mineo Kaneko, "Timing-Test Scheduling for PDE Tuning Considering Multiple-Path Testability," 電子情報通信学会 VLSI 設計技術研究会，VLD2014-94, DC2014-48, pp.149-154, November 2014.

〔図書〕（計　0件）

〔産業財産権〕

○出願状況（計　0件）

○取得状況（計　0件）

〔その他〕
ホームページ等
http://www.jaist.ac.jp/is/labs/kaneko-lab/kane_lab-j.html

６．研究組織
(1)研究代表者
金子　峰雄（KANEKO, Mineo）
北陸先端科学技術大学院大学・先端科学技術研究科・教授
研究者番号：００１８５９３５

(2)研究分担者
なし

(3)連携研究者
なし

(4)研究協力者
張 任遠 (ZHANG, Renyuan)
呉 政訓 (OH, Junghoon)
勝又 一穂 (KATSUMATA, Kazuho)
曽我 慎 (SOGA, Makoto)
志村 甲斐 (SHIMURA, Kai)