

Title	フィードバックのあるパイプライン回路のウェーブパイプライン化に関する研究
Author(s)	大石, 亮介
Citation	
Issue Date	2002-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1563
Rights	
Description	Supervisor:日比野 靖, 情報科学研究科, 修士

フィードバックのあるパイプライン回路の ウェーブパイプライン化に関する研究

大石 亮介 (110123)

北陸先端科学技術大学院大学 情報科学研究科

2002年2月15日

キーワード: 準同期パイプライン, ウェーブパイプライン, 準同期式回路, プロセッサ.

概要

プロセッサの設計においてクロック周期の短縮は最重要課題のひとつである。ラッチへのクロックの同時入力を前提としないウェーブパイプラインでは、クロック周期を大幅に短縮することが可能になるがフィードバックがあると実現が困難である。一方で、配地・配線段階の設計手法として準同期式回路が提案されている。準同期式回路とウェーブパイプラインはクロック入力の同期制約がないという点で共通している。本研究ではウェーブパイプライン回路を準同期式回路とみなして回路を高速化する、準同期パイプラインを提案する。

1 はじめに

フォワーディング機構のようなフィードバックを持つプロセッサにおいて、準同期式回路とウェーブパイプラインはクロック入力の同期制約がないという点で共通している。そこで本研究ではパイプライン回路に対し遅延バッファの挿入やステージ分割を行うことで、制約グラフのクリティカルサイクルを修正することによりクロック周期を小さくする準同期パイプラインを提案する。

2 準同期パイプライン

ウェーブパイプラインは、ラッチへのクロックの同時入力を前提としないパイプライン回路である。準同期式回路は回路中のフリップフロップへのクロック信号線に対し意図的に遅延を挿入する。この本質的に等しい回路から、準同期パイプラインを提案する。

3 準同期パイプラインの動作

準同期パイプラインが動作するためにはラッチ間の遅延に制約があり、制約条件から制約グラフを得ることができる。

4 準同期パイプラインの構成法

本研究で提案する, 制約グラフを用いて準同期パイプラインを構成するアルゴリズムを示す. また, この遅延差を短縮するためのバッファ挿入のアルゴリズムを示す.

5 準同期パイプラインプロセッサ WAVIST の試作

準同期パイプラインの動作検証を目的として, 簡単なプロセッサ WAVIST を試作した. WAVIST は 8bit の RISC 型パイプラインプロセッサであり, 基本的なデータメモリ・レジスタ間転送命令, 算術演算命令, 論理演算命令, 分岐命令を持つ.

試作した WAVIST に対しパイプラインを準同期化する実験では, クロック周期は 77.3% に減少した.