

|              |   |
|--------------|---|
| Title        | 低消費電力回路への応用に向けたグラフェントネルトランジスタの急峻スイッチング特性の解析                                       |
| Author(s)    | 鈴木, 俊英  |
| Citation     |   |
| Issue Date   | 2019-03   |
| Type         | Thesis or Dissertation  |
| Text version | ETD   |
| URL          | <a href="http://hdl.handle.net/10119/15798">http://hdl.handle.net/10119/15798</a> |
| Rights       |   |
| Description  | Supervisor:水田 博, 先端科学技術研究科, 博士  |

# 博士論文

## 低消費電力回路への応用に向けたグラフェントンネル トランジスタの急峻スイッチング特性の解析

鈴木 俊英

主指導教員

水田 博

北陸先端科学技術大学院大学

先端科学技術研究科 博士(マテリアルサイエンス)

平成31年3月

## 概要

トンネル電界効果トランジスタ (TFET) は, 室温下で 60mV/dec 以下のサブスレッショルド係数 ( $SS$ ) と低い OFF 電流を実現が期待できるため, 現在の MOSFET に代わる新たなスイッチングデバイスとして研究されている. これまで, 様々な半導体材料を用いた TFET が作製されており, 実際に室温下で 60 mV/dec を下回る  $SS$  と  $10^4$  を超える ON/OFF 比を持つ素子が報告されている. しかし, これらの TFET ではトンネルバリアや移動度が低く, ON 電流が MOSFET よりも 2桁以上小さい. この問題を解決するため, 近年, 炭素の 2次元材料であるグラフェンをチャネル材料として用いたグラフェン TFET (GTFET) が報告されている. グラフェンは, 限りなく小さい有効質量, 非常に高い移動度, バンドギャップがグラフェンナノリボン (GNR) 幅で制御できる等の特徴を持つ. しかし, 実際に作製された GTFET では, ON 電流が  $< 10 \mu\text{A}/\mu\text{m}$  で, ON/OFF 比が 1桁程しか得られていない. また, GTFET の研究は萌芽期にあり, 素子設計指針が明らかになっていない.

本研究では, 既存の MOSFET を超える新奇スイッチング素子 GTFET の開発に向け, 第一原理解析を用いて各素子性能を決定している要因を原子スケールから解析し, ON 電流  $> 10 \mu\text{A}/\mu\text{m}$ , ON/OFF 比  $> 10^4$ , 室温下で  $SS < 60 \text{ mV}/\text{dec}$  を達成できる素子設計条件を明らかにすることを目指した. 本研究で解析した GTFET は, 3制御電極によって静電ドーピングを行い, p-i-n 構造を形成する. 解析の結果, ソース・ドレイン直接トンネリング, 熱電子リーク, ソースとドレインの擬フェルミ準位の差の3つが各素子性能を決定していることが分かった. また, これら全ての影響を反映させた解析モデルを開発し, 室温下で  $SS < 60 \text{ mV}/\text{dec}$  を達成するために GNR 幅  $\leq 8.6 \text{ nm}$  (バンドギャップが 120 meV 以上), チャネル長  $\geq 43 \text{ nm}$  が必要であることを明らかにした. ON/OFF 比  $> 10^8$  を達成する場合は, 設計要件がさらに厳しくなり, GNR 幅  $\leq 2.7 \text{ nm}$  (バンドギャップが 420 meV 以上), チャネル長  $\geq 50 \text{ nm}$  が必要となる. これらの解析結果を基に, 幅の広い GNR を用いた場合の熱電子リークの影響を低減するために p-p-i-n-n 構造からなる新素子構造を考案し, 70 meV の

バンドギャップをもつ GNR を用いて  $SS = 53.6 \text{ mV/dec}$  を室温下で達成できることを示した. さらに,  $SS$  がチャネル領域における伝導帯のバンド構造に依存していることを利用して, p-i-p 構造からなるグラフェン共鳴トンネル FET (GRTFET) を新たに考案し, 同じチャネル長を持つ GTFET よりも原理的に低い  $SS$  が得られることを示した. 解析した素子性能を反映させたコンパクトモデルを開発し, GTFET 適用した論理回路の性能を解析した. その結果, NAND 回路において既存の MOSFET やスピンドバイスよりも 2 桁以上低い消費エネルギーと 1 ps 以下の短い遅延時間を達成した.

**Keywords:** グラフェン, グラフェンナノリボン, トンネル電界効果トランジスタ (TFET), 第一原理解析, サブスレッショルド係数 ( $SS$ ), ON/OFF 比.

## Abstract

Tunnel field effect transistors (TFETs) have been studied as a promising candidate for the beyond CMOS era devices due to their low OFF current and a possibility of the subthreshold swing ( $SS$ ) below 60 mV/dec at the room temperature. Recently, TFETs based on various semiconductors have been demonstrated and some TFETs achieved  $SS$  of less than 60 mV/dec with high ON/OFF ratio. However, these TFETs could not achieve sufficiently high ON current (2 orders smaller than conventional MOSFET) due to the high tunnel resistance and low carrier mobility. To tackle this low ON current issue, graphene has been proposed as the channel material. The low effective mass and atomically thin body result in extremely high carrier mobility, and a finite band gap can be realized by controlling the width of the graphene nanoribbon (GNR). However, a reported experimental work on the graphene TFETs (GTFETs) could not achieve the high ON current TFETs ( $< 10 \mu\text{A}/\mu\text{m}$ ) and an ON/OFF ratio is less than 1 order. Moreover, the design guideline of device structure has not been reported because the studies of GTFETs is still in the early stages.

In this work, we aim to clarify the essential factors of device characteristics from the atomic scale, and also clarify the requirements to achieve high device performance: ON current  $> 10 \mu\text{A}/\mu\text{m}$ , ON/OFF ratio  $> 10^4$  and  $SS < 60$  mV/dec at the room temperature. Here, the analyzed devices consists of three top-gates to form the p-i-n junction by using the electrostatic doping. As the results, we found that three parameters, such as the source-drain direct tunneling leakage, thermionic leakage and the difference of the the quasi Fermi levels of source and drain sides, affect the device characteristics. Consequently, we develop the analytical model of  $SS$  and then clarify the minimum requirements of the device dimension to achieve the  $SS < 60$  mV/dec: GNR with band gap  $\geq 120$  meV and channel length  $\geq 43$

nm. In order to achieve ON/OFF ratio of  $10^8$ , GNR with band gap  $\geq 420$  meV and channel length  $\geq 50$  nm are needed. Based on the above results, we propose the new device structure (consists of the p-p-i-n-n junctions) to reduce the thermionic leakage, and the  $SS$  of 53.6 mV/dec at the room temperature by using the wide GNR with the band gap of 70 meV. In addition, the graphene resonant tunneling FET (GRTFET) is also proposed. The steeper  $SS$  than GTFET can be expected in GRTFETs due to the flat band bending in the channel region. From the result of GTFET simulation, we developed a compact model to evaluate the logic circuit performance. As a result, GTFET gives two order smaller energy consumption than conventional MOSFETs and spin devices with the delay of less than 1 psec in the NAND circuit.

**Keywords:** Graphene, Graphene nanoribbon (GNR), Tunnel field effect transistor (TFET), First principle simulation, Subthreshold Swing (SS), ON/OFF ratio.

# 目次

|          |                           |           |
|----------|---------------------------|-----------|
| <b>1</b> | <b>序論</b>                 | <b>1</b>  |
| 1.1      | MOSFET                    | 1         |
| 1.1.1    | 半導体産業の発展                  | 1         |
| 1.1.2    | MOSFETの構造と動作原理            | 2         |
| 1.1.3    | スケーリングと微細化の課題             | 2         |
| 1.2      | トンネル電界効果トランジスタ            | 5         |
| 1.2.1    | beyond CMOS               | 5         |
| 1.2.2    | TFETの動作原理                 | 6         |
| 1.2.3    | TFETの現状と課題                | 7         |
| 1.3      | グラフェンの特徴及びグラフェン量子デバイスについて | 11        |
| 1.4      | グラフェンへのドーピング              | 13        |
| <b>2</b> | <b>研究目的</b>               | <b>15</b> |
| 2.1      | 本研究の目的                    | 15        |
| 2.2      | 本論文の構成                    | 16        |
| <b>3</b> | <b>理論</b>                 | <b>17</b> |
| 3.1      | 半経験的計算法                   | 17        |
| 3.1.1    | Tight-binding model       | 18        |
| 3.1.2    | 非平衡グリーン関数法を用いた電子密度の計算     | 20        |
| 3.2      | グラフェンの電子状態                | 25        |
| 3.3      | トンネル電流の計算原理               | 30        |
| 3.4      | 解析モデル                     | 32        |
| <b>4</b> | <b>GTFETの素子特性</b>         | <b>34</b> |
| 4.1      | ソース・ドレインバイアス電圧依存性         | 34        |
| 4.2      | GNR幅依存性                   | 37        |
| 4.3      | チャネル長依存性                  | 39        |
| 4.4      | Constant $U(x)$ スケーリング法   | 41        |
| 4.5      | 素子寸法の要件                   | 44        |
| 4.6      | 本章のまとめ                    | 49        |

|          |                           |           |
|----------|---------------------------|-----------|
| <b>5</b> | <b>新素子構造の提案</b>           | <b>50</b> |
| 5.1      | 熱電子リークの低減 . . . . .       | 50        |
| 5.2      | グラフェン共鳴トンネルFET . . . . .  | 52        |
| 5.3      | 本章のまとめ . . . . .          | 54        |
| <b>6</b> | <b>GTFETを用いた論理回路の性能評価</b> | <b>56</b> |
| 6.1      | コンパクトモデル . . . . .        | 56        |
| 6.2      | Inverter 回路 . . . . .     | 58        |
| 6.3      | NAND 回路 . . . . .         | 61        |
| 6.4      | Ring Oscillator . . . . . | 67        |
| 6.5      | 本章のまとめ . . . . .          | 69        |
| <b>7</b> | <b>まとめと今後の課題</b>          | <b>70</b> |



# 目 次

|      |   |    |
|------|---|----|
| 1.1  | ゲート長及び集積数の遷移                            | 1  |
| 1.2  | MOSFET の素子構造                            | 3  |
| 1.3  | ゲート長と電力密度の関係                            | 4  |
| 1.4  | MOSFET の伝達特性                            | 4  |
| 1.5  | 新奇スイッチングデバイス                            | 4  |
| 1.6  | 各スイッチングデバイスのスイッチング性能                    | 5  |
| 1.7  | TFET の基本構造と動作原理                         | 6  |
| 1.8  | 各 TFET における $SS$ と ON/OFF 比の関係          | 7  |
| 1.9  | バルク TFET と NW-TFET の状態密度の比較             | 9  |
| 1.10 | Core MultiShell (CMS) 構造を用いた TFET       | 10 |
| 1.11 | CMS 構造を用いた TFET                         | 10 |
| 1.12 | グラフェンと炭素同素体                             | 11 |
| 1.13 | 実験から得られたバンドギャップと GNR 幅の関係               | 13 |
| 1.14 | Muller らが試作した GTFET                     | 14 |
| 2.1  | GTFET の動作概念図                            | 16 |
| 3.1  | デバイスモデルにおける電極領域と相互作用領域                  | 20 |
| 3.2  | グラフェンの結晶構造                              | 26 |
| 3.3  | グラフェンの分散関係                              | 28 |
| 3.4  | エッジ構造によるグラフェンナノリボン (GNR) の分類            | 29 |
| 3.5  | Armchair GNR のバンドギャップと GNR 幅の関係         | 30 |
| 3.6  | トンネル電流の計算原理                             | 32 |
| 3.7  | 解析した GTFET の概念図                         | 33 |
| 3.8  | 各素子特性の定義                                | 34 |
| 4.1  | 伝達特性のソース・ドレインバイアス電圧依存性                  | 35 |
| 4.2  | 異なるバイアス電圧でのバンド構造と透過スペクトル                | 36 |
| 4.3  | $SS_{0.1V}$ のバイアス電圧依存性と $F_{Bias}$ 値の関係 | 36 |
| 4.4  | 素子性能の GNR 幅依存性                          | 38 |
| 4.5  | 異なる GNR 幅でのバンド構造                        | 39 |
| 4.6  | 素子性能のチャンネル長依存性                          | 40 |

|      |   |    |
|------|---|----|
| 4.7  | 異なるチャンネル長でのバンド構造と $SS$ との関係                           | 40 |
| 4.8  | Constant $U(x)$ スケーリングの概念図                            | 42 |
| 4.9  | Constant $U(x)$ スケーリングに従って設計した場合の素子寸法依存性              | 43 |
| 4.10 | $SS$ のバンドギャップ依存性                                      | 43 |
| 4.11 | $SS$ の解析モデルの概略図                                       | 45 |
| 4.12 | $SS$ の温度依存性   | 46 |
| 4.13 | $SS - T$ 曲線の素子構造及びバイアス電圧依存性                           | 46 |
| 4.14 | Constant $U(x)$ スケーリングに基づいた $SS - T$ 曲線の素子寸法依存性       | 48 |
| 5.1  | p-i-n 構造での重ドーピング                                      | 50 |
| 5.2  | 新素子構造   | 51 |
| 5.3  | 新素子構造での伝達特性   | 51 |
| 5.4  | GTFET におけるバンド曲がりによる $SS$ の増大                          | 52 |
| 5.5  | グラフェン共鳴トンネル FET の素子構造                                 | 53 |
| 5.6  | GRTFET と GTFET の伝達特性の比較                               | 53 |
| 5.7  | GRTFET の Gate 3 長依存性                                  | 54 |
| 5.8  | 異なる Gate 3 長における各領域の状態密度                              | 55 |
| 6.1  | NEGF とコンパクトモデルの比較                                     | 58 |
| 6.2  | GTFET を適用した Inverter 回路                               | 59 |
| 6.3  | 寄生容量のオーバーシュートへの寄与                                     | 59 |
| 6.4  | Inverter 回路における出力波形の負荷特性                              | 60 |
| 6.5  | Inverter 回路における回路遅延の負荷容量依存性                           | 60 |
| 6.6  | GTFET を適用した NAND2 回路                                  | 61 |
| 6.7  | GTFET を適用した NAND2 回路における出力波形の負荷容量特性                   | 62 |
| 6.8  | NAND2 回路におけるオーバーシュート電圧の負荷容量依存性                        | 62 |
| 6.9  | NAND2 回路における回路遅延の負荷容量依存性                              | 63 |
| 6.10 | NAND2 回路の動的消費エネルギー                                    | 64 |
| 6.11 | スイッチング素子の消費エネルギーと遅延                                   | 65 |
| 6.12 | GTFET を適用した場合の NAND3 回路と NAND5 回路の波形                  | 66 |
| 6.13 | 5 stage Ring Oscillator の回路図                          | 67 |
| 6.14 | 異なる段数の GNR 幅 1.6 nm の GTFET を適用した Ring Oscillator の特性 | 68 |
| 6.15 | 異なる段数の GNR 幅 2.4 nm の GTFET を Ring Oscillator の特性     | 68 |
| 6.16 | 遅延時間の段数依存性  | 69 |

7.1 GTFET と各 TFET における  $SS$  と ON/OFF 比の関係 . . . . . 71

# 表 目 次

|     |  |    |
|-----|--|----|
| 1.1 | MOSFET と各 TFET の ON 電流の比較 ([11] の図面をもとに作成) . . . . . | 8  |
| 4.1 | GNR 幅の解析で用いた素子構造と電圧設定 . . . . .                      | 38 |
| 4.2 | チャンネル長の解析で用いた素子構造と電圧設定 . . . . .                     | 41 |
| 4.3 | Constant $U(x)$ スケーリングに従って設計した素子の寸法と電圧設定 . . . . .   | 42 |
| 6.1 | コンパクトモデルの各パラメーター . . . . .                           | 57 |
| 6.2 | 各 GTFET の素子性能 . . . . .                              | 57 |

# 第1章 序論

## 1.1 MOSFET

### 1.1.1 半導体産業の発展

トランジスタは、1948年にアメリカのベル研究所で開発された。J. Bardeen, W. H. Brattain, W. B. Shockley は、点接触型のトランジスタを用いて、この素子が電流を増幅することを明らかにした。1952年、テキサスインスツルメンツが半導体ビジネスを開始し、1954年には世界で初めてとなるSi接合トランジスタが開発された。1960年に電界効果トランジスタ (Field Effect Transistor : FET) が、1963年には Complementary-Metal-Oxide-Semiconductor (CMOS) が開発され、現在に至るまで半導体産業は急速に発展してきた [1],[2]。FET はバイポーラトランジスタと比較した場合、低消費電力や製造過程の簡易性、集積化が容易等の利点があり、1970年代から集積回路にはバイポーラトランジスタに代わり、CMOS が用いられるようになった。そして、回

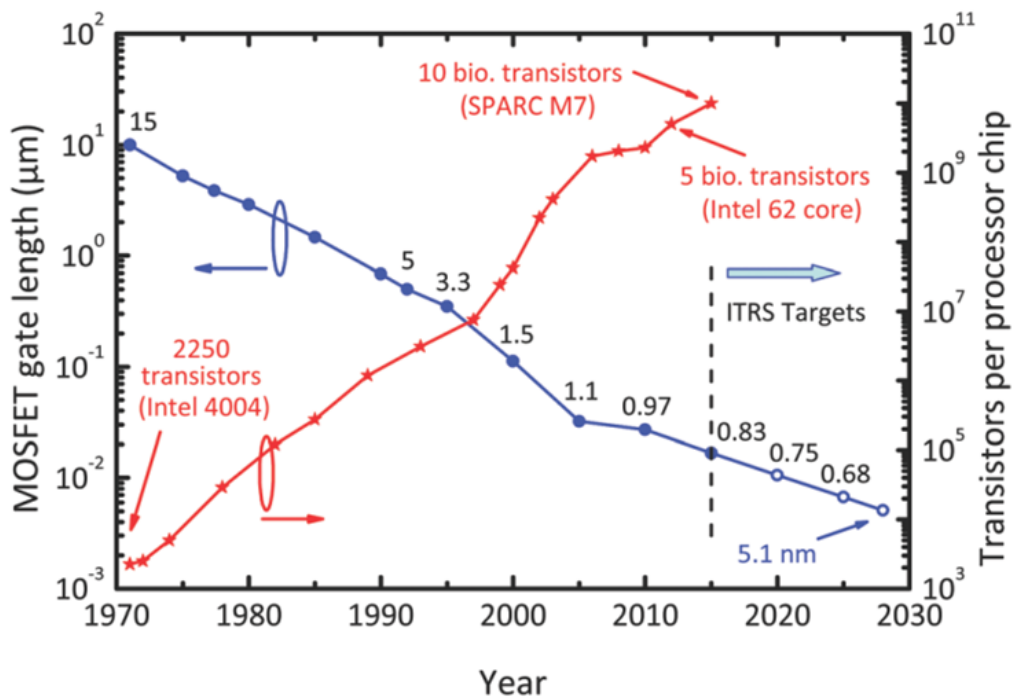


図 1.1: ゲート長及び集積数の遷移 [4]. 赤線は1チップ当たりのトランジスタ数の推移を、青線はゲート長の推移を示す。

路の高速化と高機能化を達成するため、素子の微細化が進められてきた。この過程で、セルフ

アラインプロセスをはじめ、プロセスインテグレーション、*low-k* 絶縁膜、*high-k* 絶縁膜、マルチゲート電極等の様々な技術が開発された。このような半導体技術の進歩に支えられ、集積度は年々向上し、LSI の性能を向上させてきた。最も使用される集積化の進展を示す指標として、ムーアの法則がある [3]。これは、集積回路上のトランジスタ数が 18 か月で 2 倍になるという法則である。図 1.1 は、MOSFET ゲート長と CPU 一つ当たりのトランジスタ数の遷移を示す。1970 年代初頭のトランジスタでは、ゲート長が  $15 \mu\text{m}$ 、トランジスタ数が 1 チップ当たり 2250 個程度である。現在では、ゲート長は 10 nm に達し、100 億個以上のトランジスタが 1 チップに集積されている [5]。

### 1.1.2 MOSFET の構造と動作原理

MOSFET は、p 型 Si - n 型 Si - p 型 Si 又は n 型 Si - p 型 Si - n 型 Si の接合構造からなる。前者は p 型 MOSFET (PMOS)、後者は n 型 MOSFET (NMOS) と呼ばれる。NMOS の基本構造を図 1.2 に示す。NMOS のバンドプロファイルは図 1.2(b) のようになっており、正のゲート電圧を印加することで、ゲート領域下のポテンシャルが下がる。OFF 状態では、電子がゲート領域下のポテンシャルバリアに阻まれ、ソースからドレイン側に移動できない。ON 状態では、ポテンシャルバリアが低くなるため、電子がドレイン側に移動できるようになる。ON⇔OFF 切り替えの急峻性を示す指標であるサブスレッショルド係数 (Subthreshold Swing:  $SS$ ) は、式 (1.1) で表され、低いほど急峻なスイッチングを実現できる。

$$SS = \frac{\partial V_G}{\partial \log(I_d)} \quad (1.1)$$

ここで、 $I_d$  はドレイン電流を示している。MOSFET では、ドレイン電流がフェルミ分布関数に従って増加するため、室温下で  $SS$  を 60 mV/dec 以下にできない。

### 1.1.3 スケーリングと微細化の課題

これまで CMOS は、スケーリングファクター  $k$  を用いるデナードスケーリングに従って微細化されてきた。一方、集積回路では、この MOSFET の微細化に伴い、OFF 状態での消費電力 (リーク電力) の増大が深刻な問題となっている。図 1.3 は、MOSFET のゲート長と電力密度の関係を示したものである。ON 状態における消費電力 (ダイナミック電力) は、集積度が上がると回路自体の温度が上昇するため、微細化するほどに緩やかに増加している。これに対し、リーク電力は微細化に伴って急激に増大していく傾向にあり、10 nm 付近ではリーク電力がダイナミッ

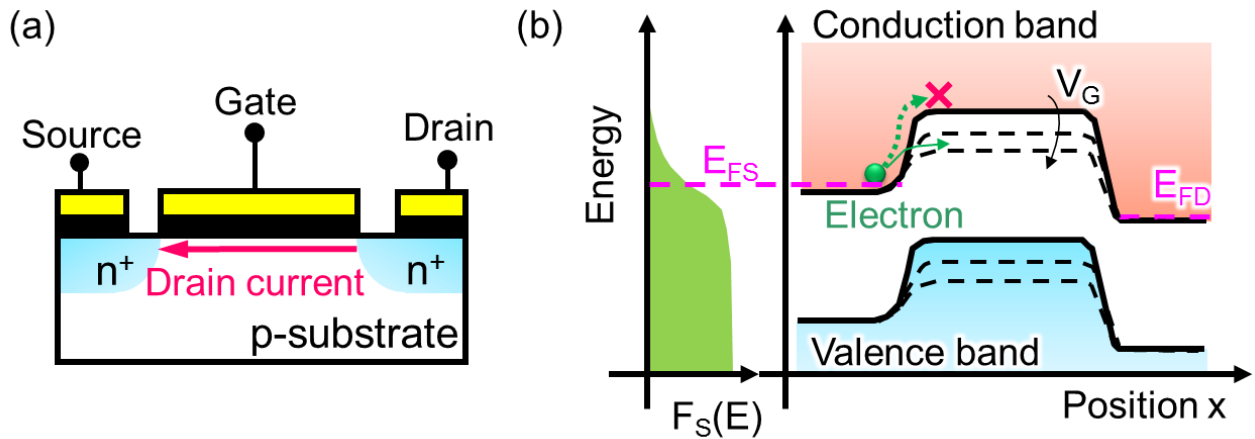


図 1.2: n型 MOSFET. (a) 素子構造, (b) バンドプロファイル.  $E_{FS}$  と  $E_{FD}$  はソース及びドレイン領域のフェルミエネルギー,  $V_G$  はゲート電圧,  $F_s(E)$  はフェルミ分布関数を示している. 橙色の球は電子を示している.

ク電力と同等になっている. 従って, さらに微細化が進んだ場合, 大規模集積回路の消費電力がさらに大きくなっていくことが予想される.

集積回路におけるリーク電力は, MOSFET の伝達特性のサブスレッシュヨルド領域で支配され, スイッチング性能の指標である  $SS$  とオフリーク電流によって決定される. しかし, MOSFET では  $SS$  が  $60 \text{ mV/dec}$  以下にすることができない. これは, 集積回路の更なる性能向上を達成するためには, これまでのような MOSFET や CMOS の微細化のみによる集積回路の性能向上には限界が来ていることを示しており, 更なる回路性能の向上を果たすためには, MOSFET のスイッチング性能の限界を超えるスイッチング特性をもつ新奇スイッチングデバイスが必要となる. 図 1.5 は, 代替え素子に求められる素子性能を示しており, 限りなく 0 に近い  $S$  係数, 非常に小さいオフリーク電流, MOSFET 以上の ON 電流等の特徴を持つことが望まれていることが分かる.

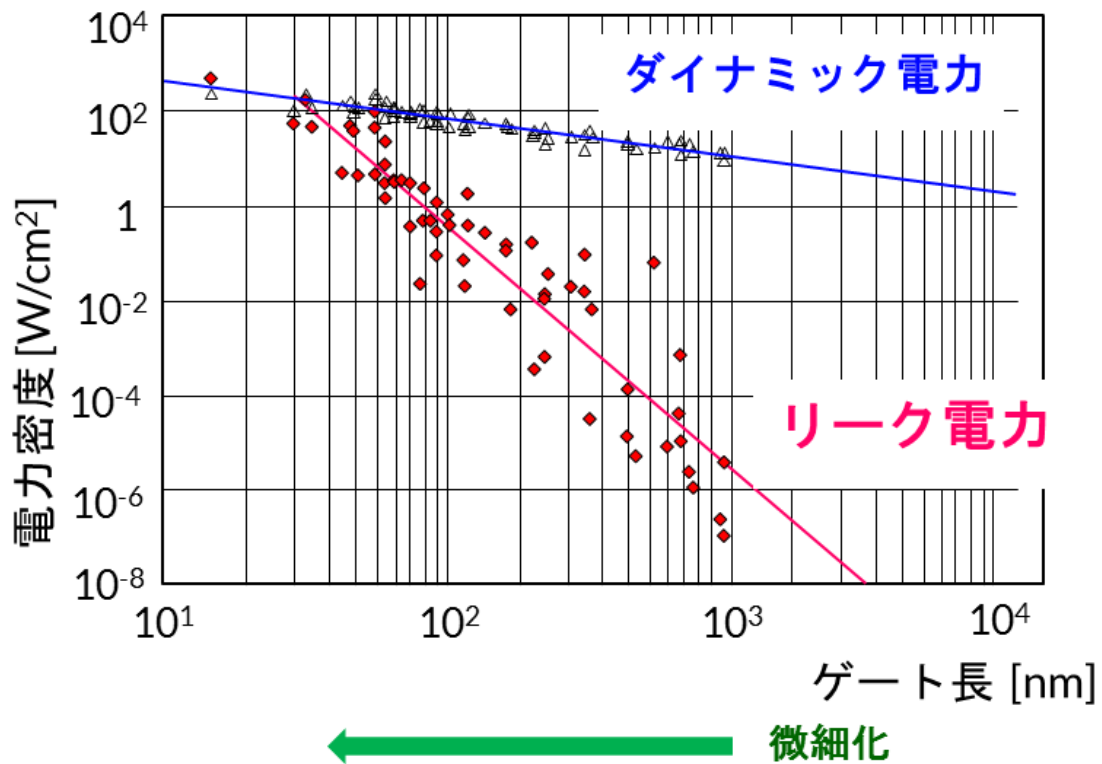


図 1.3: ゲート長と電力密度の関係 ([6] の図を基に作成. 赤線はゲート長とリーク電力の関係を, 青線はゲート長とダイナミック電力の関係を示す.)

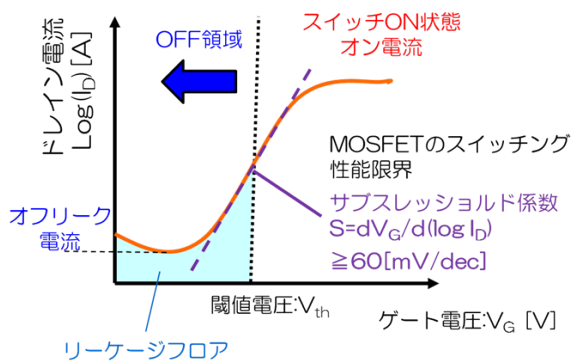


図 1.4: MOSFET の伝達特性

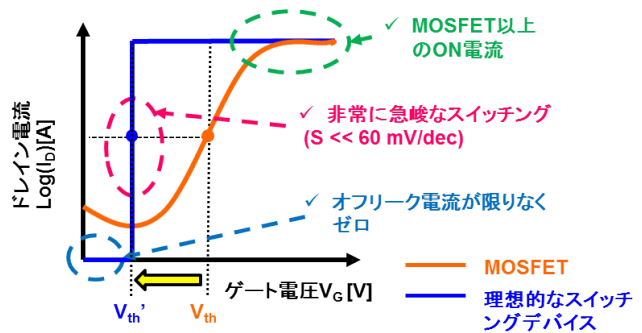


図 1.5: 新奇スイッチングデバイスに望まれる理想的な伝達特性



## 1.2 トンネル電界効果トランジスタ

### 1.2.1 beyond CMOS

図 1.6 は, MOSFET と各スイッチングデバイスの  $SS$  を示したものである.  $SS$  に注目した場合, トンネル電界効果トランジスタ (Tunnel FET : TFET) や Impact ionization MOS (IMOS), Nano Electro-Mechanical FET(NEMFET) が MOSFET の代替となる新奇スイッチング素子の重要な候補であることが分かる. IMOS は,  $S$  係数は  $5 \text{ mV/dec}$  と非常に低く,  $150 \mu \text{ A}/\mu \text{ m}$  程の ON 電流が得られている [7]. しかし, 高いバイアス電圧が必要であり, OFF 電流が他のデバイスよりも高くなる傾向にある. また, 素子の微細化が容易ではないという課題もある. NEMFET は,  $SS$  が  $1 \text{ mV/dec}$  以下となるデバイスが報告されている [9]. しかし, NEMFET には, ヒステ

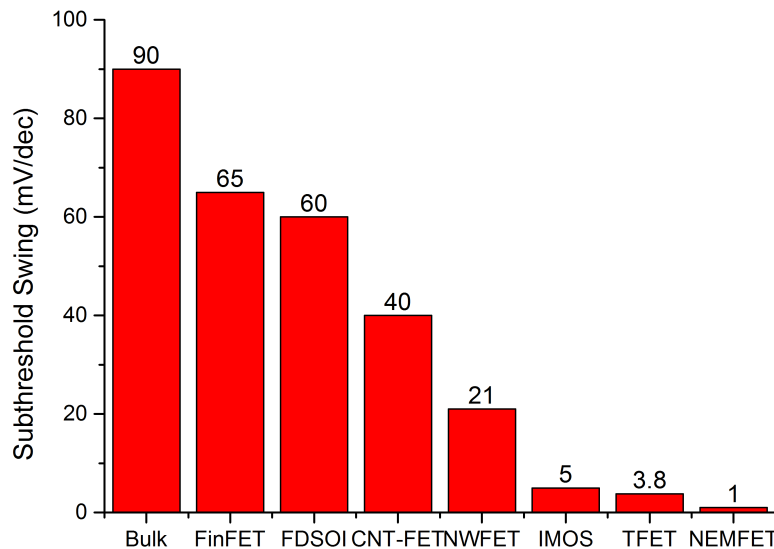


図 1.6: 各スイッチングデバイスのスイッチング性能 ([7]-[9] を基に作成)

リシス特性, 素子のインテグレーション, 高い閾値電圧等の課題がある. これらに対し, TFET では, 低いバイアス電圧で動作でき,  $SS = 3.8 \text{ mV/dec}$  という良好なスイッチング特性が報告されている [17]. また, TFET のバンド構造により低い OFF 電流が得られる.

## 1.2.2 TFET の動作原理

図 1.7(a) と 1.7(b) に n 型 TFET 及び p 型 TFET の基本素子構造を示す。TFET は、p 型領域と真性領域、n 型領域からなり、真性チャンネルの上部にゲート電極を配置した構造をもつ。n 型 TFET の動作原理を図 1.7(c) と 1.7(e) に示す。n 型 TFET は、ゲート電圧によって p 型ソースの価電子帯と真性チャンネルの伝導帯の間に起こるバンド間トンネリングを制御して電流を変調する。SS はバンド間トンネル電流の変調効率で決定されるため、原理的に  $SS < 60 \text{ mV/dec}$  が可能となる [8]。またオフリーク電流には、ソース・ドレイン間直接トンネリング (S-D トンネリング) リーク電流と熱電子リーク電流がある。前者は、p 型ソース領域から n 型ドレイン領域へ直接トンネルすることで起こる。TFET において S-D トンネリングリークは、チャンネル領域のポ

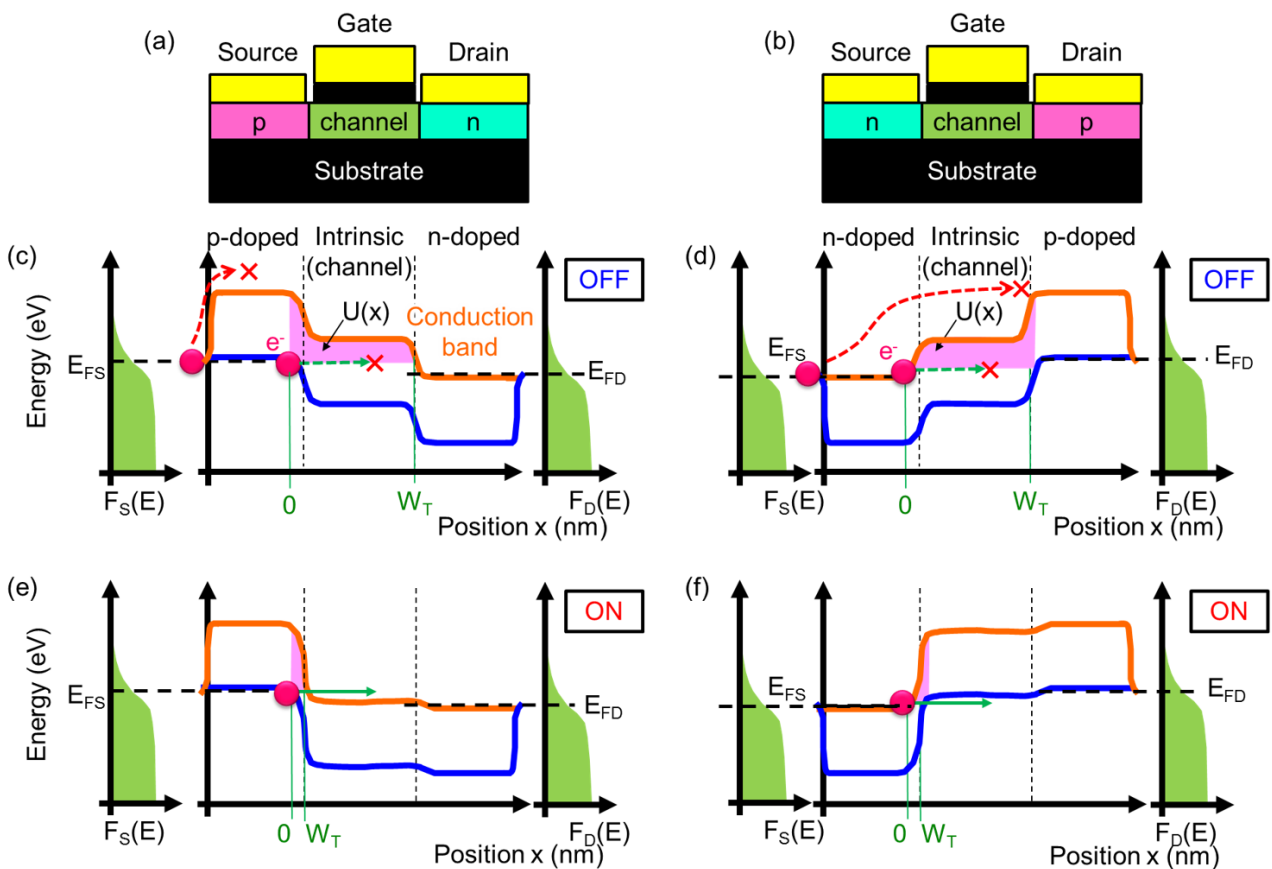


図 1.7: TFET の基本構造と動作原理. (a), (b) n 型 TFET と p 型 TFET の素子構造. (c), (d) n 型 TFET と p 型 TFET の OFF 状態でのバンド構造, (e), (f) n 型 TFET と p 型 TFET の ON 状態でのバンド構造.  $E_{FS/FD}$  と  $F_{S/D}$  は、ソース又はドレイン領域でのフェルミエネルギーとフェルミ分布関数を示す. (c), (d) の赤線は熱電子リークを、緑線は S-D トンネリングを示している。

テンシャルバリア  $U(x)$  によって指数関数的に低減される。後者は、キャリアがソースから p 型

領域の伝導帯を介してドレイン側に流れることで起こる。熱電子リーク電流は、ソース側のフェルミ分布関数  $F_S$  に依存しており、TFET では p-i-n 構造によって熱電子リーク電流が p 型領域のバンドギャップによって低減される。これらにより、TFET でのオフリーク電流は、非常に小さくなる。p 型 TFET の場合は、n 型 TFET と構造が対称になり、n 型領域とチャネル領域の間のバンド間トンネリングでスイッチングする。

### 1.2.3 TFET の現状と課題

[TFET の現状と課題] 2004 年、J. Appenzeller らは CNT をチャネル材料に用いた TFET を作製し、初めて室温下で 60 mV/dec を下回る  $SS$  を達成した [10]。その後、図 1.8 に示すように、現在までに様々な半導体を用いて TFET が作製されてきた [11]-[34]。実際に  $SS < 60$  mV/dec が室温下で得られている。近年では、M. Kim らが Ge/sSi を用いた TFET において、28 mV/dec の  $SS$  と ON/OFF 比  $10^7$  を達成した。しかし、これらの急峻な  $SS$  や高い ON/OFF 比が得られている一方で、表 1.1 に示すように、高い ON 電流を得られていないという大きな課題がある。

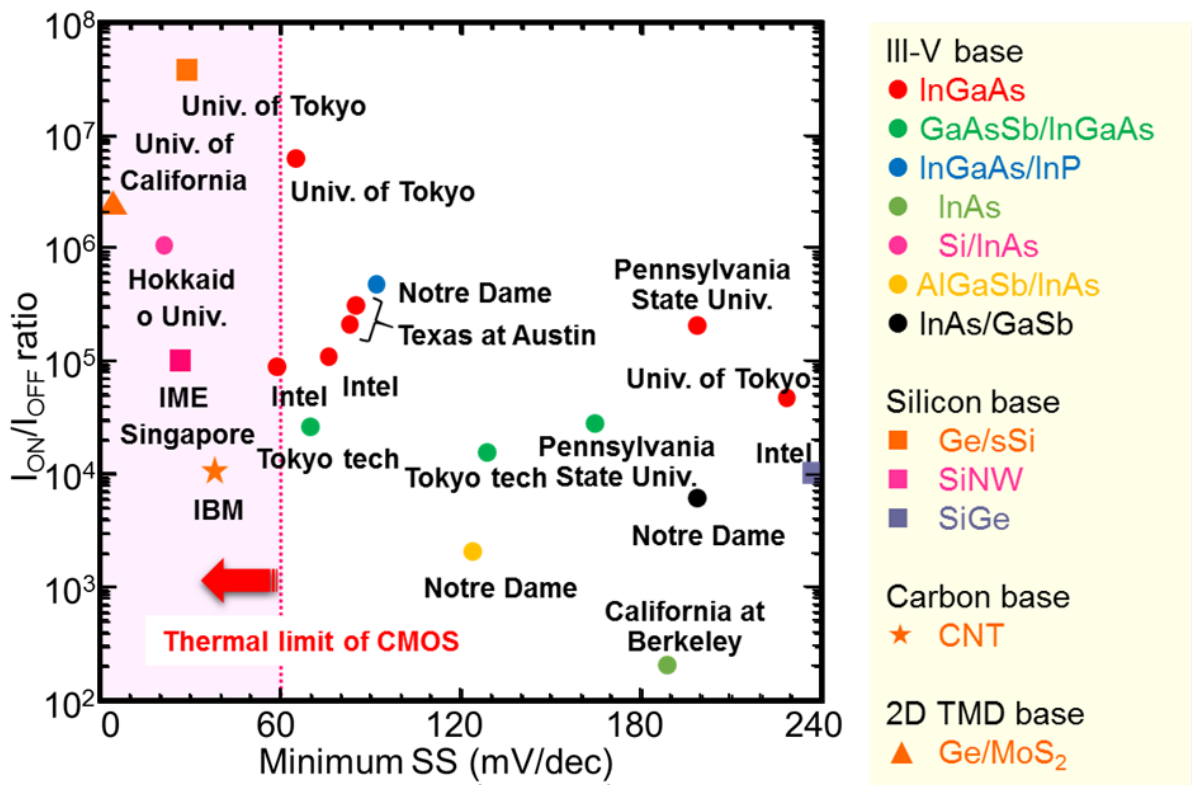


図 1.8: 各 TFET における  $SS$  と ON/OFF 比の関係 [10]-[34]([11] の図面をもとに作成)

表 1.1: MOSFET と各 TFET の ON 電流の比較 ([11] の図面をもとに作成)

|                                     | MOSFET      | InGaAs | InAs     | Ge/sSi  | SiNW |
|-------------------------------------|-------------|--------|----------|---------|------|
| ON 電流 ( $\mu\text{A}/\mu\text{m}$ ) | $\sim 1000$ | 10     | $\sim 1$ | $< 0.1$ | 1.2  |

TFET の ON 電流は, WentzelKramersBrillouin (WKB) 近似より [35],

$$I_d = \frac{2q}{\hbar} T_{WKB} \times k_B T \times \ln\left[\frac{1}{2}\left(1 + \cosh\frac{V_{Bias}}{k_B T}\right)\right] \quad (1.2)$$

$$T_{WKB} = \exp\left(-\frac{4W_T\sqrt{2mE_g}}{3\hbar}\right) \quad (1.3)$$

で表される. 式中の  $q$ ,  $\hbar$ ,  $k_B T$ ,  $V_{Bias}$  は, 電子素量, 換算プランク定数, 熱力学的温度, バイアス電圧を示している.  $m$ ,  $E_g$ ,  $W_T$  は, 有効質量, バンドギャップ, トンネル距離を示しており, これらのパラメータはチャンネル材料によって変わる. この ON 電流の問題を解決するため, III-V 化合物半導体やヘテロ接合を用いて, 有効質量やバンドギャップを低減する取り組みが行われてきた [36]. また, トンネル距離を短くするため, ナノワイヤ (NW) を用いた TFET が研究されている. NW-TFET では, スクリーニング長 (トンネル距離とほぼ同じ長さ) がバルクの TFET のものよりも短くなる. バルクの TFET のスクリーニング長は,

$$\lambda_{Bulk} = \sqrt{\frac{\epsilon_0\epsilon_{Si}K_B T}{q^2 N}} + \sqrt{\frac{\epsilon_{Si}t_{ox}t_{Si}}{\epsilon_{ox}}} \quad (1.4)$$

で表される. ここで,  $\epsilon_0, \epsilon_{Si}, \epsilon_{ox}$  は, それぞれ真空, Si, 絶縁膜の誘電率を示す.  $t_{ox}, t_{Si}$  は, 絶縁膜と Si 層の厚さを示す.  $N$  は, ソース領域へのドーピング濃度を示している. これに対し, NW-TFET では,

$$\lambda_{NW} \approx \sqrt{\frac{\epsilon_{NW}t_{ox}t_{Si}}{\epsilon_{ox}}} \quad (1.5)$$

となる.  $\epsilon_{NW}$  は, NW の誘電率である. バルクの TFET では, ソース領域のスクリーニング長 (右辺第一項) とチャンネル領域のスクリーニング長 (右辺第二項) の和でスクリーニング長が表される. NW-TFET では, チャンネル領域のスクリーニング長が支配的になるため, バルクの TFET よりも短いスクリーニング長となり, トンネル電流が増大する. また, NW-TFET では, 1 次元的な状態密度 (DOS) が得られ, これによりバルクの TFET よりも急峻な SS が期待できる. バルクの TFET では, 図 1.9(a) に示すように DOS が  $\sqrt{E}$  に比例している. このため, チャンネル領域の伝導帯をポテンシャル変調していった場合に, トンネリングできる電子が  $\sqrt{E}$  に従って増大していく. 一方, NW-TFET では, 図 1.9(b) に示すように DOS が  $1/\sqrt{E}$  に従う. このため, チャネ

ル領域の伝導帯をポテンシャル変調していった場合には、バンド端でDOSにテイルが現れないため、バンド間トンネリングによる電流が急峻に立ち上がる。これは、DOSスイッチと呼ばれる [36]。これらに基づいて、III-V 化合物半導体を用いた NW-TFET の研究が進められている。K.

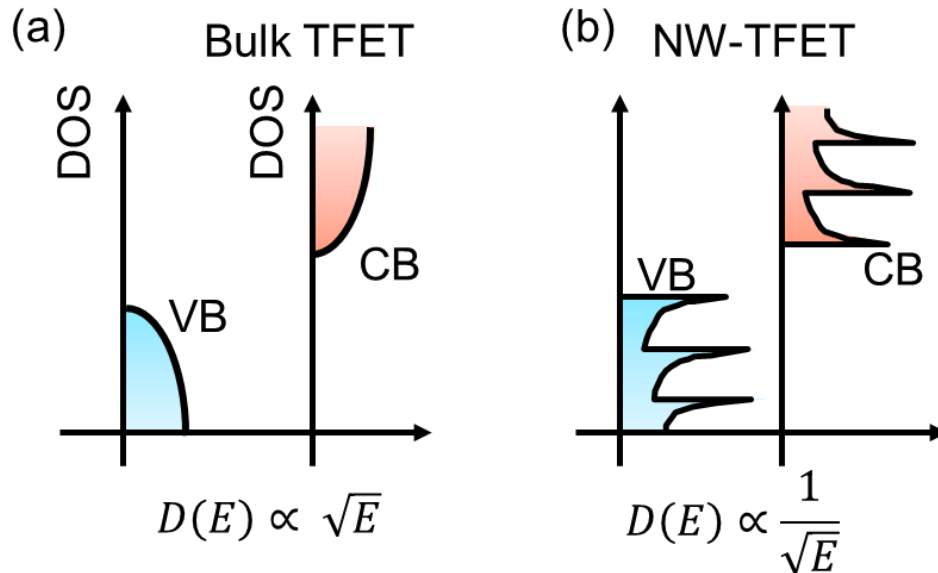


図 1.9: バルク TFET と NW-TFET の状態密度の比較

Tomioka らは、様々な III-V 化合物 (InGaAs, InP, InAlAs) を層状に成長させた Core-MultiShell (CMS) 構造をもつ NW-TFET を開発し、 $> 100 \mu\text{A}/\mu\text{m}$  の ON 電流を達成した [37]。しかし、 $SS$  が  $75 \text{ mV}/\text{dec}$  となった。この高い  $SS$  は、Si との接合界面や III-V 化合物半導体同士の間形成されるトラップ準位に起因している。また、高い ON 電流を得るためにはソース側の Si のドーピング濃度を高くする必要があり、III-V 化合物半導体のバンドもこの影響を受け、チャネル領域のバンドが大きく傾いてしまう。トンネル距離の変化は、チャネル領域のバンド曲がりに依存しており、傾きが大きいほど  $SS$  が大きくなる [27]。このため、III-V 化合物半導体の NW を用いた TFET では、高い ON 電流が得られるが、トラップ準位や高ドーピングによって  $SS$  と OFF 電流が増大してしまうという課題がある。高ドーピングによるチャネル領域のバンドへの影響については、NW の直径を小さくすることで低減できると考えられるが、各 III-V 化合物半導体の層を形成するため、一定以上細くすることは容易ではないと考えられる。

このように、 $SS < 60 \text{ mV}/\text{dec}$  を達成できる TFET では、MOSFET と同等の ON 電流が得られていない。したがって、TFET の ON 電流を向上するためには、既存の半導体材料とは異なる特性を持つ、新しいチャネル材料が必要であると考えられる。

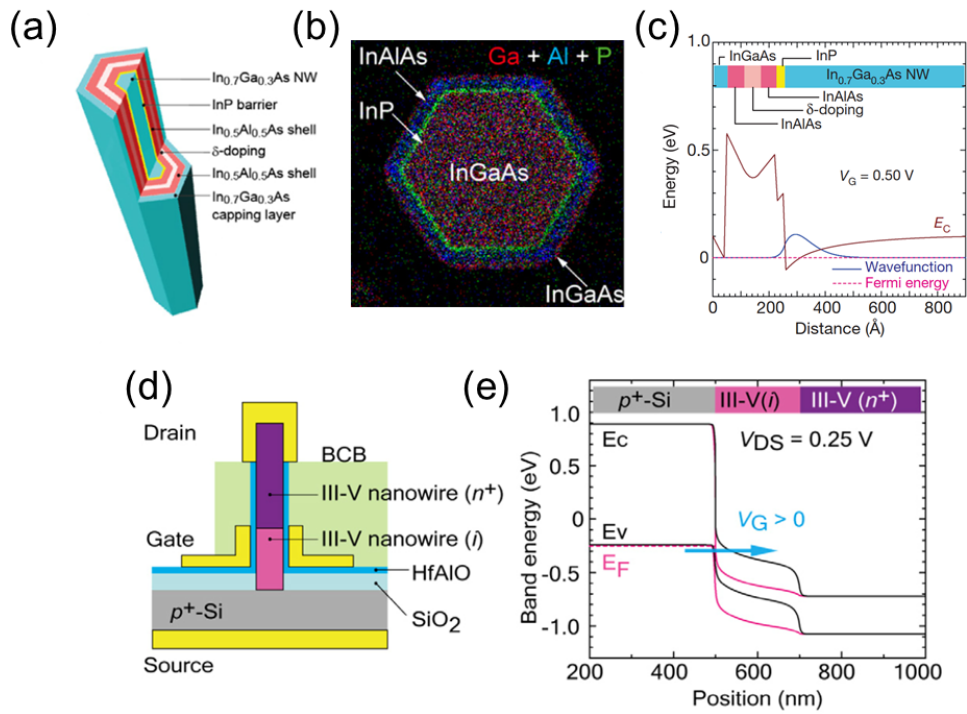


図 1.10: Core MultiShell (CMS) 構造を用いた TFET[37]. (a) CMS 構造をもつナノワイヤの概念図. (b) Bright-Field Scalling TEM による描図. (c) CMS 内部のバンドダイアグラム. (d) CMS 構造を用いた TFET のバンドダイアグラム. Si 側がソースであり, n 型 III-V 化合物半導体側がドレインにつながっている.

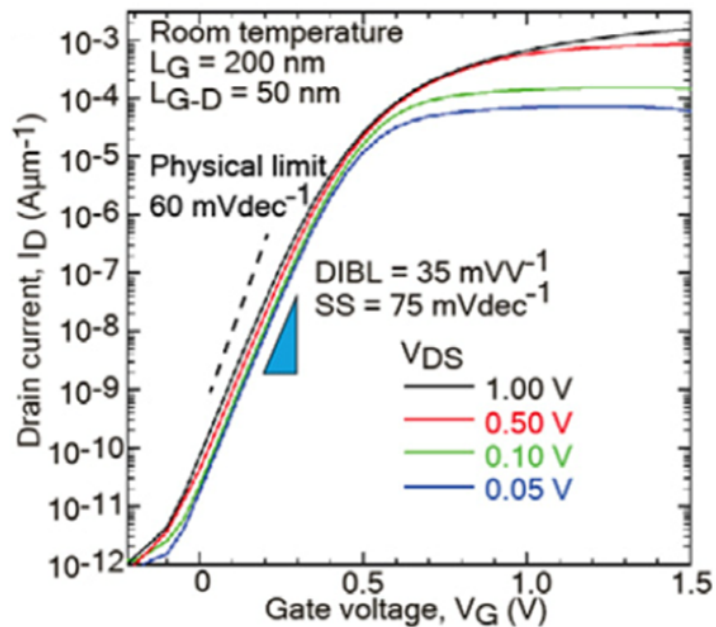


図 1.11: CMS 構造を用いた TFET[37].

### 1.3 グラフェンの特徴及びグラフェン量子デバイスについて

Shockley らの点接触型トランジスタは、半導体基板材料に Ge を用いて作製された。そして、1954 年にテキサス・インスツルメンツ社により Si 接合型トランジスタが開発されて以降、半導体基板材料は Ge から Si へと移り変わり、現在に至るまで Si が半導体産業の要としての役割を果たしてきた。しかし、1.1.1 で述べたように、ムーアの法則に基づいて微細化されてきた MOSFET では、これ以上の微細化による集積回路の性能向上が困難である。また、1.1.2 で示したように、Si を含め、現在の TFET に用いられている半導体材料では、高い ON 電流が得られないことが課題となっている。そこで、本研究では、TFET における ON 電流の問題を解決するため、半導体基板材料としてグラフェンを用いることを考案した。グラフェンは、炭素原子一層からなる 2 次元材料であり、その電子構造に由来した特異な物性を示す。グラフェン以外の炭素同素体として、フラーレンやグラファイト、カーボンナノチューブ (CNT)、カーボンナノホーン (CNH)、ダイヤモンドが挙げられる。グラフェンは、これらの基本となる構造であり、 $sp^2$  炭素原子が平面内でハニカム状に共有結合した結晶構造をとる。グラフェンが、球状になったものがフラーレンであり、筒状やパラボラ状になったものが CNT と CNH である。

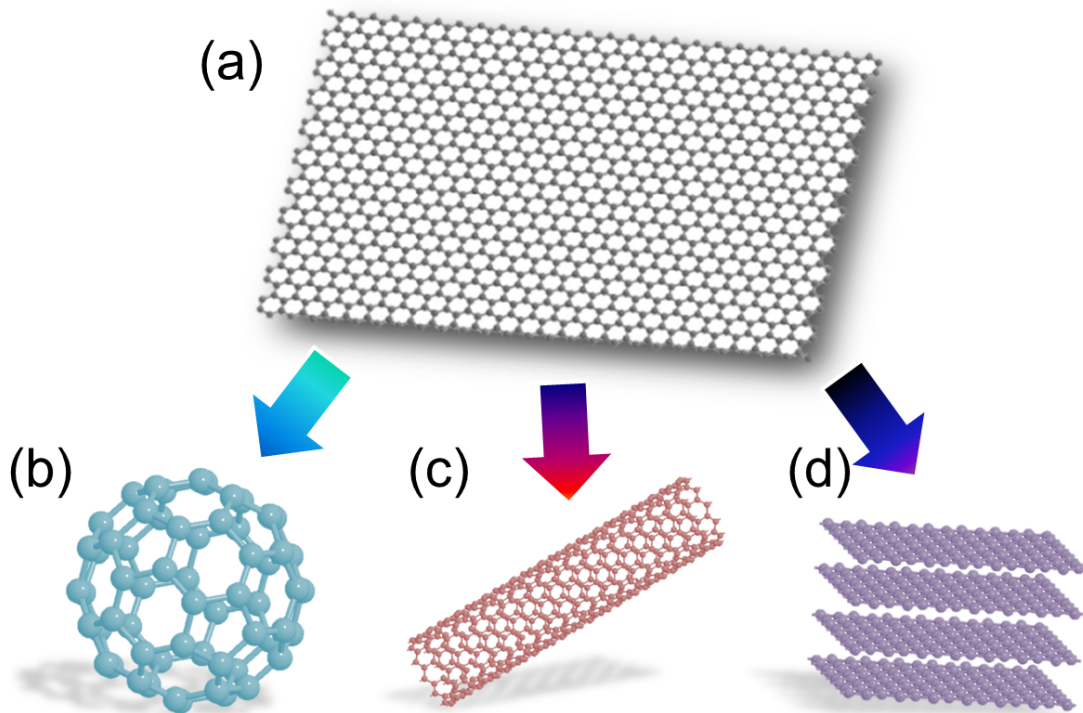


図 1.12: グラフェンと炭素同素体. (a) グラフェン. (b) フラーレン. (c) カーボンナノチューブ. (d) グラファイト.

フラーレンは、1985年に H. W. Kroto, R. E. Smalley, R. F. Curl らによって発見された。フラーレンは、科学的にも物理的にも様々な性質を持っている。大量に合成でき、安価であるため、filler と呼ばれるプラスチックにフラーレンを混ぜた材料や、分子間結合の小ささを利用することで潤滑剤やワックスの添加剤として利用されている [39]。その他、医薬品や有機薄膜太陽電池等の多くの分野に利用されている [40]。CNT は、1991年に日本電気株式会社の飯島澄男によって発見された [41]。CNT は、フラーレンの大量合成法での2本の炭素棒電極間のアーク放電によって陰極側の炭素棒状に堆積していた煤の中から発見された。応用例としては、小型燃料電池やトランジスタ、炭素複合材料等が挙げられる。また、CNH も1998年に飯島澄男によって発見された。CNH は、チューブの先端が閉じており、牛の角のようなグラフェンが、いが栗状に集まったものである [42]。こちらは、吸着剤や触媒、燃料電池の電極材料に応用されている。一方、複数層グラフェンの各層間については、ファンデルワールス力で結合している。多数のグラフェン層が重なったものは、グラファイトと呼ばれる。グラファイトは、古くから研究されている材料の一つであり、固体物理の教科書にも取り上げられている。鉱物や石油等が得られ、耐熱性や導電性、潤滑性に優れている。

グラフェンは、1962年に H. P. Boehm, A. Clauss らによって理論的に存在が示されたが、実際に単層のみを取り出す技術はなかった [43]。2008年、マンチェスター大学の A. Geim と K. Novoselov は、高配向熱分解黒鉛 (High Oriented Pyrolytic Graphite : HOPG) を粘着テープを用いて剥離し、単層グラフェンが容易に得られることを示した [44]。この方法は、機械的剥離法と呼ばれる。以降、グラフェンに関する研究は急増し、CVD 成長法や CNT を切り開いて得る方法等の作製法についても報告されている [45], [46]。グラフェンは、電氣的、機械的、熱力学的にも優れた材料である。半導体材料としてグラフェンを見た場合、室温下において  $200,000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{S}^{-1}$  ほどの非常に高い移動度を持ち、柔らかく透明、微細加工が容易であるという利点を持つ [47]。平面シート状のグラフェンは、ゼロギャップ半導体であるので、バンドギャップを持たない。しかし、ナノリボン加工したグラフェンナノリボン (GNR) はバンドギャップを持ち、GNR 幅によりこのバンドギャップの大きさが変化することが報告されている [48]。GNR 幅とバンドギャップの間には、以下のような関係があることが実験結果より導き出されている。

$$E_g = \frac{\alpha}{W} \cdot \exp\left(\frac{-\beta}{W}\right) \quad (1.6)$$

$$\alpha = 2eV \cdot nm$$

$$\beta = 0.026nm^{-1}$$

図 1.13 はグラフェンチャンネル幅とバンドギャップの関係を示しており、GNR 幅を変えることで小さいところでバンドギャップを制御できるという利点があることがわかる。これらの利点



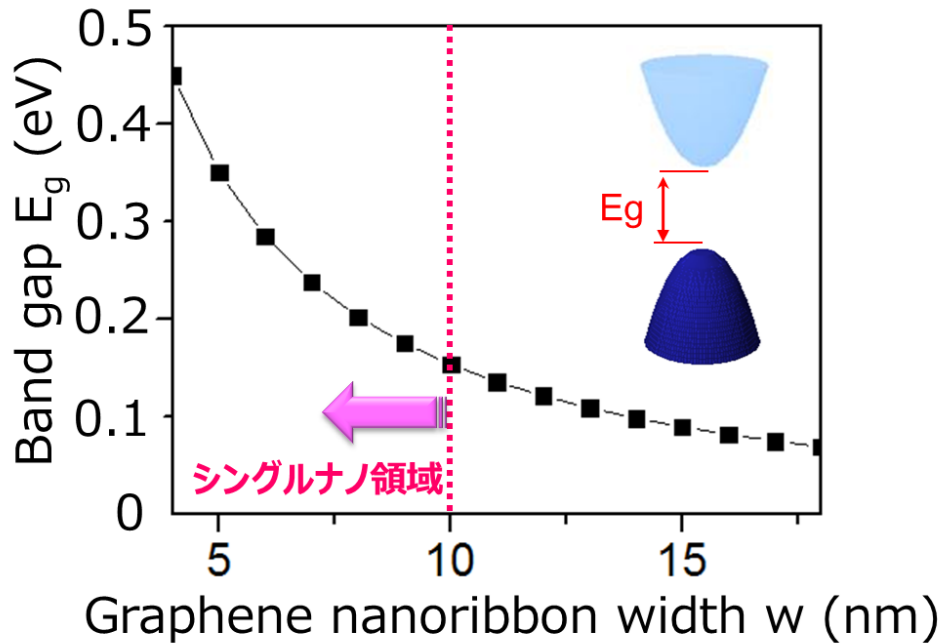


図 1.13: 実験から得られたバンドギャップと GNR 幅の関係 ([48] の図を基に作成). 図中のパラボラは GNR の分散関係を示す.

から、グラフェンはトランジスタやガスセンサ等の様々な量子デバイスへの応用が期待されている。グラフェン FET においては、2012 年にカリフォルニア大学ロサンゼルス校が遮断周波数 427GHz が得られるデバイスを作製している [50]. このデバイスは量産可能な高品質グラフェンを用いているため、生産性にも優れている。したがって、これらの利点とデバイスの作製報告例から、グラフェンを TFET に応用した場合には、ON 状態で高いトンネル電流を実現できる可能性があると考えられる。

## 1.4 グラフェンへのドーピング

グラフェン TFET (GTFET) の研究は、萌芽期にあり、実験的な研究報告は非常に少ない。GTFET を実現するにあたり、p-i-n 構造を形成するためのドーピング方法が問題となる。既存の MOSFET や TFET では、化学的なドーピングによって p-i-n 構造を形成する。しかし、グラフェンの場合は、炭素原子間の  $\sigma$  結合が強く、他の原子をドーピングすることが難しい [51]. また、化学的ドーピングをした場合、周期性の乱れや欠陥が形成されてしまい、移動度の低下やキャリア散乱が起こる。これに対し、静電ドーピングでは、これらの化学的ドーピングで発生する問題を

回避できる。静電ドーピングを用いた先行研究の一つとして、M. Muller らが作製した GTFET がある。このデバイスは、GNR 幅 30 nm のグラフェンを用い、Muller らがゲート構造として埋め込み型 3 制御電極を用いている。Muller らは、2 つのゲート電極で n 型、p 型に化学ポテンシャルを固定し、バックゲートでチャンネルの化学ポテンシャルを設定することで p-i-n 構造を形成できることを報告している [49]。また、ドーピング電圧を変えることで、n-p-p, n-n-p, p-p-n, p-n-n

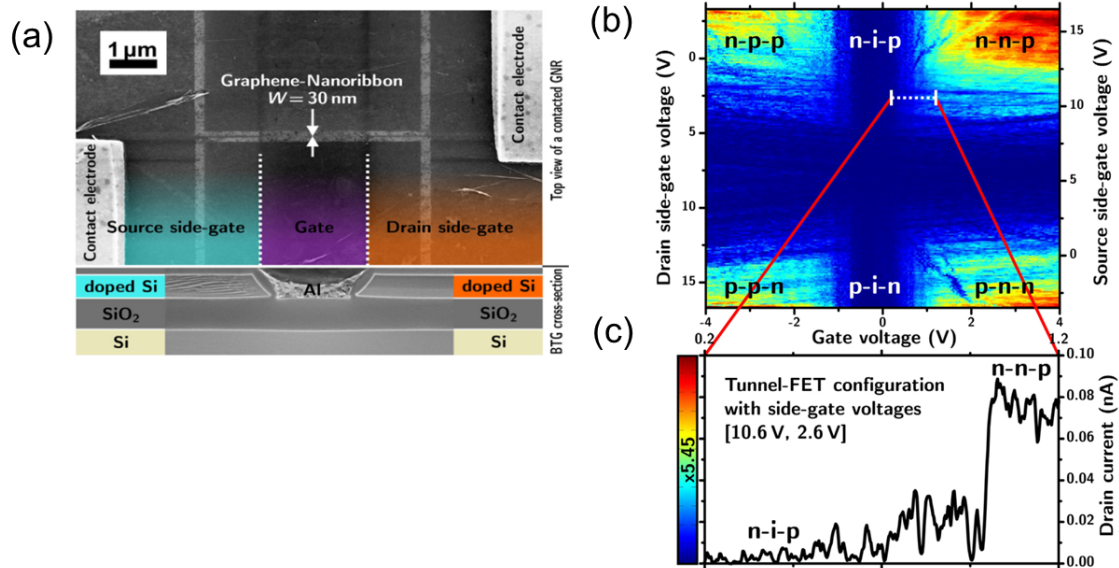


図 1.14: Muller らが試作した GTFET[49]. (a) 作製された GTFET の構造と断面 SEM 図. (b)  $T = 25$  K におけるドレイン電流のゲート電圧とドーピング電圧 (図中ではサイドゲート電圧) による変化を示したスペクトラム図. (c) 測定された GTFET の伝達特性.

構造を形成できることを明らかにした。Muller らの作製したデバイスでは、GNR 幅が広いためにバンドギャップが小さく、ON/OFF 比が低い。1.1.3 の (1.7) 式より、GNR 幅が 30 nm のバンドギャップは 67 meV 以下であり、非常にギャップが小さいことが分かる。バンドギャップが小さすぎると、トンネル障壁が小さくなり、OFF 電流が高くなる。これにより、ON/OFF 比が小さくなる。また欠陥がある場合には、電子が散乱されるために ON 電流が小さくなり、ON/OFF 比が小さくなる。エッジ構造では、金属的性質を持つ Zigzag 型 GNR の比率が高いと、OFF 電流が高くなる。これらの要因が素子性能に対し、どのような影響を与えているかについては詳細な解析が行われていないため、正確な原因は分かっていない。その他の先行研究においても同様で、アトムスケールでの動作原理や素子構造による影響等について、詳細に解析されていない。したがって、現在は GTFET の設計指針が明らかになっていないため、その素子性能限界についても不明確である。

## 第2章 研究目的

### 2.1 本研究の目的

これまでに、本研究室では約 6.6 nm の GNR 幅を持つグラフェン FET を作製し、その電気特性を測定している [52]. この GNR は、水素シルセスキオキサン (Hydrogen Silsesquioxane : HSQ) と酸素プラズマエッチングを用いて、細線に加工したものである. このデバイスでは、非常に細い GNR が出来たが、エッジラフネスの影響が大きくなり、GNR が量子ドットの振舞ってしまうことが分かった. このため、幅数 nm 以下の GNR を用いた場合のデバイス本来の動作や素子性能限界に関しては、現在の実験的手法で検証することは容易ではない.

そこで本研究では、従来の Si-MOSFET の理論限界を超えるスイッチング特性を実現できる新原理素子グラフェントネルトランジスタ (GTFET) の開発に向け、以下の項目を明らかにすることを目指した.

1. GTFET の動作を原子スケールから解析し、素子性能を決定しているパラメータを明らかにする.
2. これを基に、既存の TFET よりも高い ON 電流 ( $>10 \mu\text{A}/\mu\text{m}$ ),  $10^8$  以上の ON/OFF 比,  $SS < 60 \text{ mV/dec}$  を達成するために必要な条件を明らかにする.
3. 論理回路に適用した場合に期待できる回路性能を明らかにする.

近年、WKB 近似を用いた GTFET の研究がされており、優れた素子特性が得られることが報告されている [53]. しかし、WKB 近似では価電子帯上端と伝導帯下端のエネルギーのみを考慮しており、DOS については考慮していない. 1.2.3 で述べたように、DOS によって  $SS$  が変化するため、第一原理解析を用いて素子特性を解析する必要がある. また素子寸法の小さい TFET では、OFF 電流において S-D トンネリングによるリーク電流が支配的になることが報告されている [54]. p 型領域とチャネル領域の接合領域、チャネルと n 型領域の接合領域に Induced gap state が現れる [32]. これらの影響を考慮するためには、各ゲート電圧印加時のポテンシャルバリア  $U(x)$  を精度良く求める必要がある. しかし、WKB 近似では  $U(x)$  を簡単なモデルで近似して求めており、Induced gap state を考慮したモデルについては報告されていない. このため、より精度良く GTFET の素子特性を解析するためには、第一原理解析を用いる必要がある.

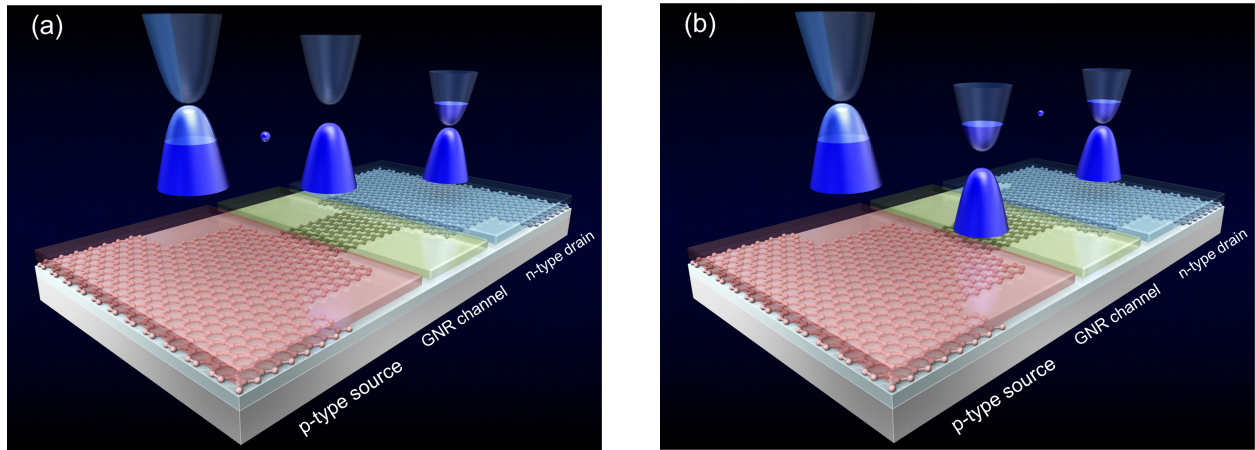


図 2.1: GTFET の動作概念図. (a) OFF 状態. (b) ON 状態. 図中のパラボラは各領域のグラフェンの分散関係を, 小さい粒は電子を示している.

## 2.2 本論文の構成

本論文の構成をここに記す. 第 1 章, 2 章では, 本研究の全体的な背景, 研究目的を述べた. 第 3 章では, 主にグラフェンが持つ電子構造や第一原理解析, 解析した GTFET の構造について述べる. まず, グラフェンの電子構造では, グラフェンが持つ電子状態について, 数式を用いて説明していく. そこから, グラフェンが高速な電子速度やディラックコーンを持つ理由を解説していく. 第一原理解析についての項では, まず Tight-binding model, 非平衡グリーン関数法に関する理論を説明する. 次に, 本研究で用いた, Landaur-Büttiker の式によるトンネル電流の計算原理を記した後, 本研究で用いた GTFET モデルについての説明を行う. 第 4 章では, 幅の狭い GNR チャンネルを用いた GTFET の素子性能を解析し, そのソース・ドレインバイアス電圧依存性, GNR 幅及びチャンネル長依存性について述べる. その後, GNR 幅とチャンネル長依存性の解析結果を基に考案した, Constant  $U(x)$  スケーリング法について説明する. さらに,  $SS < 60$  mV/dec と ON/OFF 比  $\geq 10^4$  を達成するために必要な素子寸法について述べる. 第 5 章では, 新たに考案した素子構造について説明する. 第 6 章では, GTFET を論理回路に適用した場合の回路性能について述べる. 第 7 章で本研究の成果をまとめ, 今後の課題について述べる.

# 第3章 理論

## 3.1 半経験的計算法

量子力学は、1900年に M. Planck が黒体放射問題に対する解法として提示した、プランクの法則に端を発している。Planck は、この式において、はじめてエネルギー量子仮説という考えが導入され、以降、量子力学の研究が世界中で注目されるようになった。量子力学の研究が進むにつれ、第一原理計算の基礎となる、自由電子近似や Bloch の定理などが生み出された。また、Augmented Plane Wave 法 (APW 法) やグリーン関数法 (Korringa · Kohn · Rostocker : KKR 法)、密度汎関数法 (Density Function Theory : DFT) 等の計算手法が開発され、物質の中で起こっている現象が分かるようになった [55]。当初、計算科学は一般にあまり広がらなかった。しかし、半導体産業においては、1950 年以降に、1.1.1 で述べたように集積回路内のデバイスの微細化が進み、ナノスケールやアトムスケールにおける量子現象の影響を無視することが出来なくなった。このため、量子力学に基づいて物質の様々な性質をアトムスケールで解析できる計算科学がデバイスの研究に用いられるようになった。そして、現在ではコンピュータや計算手法、プログラムの発展により、理論や実験と並び、第三の科学とも呼ばれる分野にまで発展した。計算手法は、第一原理計算と半経験的計算に分けることが出来る。第一原理計算は、実験的なパラメータを用いず、格子定数や結晶内における原子配置などの基本的なパラメータにより、物質の様々な性質を明らかにする手法である。中でも、DFT は、分子や固体、生体分子、機能性分子、クラスター等の様々な系を解析できるため、現在に至るまで計算科学分野を牽引してきた [56]。しかし、DFT は多くの系に対して精度が高い解析が可能であるが、計算コストが高く、数百～数千原子までしか計算が出来ない。一方、実験値パラメータを用いて計算を高速化する半経験的計算法がある。このため、計算コストが低く、DFT の数倍の原子数を扱える。また、パラメータによっては、DFT よりも高精度な解析が可能な場合もある [57]。

GTFET では、1.1.4 で述べたように最適な構造やアトムスケール動作メカニズム、素子性能の理論限界を明確にするためには、様々な構造や条件について解析する必要がある。そのため、本研究では半経験的手法が最適であると判断した。

### 3.1.1 Tight-binding model

原子や分子、クラスタ (原子集団) 等の物性を明らかにするためには、それらの Schrödinger 方程式を解く必要がある。しかし、水素原子以外に厳密に方程式を解くことは出来ない。そのため、この方程式を解く過程で断熱近似や独立電子近似、有効質量近似等の様々な近似を用いる必要がある。それらの近似方法の中に、1928年に F. Bloch により考案された Tight-Binding 近似がある。Tight-Binding 近似は、平面波の代わりに自由原子の波動関数を用い、最近接原子へのホッピングのみを考慮する近似方法である。DFTなどでよく用いられる Local Combination Atomic Orbitals (LCAO) 法も Tight-Binding 近似と同じく、原子の波動関数を用いる。しかし、固体結晶を LCAO 法で表現しようとした場合、数千～数万個単位の原子のそれぞれの軌道を線形結合するため、同じく数千～数万個に及ぶ係数を求めなければならない。この近似を用いた計算法の例として、1個の原子を含んだ立方晶を考える。このとき、Schrödinger 方程式は、以下のようになる。

$$-\frac{\hbar^2}{2m}\Delta\phi + E - U(\vec{r})\phi = 0 \quad (3.1)$$

ただし、 $U(\vec{r})$  は自由原子のポテンシャルである。この原子が集まり、結晶を形成する。ここで、隣接原子間の波動関数の重なりが小さい場合には、格子ベクトル  $l$  のイオンが作るポテンシャルを  $U(\vec{r} - \vec{l})$  で近似できる。結晶ポテンシャルは、これらを結晶全体に足し合わせることで、以下のように表せる。

$$V(\vec{r}) = \sum_l U(\vec{r} - \vec{l}) \quad (3.2)$$

これより、結晶内を移動する伝導電子における Schrödinger 方程式は、以下のようになる。

$$-\frac{\hbar^2}{2m}\Delta\Psi + [E - V(\vec{r})]\Psi = 0 \quad (3.3)$$

Tight-Binding 近似では、周期ポテンシャル場  $V(\vec{r})$  を運動している電子の波動関数  $\Psi(\vec{r})$  を原子の波動関数  $\phi(\vec{r})$  の重ね合わせで表される。また、Bloch の定理を満たすので、

$$\Psi(\vec{r}) = \sum_l \exp(i\vec{k} \cdot \vec{l})\psi(\vec{r} - \vec{l}) \quad (3.4)$$

となる。任意の単位格子にある  $j$  番目の原子の波動関数  $\psi_j(\vec{r})$  と、そこから格子ベクトル  $l$  だけ離れた別の単位格子の  $j$  番目の原子の波動関数  $\psi'_j(\vec{r})$  には、次のような関係がある。

$$\Phi_j(\vec{r}) = \exp(i\vec{k} \cdot \vec{l})\psi_j(\vec{r} - \vec{l}) \quad (3.5)$$

これらより、全ての単位格子における  $j$  番目の原子の波動関数を  $N$  個足すと、

$$\Phi_j(\vec{k}, \vec{r}) = \sum_l^N \exp(i\vec{k} \cdot \vec{l}) \psi_j(\vec{k}, \vec{r} - \vec{l}) \quad (3.6)$$

のようになる。ここで、 $\Phi_j(\vec{k}, \vec{r})$  を基底とすると、固体結晶の波動関数  $\Psi_j(\vec{k}, \vec{r})$  は、その線形結合として、次のように表せる。

$$\Psi_j(\vec{k}, \vec{r}) = \sum_{j=1}^n C_j \Phi_j(\vec{k}, \vec{r}) \quad (3.7)$$

これより、原子軌道の個数だけあった係数が、一つの原子の個数  $n$  まで減らすことが出来る。

次に、Tight-Binding 近似による Schrödinger 方程式の解法を示す。まず、一電子に対する Schrödinger 方程式の両辺に  $\Phi^*$  を左から掛けて全空間の積分をとると、次のようなエネルギー  $E$  を求められる。

$$\begin{aligned} \mathcal{H}\Psi &= E\Psi \\ \int \Psi^* \mathcal{H}\Psi d\vec{r} &= E \int \Psi^* \Psi d\vec{r} \\ E &= \frac{\int \Psi^* \mathcal{H}\Psi d\vec{r}}{\int \Psi^* \Psi d\vec{r}} \end{aligned} \quad (3.8)$$

ここで、(8) 式を代入し、行列要素  $H_{jj'}(\vec{k})$ ,  $S_{jj'}(\vec{k})$  を導入すると、次式が得られる。ここで、 $H_{jj'}$  はそれぞれの原子軌道間のクーロン積分を、 $S_{jj'}$  は重なり積分を表している。

$$\begin{aligned} H_{jj'}(\vec{k}) &= \int \Psi^* \mathcal{H}\Psi d\vec{r} \\ S_{jj'}(\vec{k}) &= \int \Psi^* \Psi d\vec{r} \\ E &= \frac{\sum_{j,j'=1}^n H_{jj'}(\vec{k}) C_j^* C_j}{\sum_{j,j'=1}^n S_{jj'}(\vec{k}) C_j^* C_j} \end{aligned} \quad (3.9)$$

$E$  が極小となる場合は、 $E$  を  $C_j$  で偏微分して 0 となるときであるので、

$$\frac{\partial E}{\partial C_j^*} = \frac{\sum_{j'=1}^n H_{jj'}(\vec{k}) C_{j'}}{\sum_{j,j'=1}^n S_{jj'}(\vec{k}) C_j^* C_{j'}} - \frac{\sum_{j,j'=1}^n H_{jj'}(\vec{k}) C_j^* C_j}{(\sum_{j,j'=1}^n S_{jj'}(\vec{k}) C_j^* C_j)^2} \sum_{j'=1}^n S_{jj'}(\vec{k}) C_{j'} = 0 \quad (3.10)$$

となる。ここで、 $\sum_{j,j'=1}^n S_{jj'}(\vec{k}) C_j^* C_j$  を両辺にかけ、(3.9) 式を利用すると、以下のように変形できる。

$$\sum_{j'=1}^n H_{jj'} C_{j'} = E \sum_{j'=1}^n S_{jj'} C_{j'} \quad (3.11)$$

この式において、 $n$  列ベクトル  $\mathbf{C}$  と  $n \times n$  正方行列  $H, S$  を次のように定義する。

$$\mathbf{C} = {}^t (C_1, C_2, \dots, C_n), H = H_{jj'}, S = S_{jj'}$$

この定義を用いて, (3.11) 式を変形し,  $\mathbf{C} \neq 0$  となるような解を得るには, 次式のようにならなければならない.

$$|H - ES|\mathbf{C} = 0 \quad (3.12)$$

この式は, 永年方程式と呼ばれる. この方程式を解くことで, 波数  $\vec{k}$  に対する, それぞれのエネルギー準位を求めることが出来る. Tight-Binding 近似では, この  $H_{jj'}$  と  $S_{jj'}$  を適当な距離の関数とおき, 固有値問題を解くだけでバンド構造を解析することが出来る. ただし, 精度は, これらのパラメータの値によって変動する. なお, この Tight-Binding method のセクションでは, 参考文献として [58] と [59] を用いた.

### 3.1.2 非平衡グリーン関数法を用いた電子密度の計算

アトムスケールでの素子性能解析は, 素子における量子現象を明らかにし, それらを基にデバイスの開発・改良を行う目的としている. 通常, イオンの運動はボルン・オッペンハイマー近似により, 古典力学的に取り扱えるように出来る. Schrödinger 方程式におけるイオンポテンシャル  $V$  は, 電子系のエネルギー  $E_0$  に依存している. しかし, 電子が持つエネルギーを求めるためには, 多体系の Schrödinger 方程式を解く必要がある. この場合,  $\mathcal{H}$  の電子間の静電斥力ポテンシャル項により生じる各電子の相関により複雑になってしまい, 厳密に解くことが出来なくなってしまう. よって, 解が得られるようなモデルに置き換える近似が必要となる. ここで, 遮蔽近似を導入し, デバイスを電極領域と相互作用領域に分けた系 (開放系) を考える.

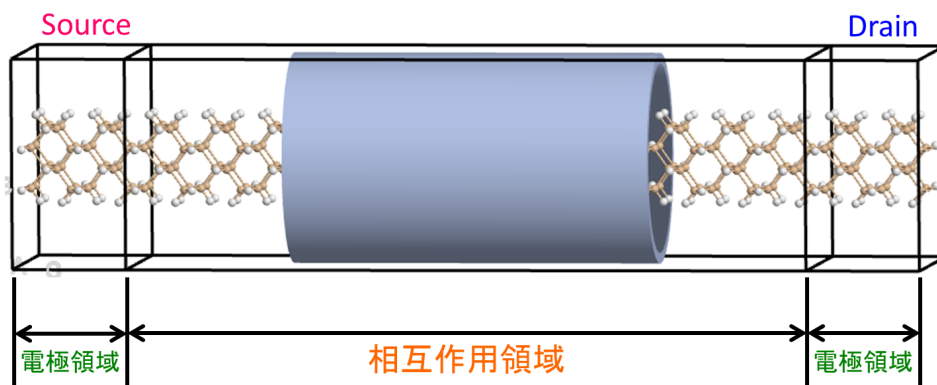


図 3.1: デバイスモデルにおける電極領域と相互作用領域 左右のブロックはそれぞれソースとドレイン電極を示している.

電極領域のポテンシャルエネルギーは, 電子の運動が原子集団の Hamiltonian によって表される



ため、バルク系と同じになっている。ここで、ソースの化学ポテンシャルを  $\mu_L$ 、ドレイン側の化学ポテンシャルを  $\mu_R$  とする。ソース・ドレイン電圧  $V_{DS}$  により、二つの電極の化学ポテンシャルは、次のように表される。

$$\mu_L - \mu_r = -qV_{DS} \quad (3.13)$$

$q$  は、電子素量を示す。この式は、二つの電極の化学ポテンシャルの差により、電子がソース側からドレイン側へと常に移動していることを示している。ソース・ドレイン電圧を印加した場合には、系が非平衡状態となってしまう、一つのフェルミ分布関数で電子分布を表現することが出来なくなる。電子密度を決めるためには、固有状態を全て明らかにした上で、それぞれの状態の占有数を求めるため、各状態を左右どちらか一方の電子溜まりに割り当てる必要がある。電子の固有状態を左右への進行波に分けるため、境界条件に電極領域の結晶運動量  $\hbar k_L(R)$  を利用し、それぞれのエネルギーに対応する Schrödinger 方程式の解  $\Psi_{k_L}(\varepsilon)$  と  $\Psi_{k_R}(\varepsilon)$  を求める。ここで、 $\Psi_{k_L}(\varepsilon)$  と  $\Psi_{k_R}(\varepsilon)$  は散乱状態を示している。入射した Bloch 波は、相互作用領域において弾性散乱を起こし、反射波と透過波に分かれる。この散乱状態は、井戸型ポテンシャルでの透過係数を求める際に用いる散乱状態と同じ計算方法で求めることが出来る。散乱状態を求めた後、電子密度を次式により計算する。

$$n(\vec{r}) = \sum_{k_L, k_R} [|\psi_{k_L}|^2 n_F(\varepsilon_{k_L} - \mu_L) + |\psi_{k_R}|^2 n_F(\varepsilon_{k_R} - \mu_R)] \quad (3.14)$$

この式において、 $n_F$  はフェルミ分布関数を、 $k_L$  と  $k_R$  は各電極の結晶運動量を、 $\varepsilon_{k_L}$  と  $\varepsilon_{k_R}$  は各電極における散乱状態に対応するエネルギーを示している。散乱状態を求めるには、孤立した系や周期をもつ系における電子状態の解析に利用されてきた解析方法とは別の解析方法が必要となる。散乱状態の計算に対しては、近年の研究により、有効なアルゴリズムが開発されている。したがって、(3.14) 式から電子密度を求める場合には、結晶運動量の総和をどのような方法で正しく評価するかが重要な焦点となる。この問題については、非平衡グリーン関数 (Non-Equilibrium Green's Function : NEGF) を定式化することにより解決が可能である。

まず、平衡状態のデバイスの場合の電子密度の導出を行う。有限個の基底関数で波動関数を展開して、Hamiltonian を行列の各要素に適用させ、それぞれを電極領域と相互作用領域に分けていく。このとき、Hamiltonian は、以下のように表される。

$$\bar{\mathcal{H}} = \begin{pmatrix} \bar{H}_{LL} & \bar{H}_{LI} & 0 \\ \bar{H}_{IL} & \bar{H}_{II} & \bar{H}_{IR} \\ 0 & \bar{H}_{RI} & \bar{H}_{RR} \end{pmatrix} \quad (3.15)$$

ここで、 $\bar{H}_{LL}, \bar{H}_{II}, \bar{H}_{RR}$  はそれぞれの領域の Hamiltonian を、 $\bar{H}_{IL}, \bar{H}_I \bar{H}_{IL}$  はソース及びドレイン電極領域と相互作用領域のカップリング項を示している。また、各要素の上部にある線は、これらが行列であることを示している。この Hamiltonian に対応する固有状態は、散乱状態  $\psi_{k_L}(\varepsilon), \psi_{k_R}(\varepsilon)$  である。電子密度は、占有された全ての固有状態の総和によって求めることが可能である。次に、Green 関数を用いて、電子密度の計算を行う。この方法では、散乱状態の計算を行う必要がなくなる。電荷密度を Green 関数によって計算するためには、スペクトル密度演算子  $\hat{\rho}(\varepsilon)$  と電子の密度行列  $\hat{D}$  を導入する必要がある。完全系の基底でスペクトル密度演算子の対角和をとると、電子密度は次式のように求められる。

$$n(\vec{r}) = Tr \hat{D} \quad (3.16)$$

エネルギーに対して電子密度を分解したものがスペクトル密度であるため、占有されているエネルギー状態の総和から全電子密度を求めることが出来る。

$$\hat{\rho}(\varepsilon) = \delta(\varepsilon - \hat{H}) \quad (3.17)$$

$$\hat{D} = \int_{-\infty}^{\infty} \hat{\rho}(\varepsilon) n_F(\varepsilon - \mu) d\varepsilon \quad (3.18)$$

$\hat{D}$  の対角和をとって電子密度を求める。ここでは、固有状態  $\{\psi_\alpha(\vec{r})\}$  を完全系に対する基底として用いる。

$$n(\vec{r}) = \sum_{\alpha} \psi_{\alpha}^*(\vec{r}) \hat{D} \psi_{\alpha}(\vec{r}) \quad (3.19)$$

$$\begin{aligned} &= \sum_{\alpha} \int_{-\infty}^{\infty} \psi_{\alpha}^*(\vec{r}) \delta(\varepsilon - \hat{H}) \psi_{\alpha}(\vec{r}) \psi_{\alpha}(\vec{r}) n_F(\varepsilon - \mu) d\varepsilon \\ &= \sum_{\alpha} \int_{-\infty}^{\infty} |\psi_{\alpha}(\vec{r})|^2 \delta(\varepsilon - \hat{H}) \psi_{\alpha}(\vec{r}) n_F(\varepsilon - \mu) d\varepsilon \\ &= \sum_{\alpha} |\psi_{\alpha}(\vec{r})|^2 n_F(\varepsilon - \mu) \end{aligned} \quad (3.20)$$

Green 関数を用いた場合、電子密度は次式のように表される。

$$\hat{G}(\varepsilon) = \frac{1}{\varepsilon - \hat{H} + i\delta_+} \quad (3.21)$$

$\delta_+$  は無限小の正の数を示している。ここでは、系のスペクトル密度や電子密度を求めるために、Green 関数を利用している。Green 関数とスペクトル密度については、複素関数論における以下の関係式を用いることで関連付けることが出来る。

$$-\frac{1}{\pi} Im \frac{1}{x + i\delta_+} = \delta(x) \quad (3.22)$$

これより,

$$\begin{aligned}\hat{\rho}(\varepsilon) &= \delta(\varepsilon - \hat{H}) \\ \hat{D} &= -\frac{1}{\pi} \text{Im} \frac{1}{\varepsilon - \hat{H} + i\delta_+} = -\frac{1}{\pi} \text{Im} \hat{G}(\varepsilon)\end{aligned}\quad (3.23)$$

演算子を基底関数を用いて展開することで, (3.18), (3.18), (3.21), (3.21) を行列方程式に変えることができる.

$$\bar{G}(\varepsilon) = [(\varepsilon + i\delta)\bar{S} - \bar{H}]^{-1} \quad (3.24)$$

$$\bar{\rho}(\varepsilon) = -\frac{1}{\pi} \text{Im} \hat{G}(\varepsilon) \quad (3.25)$$

$$\bar{D} = \sum_{\alpha} |\psi_{\alpha}(\vec{r})|^2 n_F(\varepsilon - \mu) \quad (3.26)$$

$$n(\vec{r}) = \sum_{i,j} D_{ij} \phi_i(\vec{r}) \phi_j^*(\vec{r}) \quad (3.27)$$

電極部分の影響について検討では, セルフエネルギーを用いて考える. 相互作用領域での Green 関数の行列  $G_{II}$  については, 同じサイズの逆行列によって求めることができる. ここで, カップリング項である  $\tilde{H}_{LI} = H_{LI} - \varepsilon S_{LI}$ ,  $\tilde{H}_{RI} = H_{RI} - \varepsilon S_{RI}$  を摂動として利用する. ここで,  $\tilde{H}_{LI} = \tilde{H}_{RI} = 0$  とすると, 非摂動の Green 関数  $G^0$  が計算でき,  $\bar{G}_{\epsilon}$  の式を各部分ごとに対角化できるようになる.

$$\bar{G}^0_{LL}(\varepsilon) = [(\varepsilon + i\delta)\bar{S}_{LL} - \bar{H}_{LL}]^{-1} \quad (3.28)$$

$$\bar{G}^0_{II}(\varepsilon) = [(\varepsilon + i\delta)\bar{S}_{II} - \bar{H}_{II}]^{-1} \quad (3.29)$$

$$\bar{G}^0_{RR}(\varepsilon) = [(\varepsilon + i\delta)\bar{S}_{RR} - \bar{H}_{RR}]^{-1} \quad (3.30)$$

ここで, 摂動項である  $\tilde{H}_{LI}$ ,  $\tilde{H}_{RI}$  を考慮すると, Dyson 方程式

$$\bar{G}(p) = G^0(p) + G^0(p) \sum(p) G(p) \quad (3.31)$$

より次式のような摂動 Green 関数を導出できる. ただし, (3.31) 式において,  $\sigma(p)$  はセルフエネルギーを示しており,  $p$  は粒子のエネルギーと運動量を表す 4次元ベクトルである.

$$\bar{G}_{II}(\varepsilon) = \bar{G}^0_{II}(\varepsilon) + \bar{G}^0_{II}(\varepsilon) [\bar{\Sigma}^L_{II}(\varepsilon) + \bar{\Sigma}^R_{II}(\varepsilon)] \bar{G}_{II}(\varepsilon) \quad (3.32)$$

$$\bar{\Sigma}^L_{II}(\varepsilon) = \tilde{H}_{IL}(\varepsilon) \bar{G}^0_{LL}(\varepsilon) \tilde{H}_{IL}(\varepsilon)^{\dagger} \quad (3.33)$$

$$\bar{\Sigma}^R_{II}(\varepsilon) = \tilde{H}_{IR}(\varepsilon) \bar{G}^0_{RR}(\varepsilon) \tilde{H}_{IR}(\varepsilon)^{\dagger} \quad (3.34)$$

この式において,  $\bar{\Sigma}^L_{II}(\varepsilon)$  はソース電極と相互作用領域におけるカップリングの強度を,  $\bar{\Sigma}^R_{II}(\varepsilon)$  は各電極のセルフエネルギーであり, 各電極と相互作用領域におけるカップリングの強度を示



非平衡状態における密度行列  $\hat{D}$  は、次式のように表される。

$$\hat{D} = \int_{-\infty}^{\infty} d\varepsilon [\hat{\rho}^L(\varepsilon)n_F(\varepsilon - \mu_L) + \hat{\rho}^R(\varepsilon)n_F(\varepsilon - \mu_R)] \quad (3.41)$$

この式より、それぞれの化学ポテンシャルにしたがって、占有されたソース及びドレイン電極の状態が寄与していることが分かる。このスペクトル密度の分割は、NEGF より求められる。これにより、各スペクトル密度は次式のように表される。

$$\hat{\rho}^L(\varepsilon) = -\frac{1}{\pi}\hat{G}(\varepsilon)Im\hat{\Sigma}^L(\varepsilon)\hat{G}(\varepsilon)^\dagger \quad (3.42)$$

$$\hat{\rho}^R(\varepsilon) = -\frac{1}{\pi}\hat{G}(\varepsilon)Im\hat{\Sigma}^R(\varepsilon)\hat{G}(\varepsilon)^\dagger \quad (3.43)$$

密度行列も同様に求められる。両側の化学ポテンシャルより小さい領域とソース・ドレインの化学ポテンシャルの間のバイアス窓にエネルギー軸を分割して考える。したがって、

$$\hat{D} = \hat{D}^{eq} + \hat{D}^{neq} \quad (3.44)$$

ここで、 $\mu_L < \mu_R$  であるとき、 $\hat{\rho}(\varepsilon)$  と  $\hat{D}$  の式より、

$$\hat{D}^{eq} = \int_{-\infty}^{\infty} \hat{\rho}(\varepsilon)n_F(\varepsilon - \mu_L)d\varepsilon \quad (3.45)$$

$$\hat{D} = \int_{-\infty}^{\infty} [\hat{\rho}^R(\varepsilon)[n_F(\varepsilon - \mu_R) - n_F(\varepsilon - \mu_L)]d\varepsilon \quad (3.46)$$

$D^{eq}$  は、系が平衡状態の際の密度行列と同じ計算であり、複素積分を用いることが可能である。一方、 $D^{neq}$  は  $\hat{\rho}^R$  が解析関数ではないために、複素平面への拡張が出来ない。よって、実空間上で計算する必要がある。このため、バイアスが大きな系の場合には  $D^{neq}(\varepsilon)$  の計算に多くの時間が必要となる。このセクションは、[61] を参考文献として用いた。

## 3.2 グラフェンの電子状態

炭素原子一層からなるグラフェンでは、後方散乱の消失効果やクライントンネリング現象、分数量子ホール効果等の特異な伝導現象が現れることが知られている。これらの現象は、グラフェンの電子構造に由来している。1.1.3 で述べたように、グラフェンは、グラファイト同様に  $sp^2$  炭素原子が平面内でハニカム状に共有結合しており、複数層グラフェンの各層間はファンデルワールス力で結合している。この  $sp^2$  混成軌道は、炭素原子の  $2s$ ,  $2p_x$ ,  $2p_y$  軌道からなり、これらの軌道内の3つの価電子は隣接原子との  $\sigma$  結合に使われる。残りの  $p_z$  の価電子は  $\pi$  電子となり、 $2p_z$

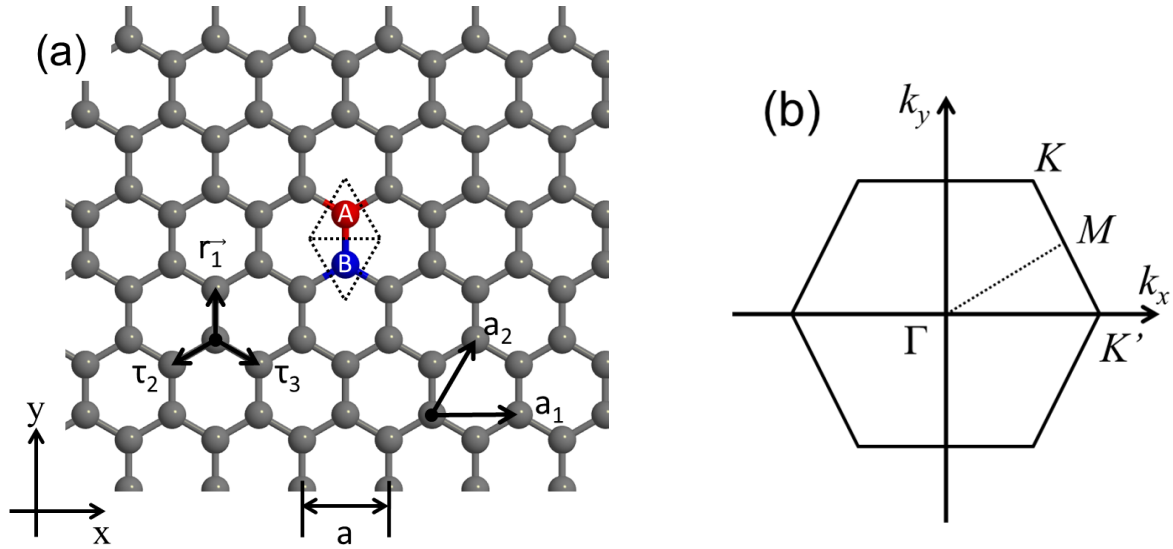


図 3.2: グラフェンの結晶構造 (a) グラフェンシート (b) ブリルアンゾーン

軌道がフェルミエネルギー近傍の電子状態において支配的であることから、グラフェンの電子物性及び電気伝導に大きく寄与する。グラフェンの電子構造を考える上で、最近接のみのホッピングを考慮する Tight-Binding Model は簡便に近似が可能である。図 3.2(a) は、グラフェンシートである。グラフェンは、格子定数が  $a = 2.46 \text{ \AA}$  であり、隣接する原子間の距離は、 $1.42 \text{ \AA}$  である。また、基本並進ベクトルは  $\vec{a}_1 = (a, 0)$ ,  $\vec{a}_2 = (a/2, \sqrt{3}/2)$  で表される。図中の破線で菱形に囲った領域は、グラフェンの単位胞を示している。グラフェンの特徴的な特性は、この単位胞内の二つの非等価原子に起因している。これらは同じ炭素原子ではあるが、基本並進ベクトルの移動では重ならないため、便宜上それぞれを A 原子及び B 原子として区別して扱う。図 3.2(b) は、グラフェンにおける第一ブリルアンゾーンを示している。ここで、各頂点  $K, K'$  は、それぞれ  $K = \frac{2\pi}{a}(1/3, 2/3)$ ,  $K' = \frac{2\pi}{a}(2/3, 0)$ , 中心点は  $\Gamma = (0, 0)$  である。波数空間で積分計算を行う場合には、この  $\Gamma$  と  $K', K$  と  $K'$  の中点に当たる  $M$  で囲まれた領域 (irreducible BZ) だけを計算すればよい。まず、グラフェンのフェルミエネルギー近傍の電子状態が massless relativistic Dirac 方程式の形式に従い、バンド構造にディラックコーンと呼ばれる接触点が現れることを示す。グラフェンの格子上を各  $\pi$  電子が移動すると考えると、隣接する炭素原子への飛び移り確率が一番高くなる。そこで、隣接原子間での飛び移りに注目して Tight-Binding model を組み立てる。A 原子に対する波動関数を  $\psi_A$ , B 原子に対する波動関数を  $\psi_B$  とすると、Hamiltonian :  $\mathcal{H}$  は次のように表される。

$$\mathcal{H} = \begin{pmatrix} \langle \psi_A | H | \psi_A \rangle & \langle \psi_A | H | \psi_B \rangle \\ \langle \psi_B | H | \psi_A \rangle & \langle \psi_B | H | \psi_B \rangle \end{pmatrix} \quad (3.47)$$

この式において、対角要素は各原子が持つ  $\pi$  軌道の持つエネルギーを、非対角要素は AB 原子間における電子の遷移確率を示している。ただし、対角要素は同じ炭素原子であるので、同じエネルギーを持つ。よって、対角要素は、全体のエネルギーを上下にシフトさせるだけなので、以下のように仮定できる。

$$\langle \psi_A | H | \psi_A \rangle = \langle \psi_B | H | \psi_B \rangle = 0 \quad (3.48)$$

また、非対角要素に関しては、飛び移り積分を  $\gamma_0$  とすると、

$$\langle \psi_A | H | \psi_B \rangle = \langle \psi_B | H | \psi_A \rangle = -\gamma_0 \sum_{i=1}^3 \exp(i\vec{k} \cdot \vec{\tau}_i) \quad (\tau_i = 1, 2, 3) \quad (3.49)$$

となる。ここで、 $\vec{k}$  は波数ベクトルを、 $\exp(i\vec{k} \cdot \vec{\tau}_i)$  は A や B 原子に隣接する 3 つの B 原子と A 原子に  $\pi$  電子が飛び移る時の Bloch 位相を示している。 $\gamma_0$  は、隣接原子への飛び移りのしやすさを表している。位相部分である指数部を  $f(\vec{k})$  とすると、Schrödinger 方程式は、以下のように表される。

$$\begin{pmatrix} 0 & -\gamma_0 f(\vec{k}) \\ -\gamma_0 f(\vec{k})^* & 0 \end{pmatrix} \begin{pmatrix} |\psi_A(\vec{k})\rangle \\ |\psi_B(\vec{k})\rangle \end{pmatrix} = E \begin{pmatrix} |\psi_A(\vec{k})\rangle \\ |\psi_B(\vec{k})\rangle \end{pmatrix} \quad (3.50)$$

ここで、

$$\begin{pmatrix} |\psi_A(\vec{k})\rangle \\ |\psi_B(\vec{k})\rangle \end{pmatrix} \neq 0 \quad (3.51)$$

となり、エネルギー固有値  $E$  は、以下の式を解くことで求めることが出来る。

$$\det \begin{pmatrix} E & -\gamma_0 f(\vec{k}) \\ -\gamma_0 f(\vec{k})^* & E \end{pmatrix} = 0 \quad (3.52)$$

これより、以下の式が得られ、価電子バンド及び伝導バンドの二つのエネルギー分散を求められる。

$$E = \pm \gamma_0 \sqrt{f(\vec{k}) f(\vec{k})^*} = \pm \gamma_0 |f(\vec{k})| \quad (3.53)$$

$$= \pm \gamma_0 \sqrt{3 + 2\cos^2\left(\frac{k_x a}{2}\right) + 4\cos\left(\frac{k_x a}{2}\right)\cos\left(\frac{\sqrt{3}}{2}k_y a\right)} \quad (3.54)$$

図 3.3 は、(3.54) 式をプロットしたものである。この図を見ると、上下のバンド構造がパラボラ状になっており、 $K$  と  $K'$  近傍では分散関係が円錐状になっていることが見てとれる。これは、ディラック・コーンと呼ばれる分散関係である。また、この図より、 $K$  と  $K'$  が二つのバンドの交点

(ディラック・ポイント)となっており、この交点で二つのバンドが線形的に交わっていることが分かる。また、これらの交点は  $E = 0$  で交わっているため、グラフェンがゼロギャップ半導体であることがこの図から分かる。この交点近傍では、電子が質量を持たず、スピン  $1/2$  の Dirac 方程式で示される Dirac 粒子と同じく、相対論的粒子の形式をとる。このため、グラフェン中の電子は、ディラック・フェルミオンとも呼ばれる。

次に、グラフェンのフェルミ速度を求める。  $K$  及び  $K'$  近傍で  $f(\vec{k})$  を 1 次項まで Taylor 展開すると、次のような式が得られる。

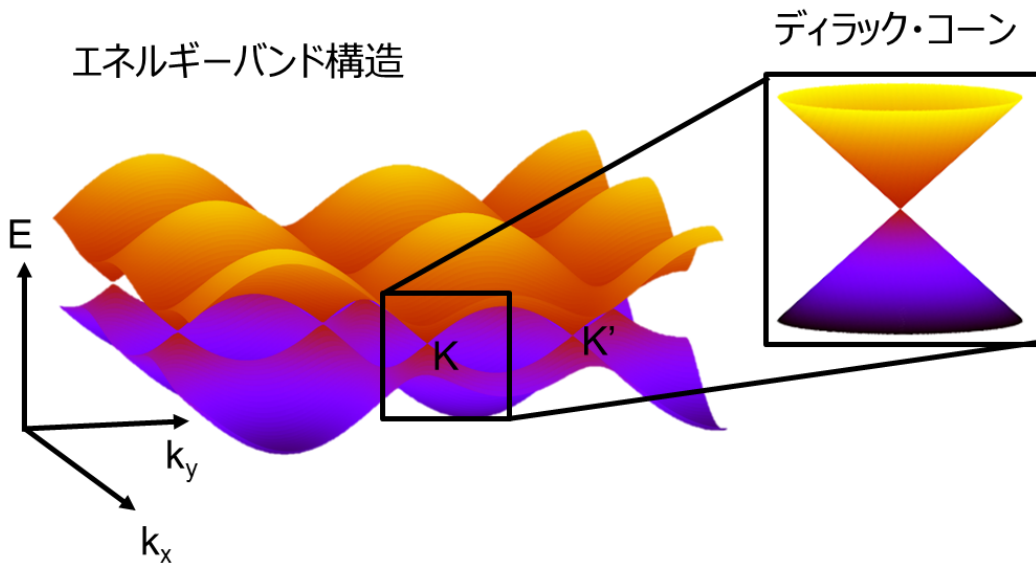


図 3.3: グラフェンの分散関係. 黒枠の拡大図は、グラフェンのディラックコーンを示す。

$$\begin{aligned}
 f(\vec{k} + \vec{K}') &\simeq f(\vec{K}') + \left[ \frac{\partial}{\partial k_x} f(\vec{k}) \right]_{\vec{k}=\vec{K}'} k_x + \left[ \frac{\partial}{\partial k_y} f(\vec{k}) \right]_{\vec{k}=\vec{K}'} k_y \\
 &= 0 - \frac{\sqrt{3}a}{2} k_x + \frac{\sqrt{3}a}{2} k_y \\
 &= \frac{\sqrt{3}a}{2} (-k_x + k_y)
 \end{aligned} \tag{3.55}$$

(3.55) 式では、バンド分散を  $k$  で微分している。この値は、フェルミ速度に等しい。したがって、  $E = \hbar\nu_F$  とし、  $\gamma_0$  と (3.55) 式の係数と合わせると、次のようなフェルミ速度  $\nu_F$  が得られる。

$$\begin{aligned}
 E &= \hbar\nu_F = \pm \frac{\sqrt{3}a}{2} \gamma_0 \\
 &\simeq 10^6 \text{ m/s}
 \end{aligned} \tag{3.56}$$



この式において、 $\hbar$ は換算プランク定数 (Dirac 定数) である。

ナノリボンに加工されたグラフェンナノリボン (GNR) の場合には、グラフェンシートは異なり、エッジ端の形状によって金属的な性質を持つ Zigzag 型と半導体的な性質を持つ Armchair 型に分かれる。図 (3.4) に、それぞれの GNR の構造を示す。

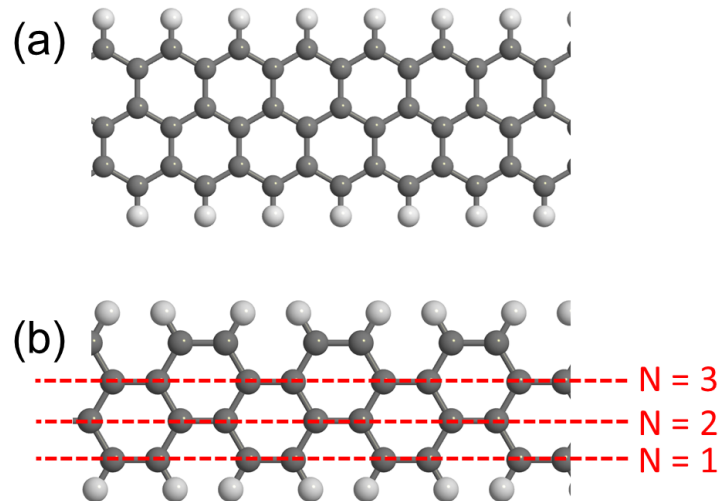


図 3.4: エッジ構造によるグラフェンナノリボン (GNR) の分類 (a)Zigzag 型 (b)Armchair 型, N は GNR 幅 W を表すときに用いる。

この図では、エッジ端を水素で終端している。図 3.4(a) は Zigzag 型 GNR を示している。Zigzag 型 GNR の場合、フェルミエネルギーにおいて極めて平坦なバンド構造を持つ。この特異な電子状態は、エッジ端を起点として構築される非結合性軌道により説明が出来る。Tight-Binding model において、エッジ端に沿った任意の位置の 2 配位サイトの係数を、Bloch の定理を満足するように  $e^{ikm}$  与えると、それらの点を起点として非結合性軌道の条件に当てはまるような解が得られる。エッジ端の 2 配位サイトを含む副格子の方を A とした場合、A の副格子だけがこの解の軌道係数を持つ。これより、Zigzag 鎖上での電荷密度は  $\cos^{2(n-1)}(k/2)$  に比例するため、 $2\pi/3 \leq |k| \leq \pi$  の間のみで波動関数が物理的意味を持つので、 $E = 0$  となる平坦なバンドが形成される。 $k = \pi$  の場合、Zigzag 端に沿って、2 配位サイトに電子が局在する。 $k$  が  $\pi$  から離れるほど徐々に面内に浸透し、 $k = 2\pi/3$  においてはグラフェンシートの K 点の状態と等しくなる。一方、Armchair 型の場合は、カーボンナノチューブと同様に、幅によって金属的な性質と半導体的な性質に分かれる [62]。図 3.4(b) は、Armchair 型 GNR の構造を示している。エッジ端において、2 つ副格子が並ぶため、解の軌道係数を両方の副格子が持つことになる。これにより、半導体的な性質を持つようになる。GNR 幅を図 3.4(b) に示した N のように数えるとしたとき、幅  $3N - 1$  ( $\alpha$ -GNR) の場合に、幅  $3N$  ( $\beta$ -GNR) や  $3N + 1$  ( $\gamma$ -GNR) よりもバンドギャップが 1 桁小さくなり、金属的

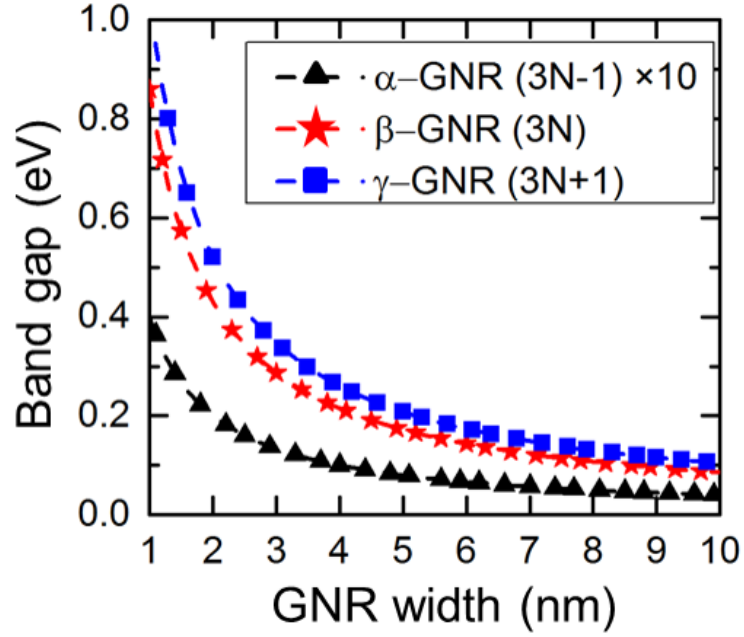


図 3.5: Armchair GNR のバンドギャップと GNR 幅の関係.

に振舞う. このときのそれぞれの GNR 幅のバンドギャップは, 以下の式で近似的に求められる.

$$E_g^{\alpha\text{-GNR}} = 0.04eV/W(nm) \quad (3.57)$$

$$E_g^{\beta\text{-GNR}} = 0.86eV/W(nm) \quad (3.58)$$

$$E_g^{\gamma\text{-GNR}} = 1.04eV/W(nm) \quad (3.59)$$

このグラフェンの電子状態についての項は, [63] を参考資料として用いた.

### 3.3 トンネル電流の計算原理

本研究では, Tight-Binding model と EHT を用いて, グラフェンの電子状態を自己無頓着 (Self-Consistent) に計算した. この計算から得られた Self-Consistent な Hamiltonian を用いることで, デバイス中を流れるコヒーレントな電子輸送を計算できる. コヒーレント輸送は, 散乱状態によって記述できる. それぞれの散乱状態に対する輸送係数は, 次のように表される.

$$T_k = \sum_{k'} t_{kk'}^\dagger t_{kk'} \quad (3.60)$$

この式において,  $t_{kk'}$  は, 相互作用領域を介して反対側の電極に波数  $k$  で伝わる波の割合を示す. 電流は, Landauer · Büttiker の式において, 占有された全電子流の総和で表される. 一例として,

図 3.6 を用いて説明する. この図は, バイアス電圧を印加した際のソース及びドレインの化学ポテンシャルと平衡状態でのフェルミエネルギー, 透過スペクトラムを示している. ソース・ドレインに電圧を印加すると, 図 3.6 のように化学ポテンシャルのシフトが起こり, それぞれ  $\mu_L$  と  $\mu_R$  のようにフェルミエネルギーからエネルギー位置がシフトする. この時, キャリアがトンネリングする領域において, ソース・ドレイン間で電子が移動することで電流が発生する. このときの各電子流は,  $enV_kT_k$  で与えられる.  $n$  は長さ  $L$  で規格化された電子密度であり,  $V_k$  は電子波の群速度を表している. また,  $T_k$  によって, 伝播した電子波の割合が分かる.  $k$  をソース電極  $\rightarrow$  ドレイン電極へと向かう散乱状態の結晶運動量,  $-k'$  をドレイン電極  $\rightarrow$  ソース電極へ向かう散乱状態の結晶運動量とすると, 電流は次式のように表される.

$$I = -\frac{e}{L} \sum_k V_k T_k n_F(\varepsilon_k - \mu_L) - \frac{e}{L} \sum_{-k'} V_{-k'} T_{-k'} n_F(\varepsilon_{-k'} - \mu_R) \quad (3.61)$$

$n_F$  はフェルミ分布関数であるため, 占有された電子状態からの寄与だけを考慮できる.  $k$  に関する和は, スピン自由度を考慮して 2 倍にし, 積分に置き換えることで, 以下のように変換できる.

$$\sum_k \rightarrow 2 \times \frac{L}{2\pi} \int dk \quad (3.62)$$

この式を用いると, (3.61) は次式のように変換できる.

$$\begin{aligned} I &= \frac{2e}{h} \int_{-\infty}^{\infty} d\varepsilon [T_R(\varepsilon) n_F(\varepsilon - \mu_R) - T_L(\varepsilon) n_F(\varepsilon - \mu_L)] \\ T_L(\varepsilon) &= \sum_k T_k \delta_{\varepsilon_k = \varepsilon} \\ T_R(\varepsilon) &= \sum_{-k'} T_{-k'} \delta_{\varepsilon_{-k'} = \varepsilon} \end{aligned} \quad (3.63)$$

ここで, Hamiltonian の時間反転対称性より,  $T_L = T_R$  とならなければならない. この式より,

$$I = \frac{2e}{h} \int_{-\infty}^{\infty} d\varepsilon T(\varepsilon) [n_F(\varepsilon) - n_F(\varepsilon - \mu_L)] \quad (3.64)$$

この式の輸送係数については, Green 関数を用いることによって求めることが出来る. NEGF の理論に従うと,

$$T_\varepsilon = T_r [Im \hat{\Sigma}_L(\varepsilon) \hat{G}^\dagger(\varepsilon) Im \hat{\Sigma}_R(\varepsilon) \hat{G}(\varepsilon)] \quad (3.65)$$

となる. したがって, これらより, デバイス内を流れる電流値を計算することが出来る. このセクションは, [61] を参考資料として用いた.

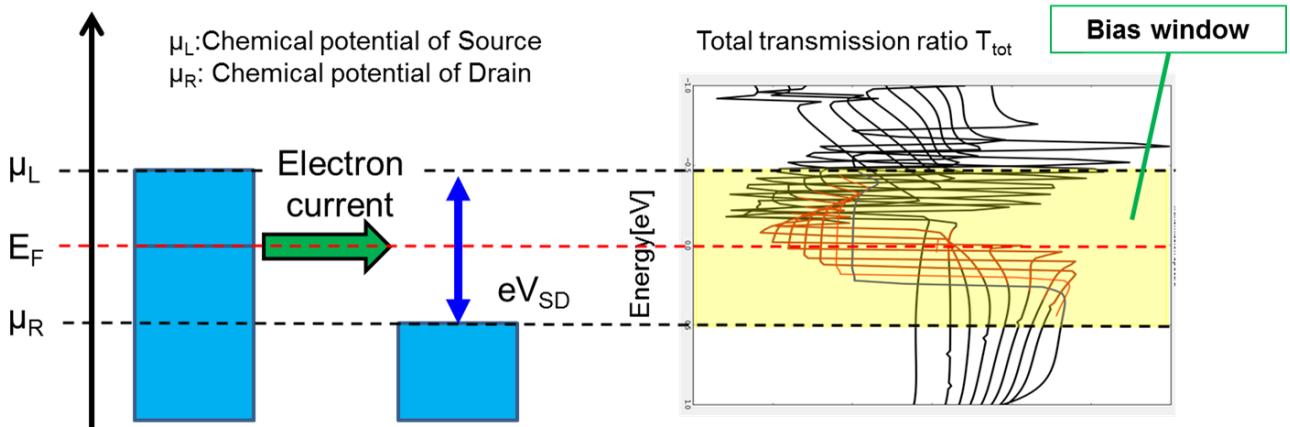


図 3.6: トンネル電流の計算原理 左図はバイアス印加時のソース及びドレインにおける化学ポテンシャルを、右図はバイアス印加時の透過スペクトラムを示す。

### 3.4 解析モデル

本研究では、図 3.7 に示すような 3 制御電極を用いた構造を基本として第一原理解析を行った。ソース・ドレイン電極領域には、金属的な性質を持つ Armchair 型を用い、電極領域以外には半導体的な性質を持つ Armchair 型を用いた。各領域のポテンシャルの変調には、Muller らと同様に静電ドーピング法を用いる。ここでは、Gate 1 と Gate 3 によりポテンシャル変調を行い、p 型および n 型領域を形成する。また、Gate 2 は、チャンネル領域のポテンシャルエネルギーを変調し、スイッチングを行う。ここで、GTFET の素子特性を詳細に解析するため、GNR 幅 0.93 nm ( $N = 7$ )、ゲート絶縁膜を厚さ 0.1 nm の  $\text{SiO}_2$  (比誘電率:  $4.0 \epsilon_0$ ) とした。幅 1 nm 以下の GNR を作製する方法として、ショール縮環反応と鈴木-宮浦クロスカップリングを用いた方法が報告されている [64]。このゲート絶縁膜は非常に薄く、実際に作製することは容易ではない。しかし、等価酸化膜で考えた場合、厚さ 1nm の  $\text{HfO}_2$  (比誘電率:  $40 \epsilon_0$  [65]) の絶縁膜に置き換えることが出来る。厚さ 1nm の絶縁膜については、M. Suzuki らによって報告されている [66]。ゲート電極間のギャップは 1 nm とした。このサイズのギャップ形成は難しいが、将来的に Electromigration [67] やヘリウム収束イオンビームミリング (HIM) [68] を用いることで、安定に形成できるようになることが期待できる。静電ドーピングを用いた GTFET では、p-i-n 構造を形成するためにドーピング電圧を印加する必要があるが、ゲート電極数が合計で 5 つとなる。ゲート電極数を減らす方法として、電圧反転レギュレータを用いた Gate 1 と Gate 3 の統合 [69]、ソース・ドレイン電極への仕事関数が異なる金属の利用 [70], [71] する方法が提案されている。

素子性能の解析に当たり、以降の章では ON 電流, OFF 電流,  $SS$  を図 3.8 のように定義した。

ON 電流は, 計算したゲート電圧範囲でのドレイン電圧の最大値とした.  $SS_{3order}$  は, ドレイン電流が 3 桁増加するときの  $SS$  を,  $SS_{0.1V}$  は, ゲート電圧が 0.1 V 変わるときの  $SS$  を示している.

本研究の解析は, 全てバリスティック伝導の範囲で行っており, グラフェンにおけるフォノン散乱の影響は考慮しない. また, 計算コストを低減するため, 基板からの影響も無視している.

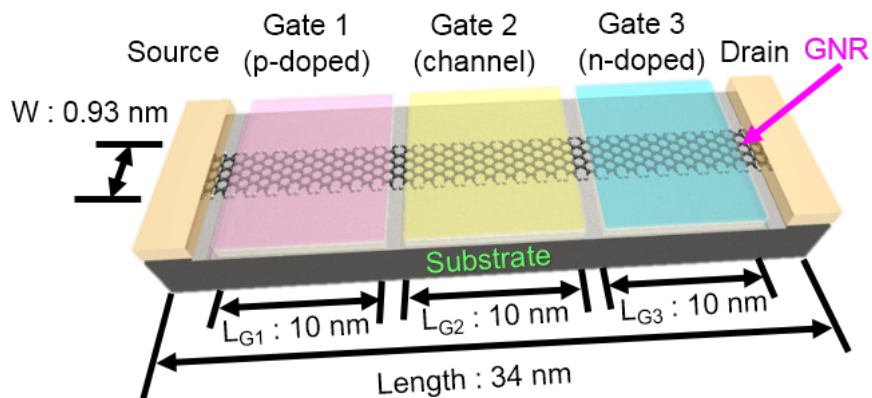


図 3.7: 解析した GTFET の概念図. 赤色の領域は p 型領域を, 青色の領域は n 型領域を形成するためのゲート電極を示している.

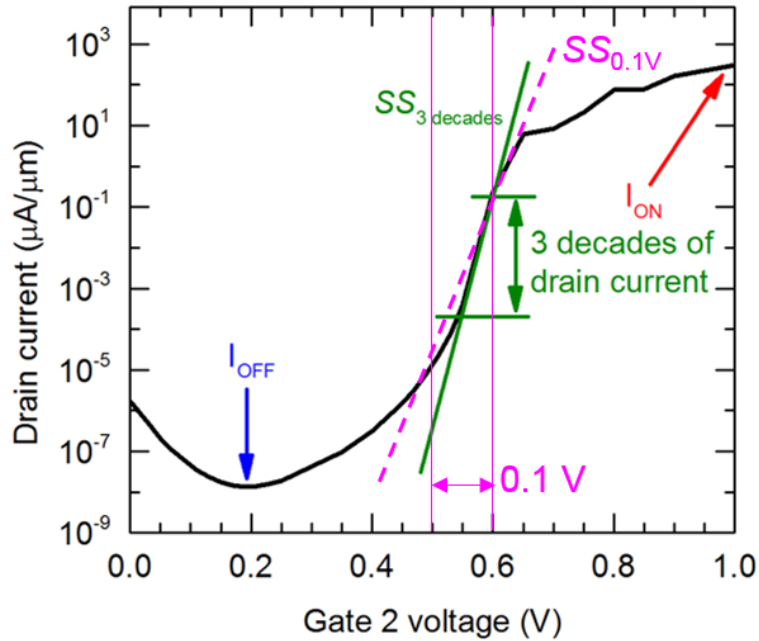


図 3.8: 各素子特性の定義

## 第4章 GTFETの素子特性

### 4.1 ソース・ドレインバイアス電圧依存性

まず, GTFETにおける各素子特性のバイアス電圧依存性を解析した. 図 4.1(a) では, 低バイアス電圧になるにつれて, 伝達特性の電流値が全体的に下がり, 高電圧側にシフトしていくことが分かる. 最大 ON 電流は,  $V_{Bias} = 0.5 \text{ V}$  で  $1282.1 \mu\text{A}/\mu\text{m}$  ( $V_{g2} = 1.5 \text{ V}$ ),  $V_{Bias} = 0.05 \text{ V}$  で  $85.1 \mu\text{A}/\mu\text{m}$  ( $V_{g2} = 1.5 \text{ V}$ ) を得た. この結果は, ゲート電圧は高いものの, GTFET では従来の MOSFET[72] と同等の ON 電流が得られる可能性があることを示す. また, 低いバイアス電圧においても, 既存の TFET よりも高い ON 電流を達成した.  $V_{Bias} = 0.5 \text{ V}$  において, OFF 電流は  $0.16 \text{ pA}/\mu\text{m}$  となり, ON/OFF 比が  $7 \times 10^9$  が得られ, 既存の TFET(図 1.8) よりも ON/OFF 比が高くなった. OFF 電流と最大 ON 電流は, バイアス電圧とともに増大する(図 4.1(b)). OFF 電流は ON 電流よりもバイアス電圧よる変化が大きい. このため, ON/OFF 比がバイアス電圧とともに減少する. この OFF 電流の差は, OFF 状態でのポテンシャルバリアの高さの違いに起因する. 図 4.2 に  $V_{Bias} = 0.5 \text{ V}$  と  $0.05 \text{ V}$  のときの OFF 状態でのバンド構造を示した.  $V_{Bias} = 0.05 \text{ V}$  の場合, バリアが高くなり, 透過スペクトルのピークが  $V_{Bias} = 0.5 \text{ V}$  よりも低くなる. このため, 低いバイアス電圧ほど OFF 電流が低くなる.  $SS_{0.1V}$  のバイアス電圧依存性を図 4.3(a) に

示す. この図では, ある一定のバイアス電圧値以上で  $SS_{0.1V}$  がほとんど安定しており, 低いバイアス電圧範囲で急激に増大することが分かる. これは, ソースとドレインのフェルミ分布関数のズレに起因している.  $SS$  とバイアス電圧の関係を以下の式から導く.

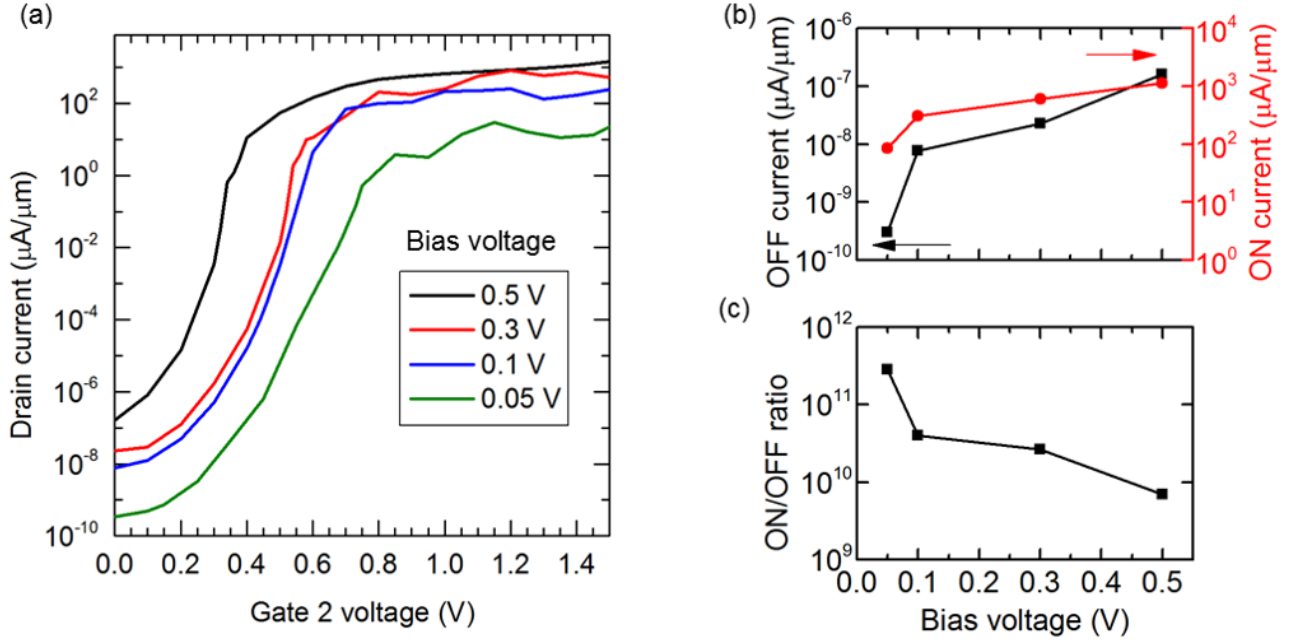


図 4.1: 伝達特性のソース・ドレインバイアス電圧依存性. (a) 各バイアス電圧印加時の伝達特性. (b) OFF 電流と最大 ON 電流の推移. (c) ON/OFF 比の推移.

$$SS^{-1} = \frac{d \log(I_d)}{dV_g} \quad (4.1)$$

$$I_d = \frac{2q}{\hbar} T_{WKB} \int_{-\infty}^{\infty} F_{Bias}(E) dE \quad (4.2)$$

$$T_{WKB} = \exp\left(\frac{-\pi E_g W_T}{4\hbar V_F}\right) \quad (4.3)$$

$$F_{Bias}(E) = F_s(E) - F_d(E) \quad (4.4)$$

$$F_{s/d} = \frac{1}{1 + \exp\left(\frac{E - E_{FS/FD}}{k_B T}\right)} \quad (4.5)$$

各バイアス電圧における  $F_{Bias}$  の関数を図 4.3(b) に示す. この図より,  $V_{Bias} < 0.1$  V では  $F_{Bias}$  のピーク値がバイアス電圧とともに減少することが分かる. 計算したデバイスでは,  $E_{FS}$  でバンド間トンネリングが起こり始める. このエネルギーでの  $F_{Bias}$  の値のバイアス電圧依存性を見ると,  $V_{Bias} < 0.1$  V で急激に小さくなることが分かる. これにより, ドレイン電流は急激に減少する (図 4.3(c)). また,  $E_{FS}$  付近での  $F_{Bias}$  関数の傾きも小さくなる. これらの作用により, 低

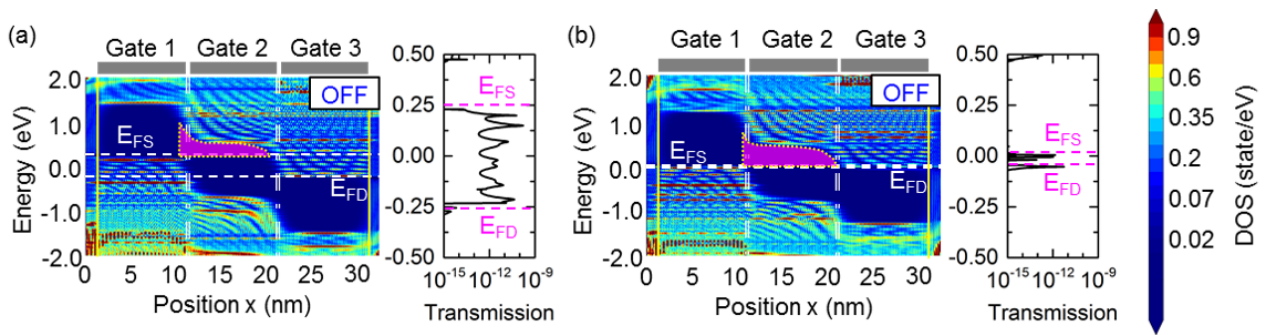


図 4.2: 異なるバイアス電圧でのバンド構造と透過スペクトル. (a)  $V_{Bias} = 0.5V$  の時のバンド構造と透過スペクトル. (b)  $V_{Bias} = 0.05V$  の時のバンド構造と透過スペクトル. (a) と (b) はどちらも Gate 2 電圧は 0 V のものを示す.

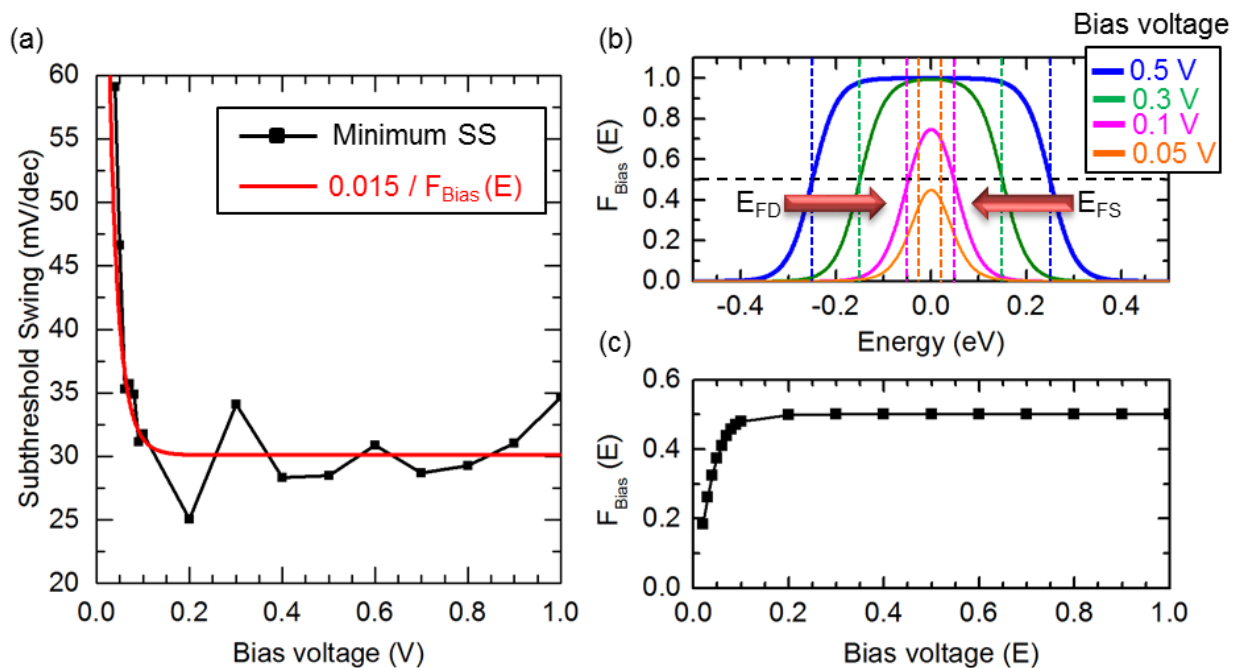


図 4.3:  $SS_{0.1V}$  のバイアス電圧依存性と  $F_{Bias}$  値の関係. (a) 各バイアス電圧における  $SS_{0.1V}$ . (b) 各バイアス電圧における  $F_{Bias}$  関数. (c) 各バイアス電圧における  $E_{FS}$  での  $F_{Bias}$  の値. (a) の赤線は開発した近似モデルを示す.



バイアス電圧下でSSが急激に増大する. ここで, SSとバイアス電圧の近似式を導く. まず, SSを抽出している2点のゲート電圧におけるトンネル透過率 $T_{WKB}$ がバイアス電圧によって変化しないと仮定する. SSを式(4.6)のように変換する.

$$\begin{aligned}
SS^{-1} &= \frac{d\log(I_d)}{dV_g} \\
&= \frac{d\log(T_{WKB})}{dV_{ds}} \times \frac{dV_{ds}}{dV_g} + \frac{d\log(IF_{Bias}(E))}{dV_{ds}} \times \frac{dV_{ds}}{dV_g} \\
&= \frac{d\log(IF_{Bias}(E))}{dV_{ds}} \times \frac{dV_{ds}}{dV_g}
\end{aligned} \tag{4.6}$$

ここで, 式(4.6)は次の式で近似できる.

$$SS = \frac{1}{n \times F_{Bias}(E_{FS})} \tag{4.7}$$

$n$ はフィッティングパラメータであり, ここでは $n = 66.5$ とすることでNEGFの結果と良い一致を示した. このSSとバイアス電圧の関係は, 実験的に $SS < 60$  mV/decを観測するためにはバイアス電圧が重要なパラメータであるところを示す.

## 4.2 GNR幅依存性

次に, 各素子性能におけるGNR幅の影響を解析した. 表4.1に解析した素子の寸法と電圧設定を示す. 図4.4は, 伝達特性と各GNR幅でのそれぞれの素子性能を示している. ここでバイアス電圧は, Drain Induced Barrier Thinning (DIBT)[74]の影響を最低限に抑えるため, バンドギャップの半分以下の大きさに設定した. GNR幅を広げていくと, 伝達特性が同じような形状を維持しながら, 高電流, 低ゲート電圧側にシフトしていくことが分かる(図4.4(a)). 図4.4(b)と(c)を見ると, OFF電流が広いGNR幅で急激に増大し, ON電流が緩やかに増大することが分かる. このOFF電流とON電流の異なる増加率により, ON/OFF比はGNR幅が広がるほど低くなる. OFF電流とON電流の増加は, どちらも $U(x)$ に起因している. しかし, OFF状態での $U(x)$ のほうがバンドギャップによる変化が大きいため, OFF電流のほうがON電流よりもGNR幅の影響を強く受ける. 一般にトンネル透過率 $T_{WKB}$ は,

$$T_{WKB}(E) = \exp\left(-\frac{2}{\hbar} \int_{-\infty}^{\infty} \sqrt{2m[U(x) - E]} dx\right) \tag{4.8}$$

のように表される. 特に, GTFETにおけるトンネル確率は式(4.3)のように近似できる. この式を見ると, 図4.5にGNR幅1.6 nmと2.4 nmのOFF状態とON状態におけるバンド構造を

表 4.1: GNR 幅の解析で用いた素子構造と電圧設定

| GNR 幅<br>(nm) | バンドギャップ<br>(eV) | チャネル長<br>(nm) | $V_{g1} / V_{g3}$<br>(V) | $V_{Bias}$<br>(V) |
|---------------|-----------------|---------------|--------------------------|-------------------|
| 0.9           | 1.25            | 10            | $\pm 1.05$               | 0.5               |
| 1.6           | 0.68            | 10            | $\pm 0.75$               | 0.3               |
| 2.4           | 0.45            | 10            | $\pm 0.55$               | 0.2               |

示す. OFF 状態のバンド構造を比較すると, GNR 幅 1.6 nm のバンドギャップが大きいために  $U(x)$  の面積が広くなり, S-D トンネリングによるリーク電流が小さくなるのが分かる. ON 状態でもバンドギャップの差により  $U(x)$  が変化するが, トンネル接合領域での  $U(x)$  が非常に小さく, バンドギャップによる影響が小さい. また, 二つの GTFET で ON 状態のトンネル距離が同じになった. これらより, トンネル確率が  $U(x)$  によって指数関数的に変化するため, 幅の広い GNR では OFF 電流が急激に増大し, ON 電流は GNR 幅とともに緩やかに増大する. また, OFF 電流の急激な増大により, 図 4.4(e) に示すように  $SS$  が増大する. 特に, GNR 幅 2.4 nm では  $SS$  が 60 mV/dec を超えており, これ以上の GNR 幅では  $SS < 60$  mV/dec を達成できないことを示している.

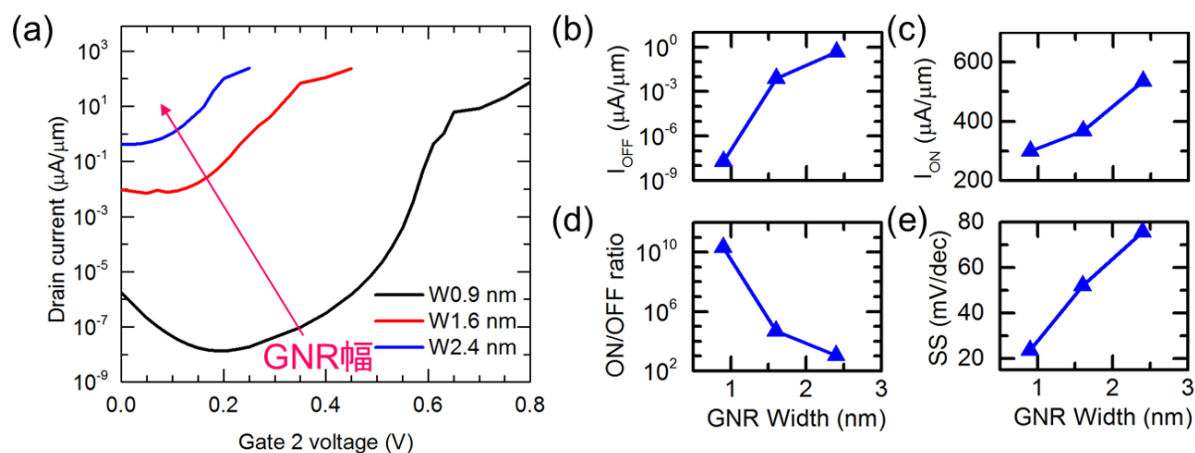


図 4.4: 素子性能の GNR 幅依存性. (a) 伝達特性. (b) OFF 電流, (c) ON 電流, (d) ON/OFF 比, (e)  $SS_{3order}$  の GNR 幅依存性.

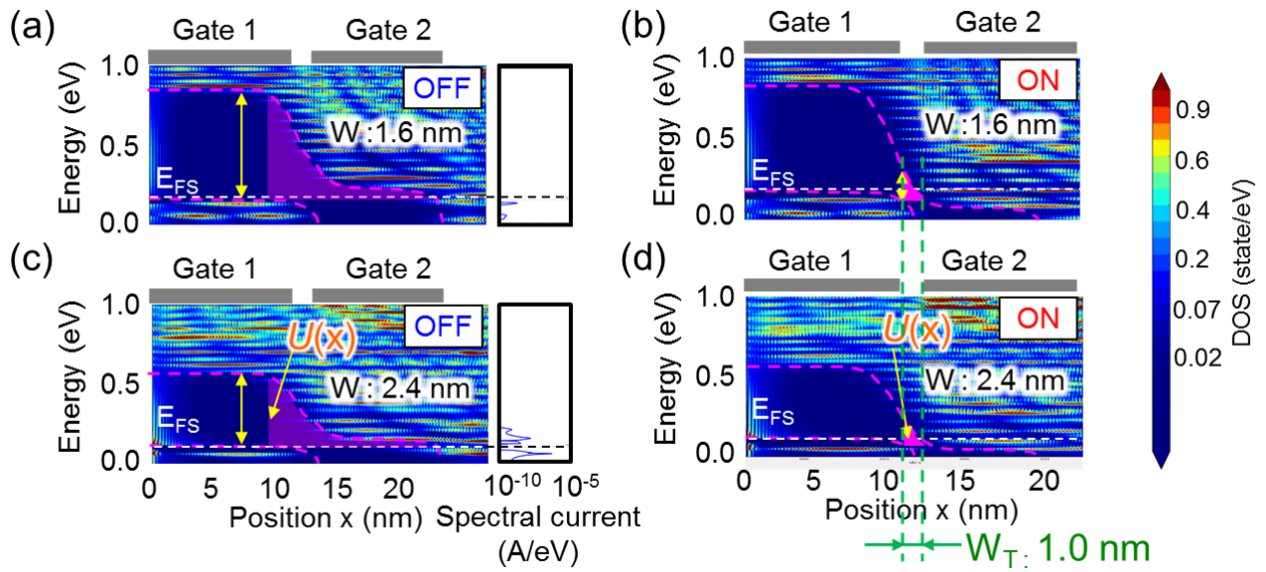


図 4.5: 異なる GNR 幅でのバンド構造. (a) GNR 幅 1.6 nm の OFF 状態と (b) ON 状態におけるバンド構造. (c) GNR 幅 2.4 nm の OFF 状態と (d) ON 状態におけるバンド構造. (a) と (b) の右側の図は、スペクトル電流のエネルギー分布を示している.

### 4.3 チャネル長依存性

次に、チャネル長による影響を解析した. 解析した素子寸法と電圧設定を表 4.2 に示す. 図 4.6 は、伝達特性と各チャネル長でのそれぞれの素子性能を示している. チャネルを長くしていくと、低ゲート電圧領域での OFF 電流が数桁ずつ減少していくことが分かる (図 4.6(a)). OFF 電流は、S-D トンネリングによるリーク電流が小さくなるため、チャネル長とともに指数関数的に減少していく. 一方、チャネル長によって ON 状態のトンネル距離が変化しないため、ON 電流はほぼ一定になる. これにより、ON/OFF 比はチャネルが長いほど高くなる. 図 4.6(e) を見ると、チャネル長によって  $SS$  が 5 mV/dec 以下にまで低減されていることが分かる. これは、 $SS$  がチャネル領域の伝導帯下端のバンド曲がりに依存しているためであり、このバンド曲がりが平坦であるほど急峻な  $SS$  となる (図 4.7). トンネル距離は、伝導帯下端のバンドに従って変化する (ドレイン電流の増加がチャネル領域のバンド曲がりに依存する). このため、バンド曲がりが平坦であるほどトンネル距離がゲート電圧によって急峻に変化し、 $SS$  が低くなる. このチャネル長の解析の結果は、幅が広い GNR でもチャネルを長くすることで低い OFF 電流と  $SS$  が期待できることを示唆している.

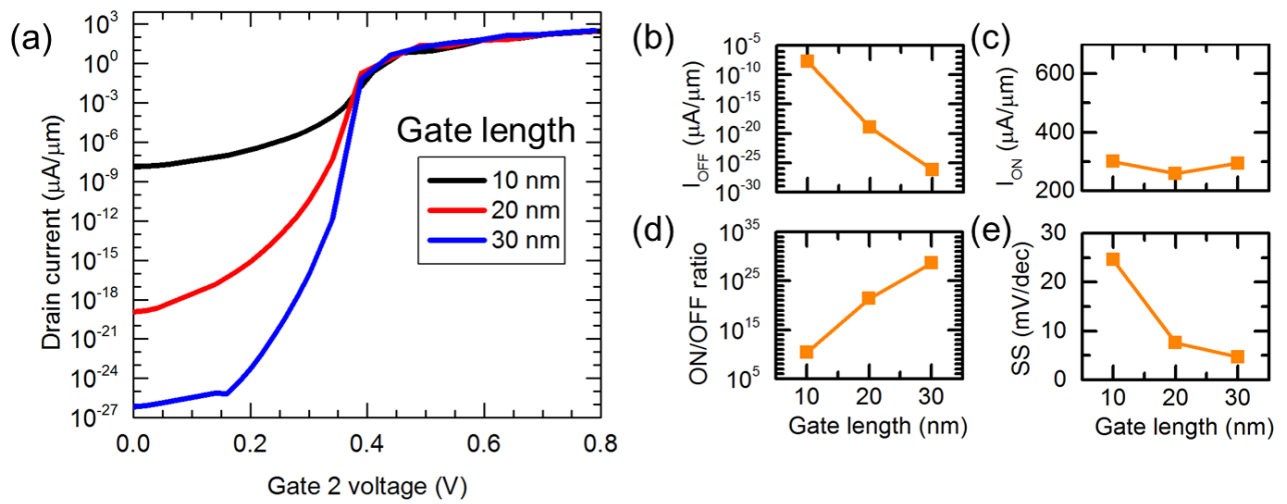


図 4.6: 素子性能のチャンネル長依存性. (a) 伝達特性. (b) OFF 電流, (c) ON 電流, (d) ON/OFF 比, (e)  $SS_{\text{border}}$  のチャンネル長依存性.

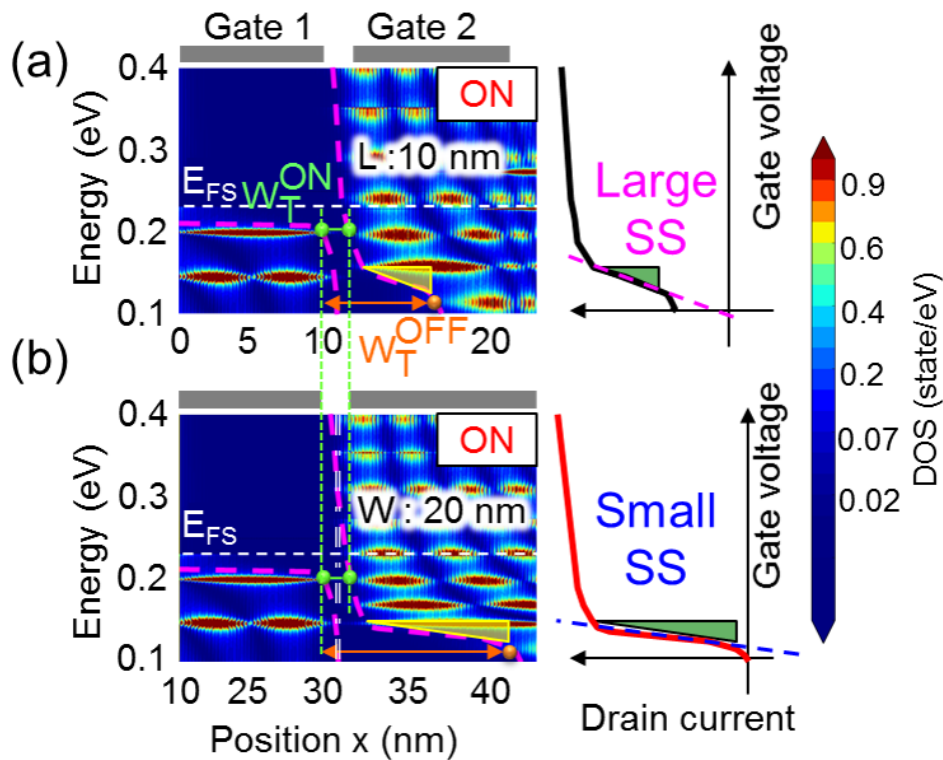


図 4.7: 異なるチャンネル長でのバンド構造と  $SS$  との関係. (a) チャンネル長 10 nm の OFF 状態におけるバンド構造. (b) チャンネル長 20 nm の OFF 状態におけるバンド構造.

表 4.2: チャンネル長の解析で用いた素子構造と電圧設定

| GNR 幅<br>(nm) | バンドギャップ<br>(eV) | チャンネル長<br>(nm) | $V_{g1} / V_{g3}$<br>(V) | $V_{Bias}$<br>(V) |
|---------------|-----------------|----------------|--------------------------|-------------------|
| 0.9           | 1.25            | 10             | $\pm 1.05$               | 0.5               |
| 0.9           | 1.25            | 20             | $\pm 1.05$               | 0.5               |
| 0.9           | 1.25            | 30             | $\pm 1.05$               | 0.5               |

## 4.4 Constant $U(x)$ スケーリング法

GNR 幅とチャンネル長解析から、幅の広い GNR でもチャンネルを長く設計することにより低い OFF 電流が得られる可能性があることが分かった。これに基づき、本研究では、新たな素子スケーリング法として”Constant  $U(x)$  スケーリング法”を考案した。このスケーリング方法の概念図を図 4.8 に示す。この方法では、GNR 幅とチャンネル長が異なる二つの素子において、OFF 状態のトンネル確率が一致するように素子を設計することにより、二つの素子で S-D トンネリングの OFF 電流が等しくなる。これにより、GNR 幅依存性の解析で問題になっていた S-D トンネリングによるリーク電流を小さくなり、低い  $SS$  が期待できる。ここで、OFF 状態でのポテンシャルバリア（トンネル確率の式中の積分）がチャンネル領域のバンドギャップとチャンネル長でほぼ決定され、p 型とチャンネル領域の間にあるバリアによる影響が小さいと仮定する。この場合、OFF 状態のトンネル確率の式を計算する必要がなくなり、図 3.5 から求められるバンドギャップ（又は GNR 幅）に合わせてチャンネル領域の長さを変えるだけでスケーリングが可能になる。

このスケーリング法を用いて、GNR 幅とチャンネル長を変化させた場合の素子特性を解析した。表 4.9 に解析した素子寸法を示す。これらのポテンシャルバリアは完全に一致してはいないが、近いポテンシャルバリアになるように設計している。図 4.9 に素子寸法依存性の結果を示す。伝達特性を見ると、GNR 幅依存性とは異なり、素子寸法が大きくなるほど伝達特性のサブスレッショルド領域の傾きが急峻になっていくことが分かる (図 4.9(a))。OFF 電流を見ると、GNR 幅 0.9 nm と GNR 幅 1.6 nm の OFF 電流が一致しているが、GNR 幅 2.4 nm の OFF 電流は大きく、伝達特性に OFF 電流が一定になる領域が出てくる。これは熱電子リークに起因しており、熱電子リークを無視した場合には、GNR 幅 2.4 nm の場合でも OFF 電流が GNR 幅 0.9 nm のものと同様になる (図 4.9(b))。一方、幅の広い GNR ではバンドギャップとともにトンネル障壁が小さくなり、ON 電流が増大する (図 4.9(c))。このため、ON/OFF 比はこれらを反映したものとなる (図 4.9(d))。  $SS$  を見ると、GNR 幅 2.4 nm において 10 mV/dec の  $SS$  を得た。また、解析

した GNR 幅においては熱電子リークによって  $SS$  が増加しなかった. 図 4.10 は, GNR 幅依存性, チャネル長依存性, Constant  $U(x)$  スケーリングの  $SS$  をまとめたものである. この図では, Constant  $U(x)$  スケーリングによって, 素子寸法が大きくなるほどに  $SS$  が低くなることが期待できることが分かる. ただし, 熱電子リークによる OFF 電流の増大があるため, ある一定のバンドギャップ以下では,  $SS$  が増加すると考えられる.

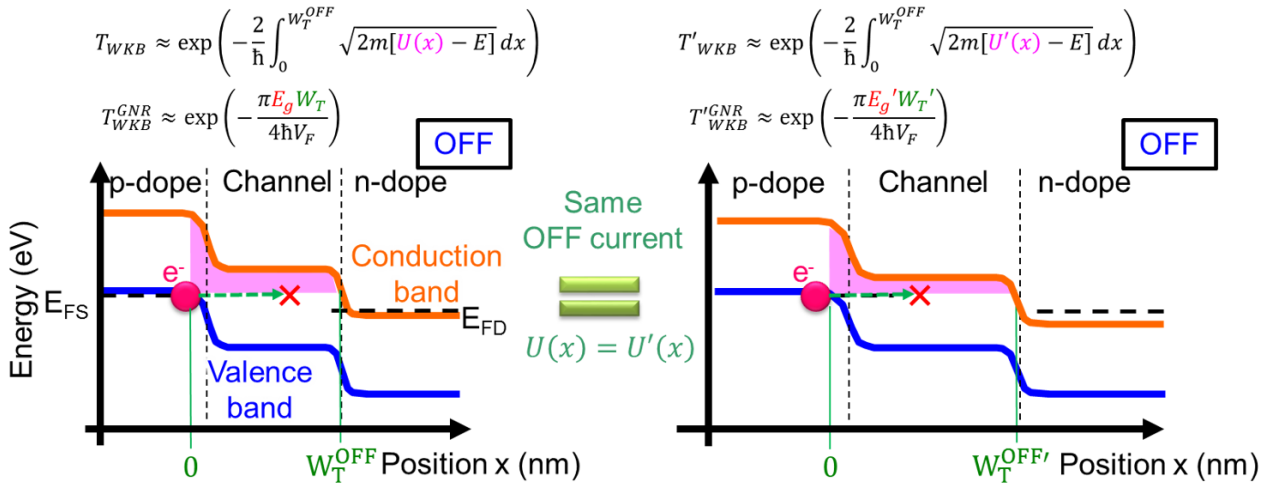


図 4.8: Constant  $U(x)$  スケーリングの概念図. 桃色で塗りつぶした領域は, それぞれの OFF 状態でのポテンシャルバリアを示す.  $U(x)$  と  $U'(x)$  はこのポテンシャルダイアグラムを示している.

表 4.3: Constant  $U(x)$  スケーリングに従って設計した素子の寸法と電圧設定

| GNR 幅<br>(nm) | バンドギャップ<br>(eV) | チャネル長<br>(nm) | $V_{g1} / V_{g3}$<br>(V) | $V_{Bias}$<br>(V) |
|---------------|-----------------|---------------|--------------------------|-------------------|
| 0.9           | 1.25            | 10            | $\pm 1.05$               | 0.5               |
| 1.6           | 0.68            | 20            | $\pm 0.75$               | 0.3               |
| 2.4           | 0.45            | 30            | $\pm 0.55$               | 0.2               |

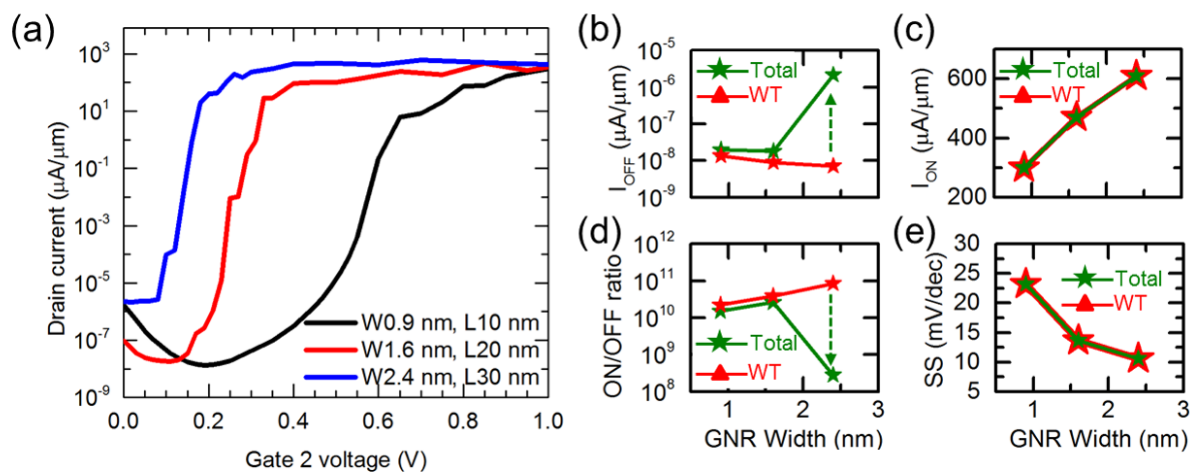


図 4.9: Constant  $U(x)$  スケーリングに従って設計した場合の素子寸法依存性. (a) 伝達特性. (b) OFF 電流, (c) ON 電流, (d) ON/OFF 比, (e)  $SS_{3order}$  の素子寸法依存性. WT は, 熱電子リークを無視した場合の値であり, Total は熱電子リークを含んだ値を示す.

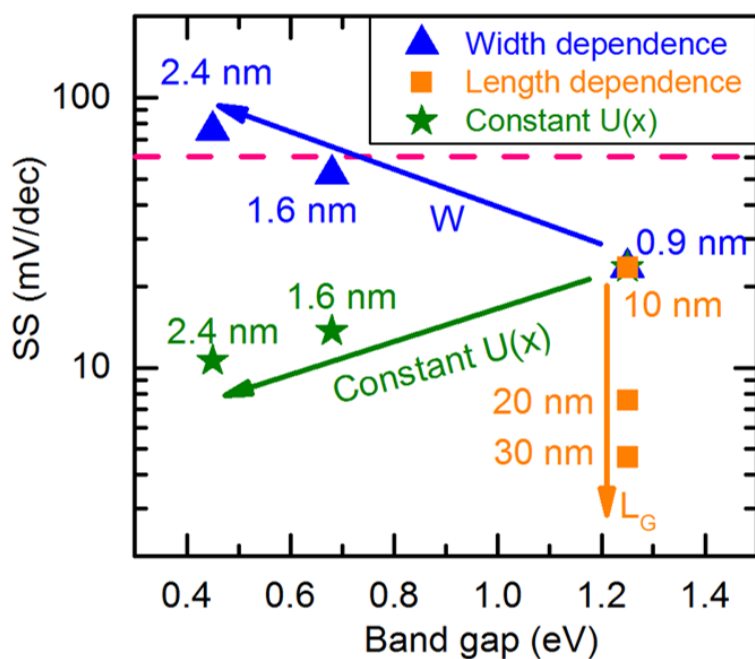


図 4.10:  $SS_{3order}$  のバンドギャップ依存性.

## 4.5 素子寸法の要件

Constant  $U(x)$  スケーリングの解析から、熱電子リークによって一定バンドギャップ以下で  $SS$  が増大する可能性があることを見いだした。ただし、第一原理解析では、これ以上の大きな素子寸法を解析に長い時間が必要であったり、第一原理解析の計算限界を上回るために解析できない。そこで、室温下で  $SS < 60$  mV/dec を達成できる最小の素子寸法を明らかにするため、熱電子リークの影響を反映させた  $SS$  の解析モデルを開発した。この解析モデルにおいては、高温領域で 3 桁のドレイン電流の差が得られないため、 $SS_{0.1V}$  を求めた。本来、GTFET の  $SS$  の式は [77] の式から、

$$SS_{tunnel} = \frac{4\hbar V_F \ln(10)}{\pi E_g \frac{\Delta W_T}{\Delta V_g}} \quad (4.9)$$

のように求められるが、温度の項を含んでいない。そのため、まず  $SS$  と  $V_{Bias}$  の関係を利用し、熱電子リークを無視 (S-D トンネリングだけを考慮) した場合の  $SS$  の温度依存性を導く。

$$SS_{tunnel} = \frac{\Delta V_g}{n \times F_{Bias}} \quad (4.10)$$

次に、熱電子リークの効果を導入した  $SS$  の温度依存性 (以降、 $SS - T$  曲線と呼ぶ) についての解析モデルを導く。

$$SS = \frac{\Delta V_g}{\Delta \log(I_d)}$$

$$SS = \frac{\Delta V_g}{\log(I_{High} + I_{Thermionic}) - \log(I_{Low} + I_{Thermionic})} \quad (4.11)$$

ここで、各パラメータが表しているものは図 4.11 の通りである。これらは、

$$I_{High} = \frac{2q}{\hbar} T_{High} \times k_B T \times \ln\left[\frac{1}{2}\left(1 + \cosh\frac{V_{Bias}}{k_B T}\right)\right] \quad (4.12)$$

$$I_{Low} = I_{High} \times 10^{-SS_{tunnel} \frac{\Delta V_g}{k_B T}} \quad (4.13)$$

$$I_{Thermionic} = \frac{2q}{\hbar} \times \int_{E_g + E_{Fs}}^{+\infty} F_s(E) dE \quad (4.14)$$

のように表される。  $T_{High}$  は  $I_{High}$  でのトンネル確率であり、NEGF の閾値電圧でのトンネル確率を基に算出した。  $I_{Low}$  については、  $U(x)$  の形状が非線形であり、素子寸法が異なった場合に精度良く求めることが難しい。ここでは、  $\Delta V_g$  は、0.1 として計算した。そこで、ON 状態ではトンネルバリアを三角ポテンシャルで近似できるため、式 (4.14) に ON 電流の項を入れ、OFF 電流を求めた。熱電子リークが限りなく小さくなる極低温領域 ( $T = 5$  K 以下) では、式 (4.10) と式 (4.11) の値が一致する。図 4.12 に式 (4.10) と式 (4.11) を用いて、実験データの近似したも



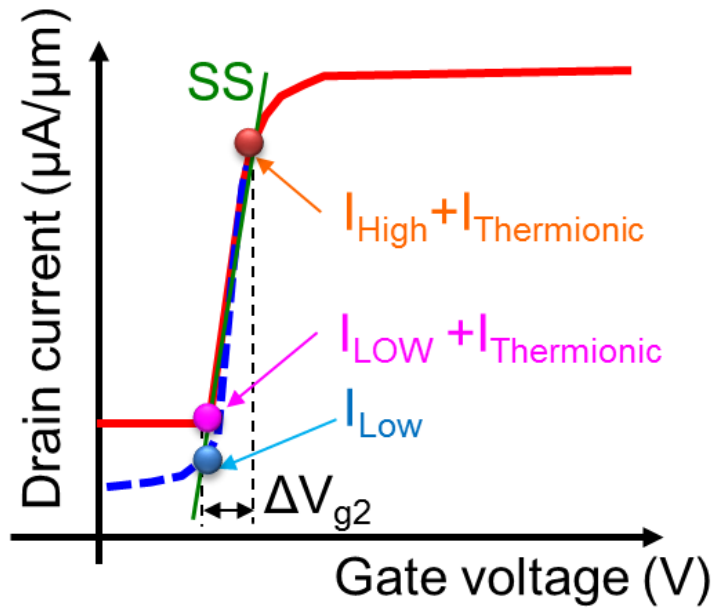


図 4.11:  $SS$  の解析モデルの概略図.

のを示す. 図より, 式 (4.11) の解析モデルが実験データと良い一致を示すことが分かる. また, 式 (4.10) と式 (4.11) の二つの曲線を比較すると,  $T = 80 \text{ K}$  以降で熱電子リークの影響が現れはじめ, 室温下では  $SS$  に 2 桁以上の差が生じることが分かった. これは,  $80 \text{ K}$  までは S-D トンネリングによるリークの影響が強く, これ以上では熱電子リーク電流の影響が強いことを示している.

この解析モデルを用いて, バンドギャップ, チャネル長, バイアス電圧の  $SS - T$  曲線に対する影響を解析した. この結果を図 4.13 に示す. バンドギャップが  $0.07 \text{ eV}$  ([73] で得られたバンドギャップ) と  $0.4 \text{ eV}$  の場合を比較すると, 高温領域での熱電子リークが小さくなるため,  $0.4 \text{ eV}$  の方の  $SS - T$  曲線が緩やかになる (図 4.13(a)). しかし, これ以上大きなバンドギャップで計算しても熱電子リーク電流の影響が十分小さいため,  $SS - T$  曲線が変わらない. チャネル長が  $80 \text{ nm}$  と  $160 \text{ nm}$  の場合を比較すると,  $T < 100 \text{ K}$  の領域で  $SS$  が低減されているが,  $100 \text{ K}$  以上では曲線が一致している (図 4.13(b)).  $SS < 60 \text{ mV/dec}$  となる温度領域に着目すると,  $80 \text{ nm}$  の場合が  $T < 50 \text{ K}$  であるのに対し,  $100 \text{ nm}$  の場合には  $T < 80 \text{ K}$  であり, わずかに限界温度が高い. この限界温度の違いは, S-D トンネリングによるリーク電流が低減されるために起こる. 次に, バイアス電圧による  $SS - T$  曲線の変化を見ると,  $0.1 \text{ V}$  までバイアス電圧を大きくした場合に曲線が平坦になることが分かる (図 4.13(c)). これは, 4.1 で解析した  $SS$  と  $V_{Bias}$  の関係と同じように  $F_{Bias}$  の大きさに起因している. これらの結果より, 室温下で  $SS < 60 \text{ mV/dec}$  を達

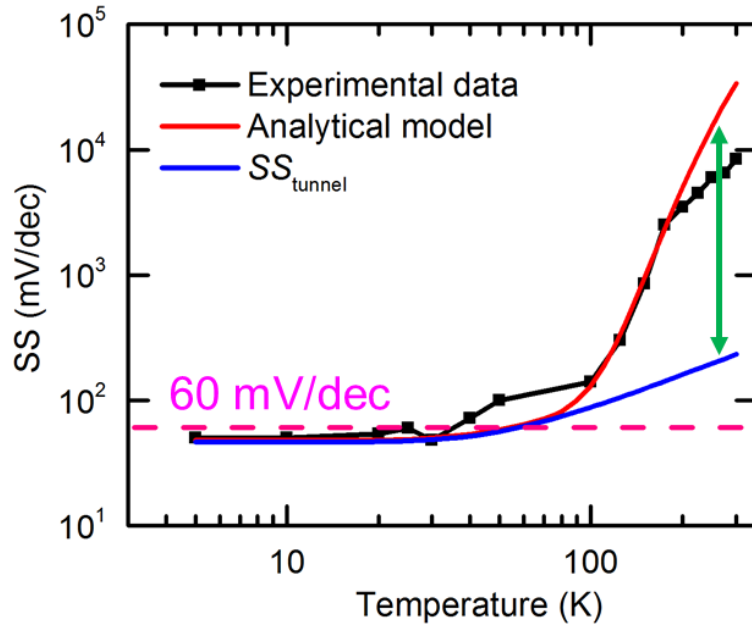


図 4.12:  $SS$  の温度依存性. 実験データは [73] の結果を用いた.

成するためにはバンドギャップ, チャンネル長, バイアス電圧の大きさが重要であり, 特にバイアス電圧の大きさに注意しなければならないことが分かる.

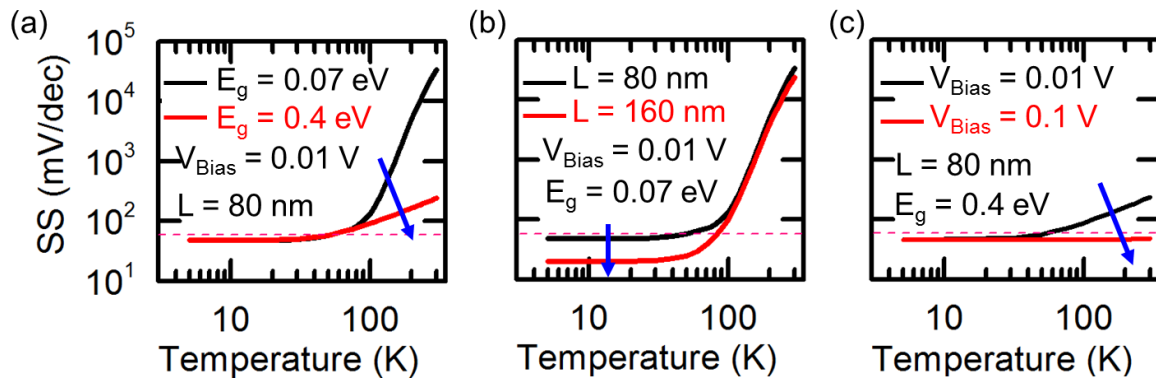


図 4.13:  $SS - T$  曲線の素子構造及びバイアス電圧依存性. (a) バンドギャップ依存性, (b) チャンネル長依存性, (c) バイアス電圧依存性. 桃線は,  $SS = 60$  mV/dec を示す.

最後に, この結果に基づいて, 室温下で  $SS < 60$  mV/dec を達成するために必要な最小のバンドギャップサイズを求める. 図 4.14 (a) は, GNR 幅 0.9 nm, チャンネル長 10 nm と同じ S-D トンネリングリーク電流が得られるように Constant  $U(x)$  スケーリング法を用いてスケーリングした場合の  $SS - T$  曲線のバンドギャップ依存性を示している. この図では, 120 eV 以下のバ

ンドギャップにおいて室温下で 60 mV/dec を下回ることが分かる. 図 4.14 (b) は, 室温下で 60 mV/dec を達成するために必要な GNR 幅とチャンネル長の関係を示しており, GNR 幅  $\leq 8.6$  nm, チャンネル長  $\geq 43$  nm で 60 mV/dec 以下の  $SS$  が期待できることが分かる. 実験で作製に成功している GNR 幅が 9.4 nm[73] であるため, この GNR 幅の制限であれば現在の加工技術でも十分作製できる可能性がある. 一方, ON/OFF 比に注目すると,  $10^8$  を達成するためには, 420 meV 以上のバンドギャップが必要であることが分かる (図 4.14 (c)). これは, GNR 幅  $\leq 2.7$  nm に対応しており,  $SS < 60$  mV/dec を達成するよりも素子寸法の条件が厳しいことが分かる. この図では, S-D トンネリングによるリーク電流が無視できるほど十分長いチャンネルを想定しており, 短いチャンネルでは更に幅の狭い GNR が必要となる. S-D トンネリングによるリーク電流を考慮した場合, 幅 2.7 nm の GNR で  $10^8$  を達成するために必要なチャンネル長を計算は 50 nm となる.

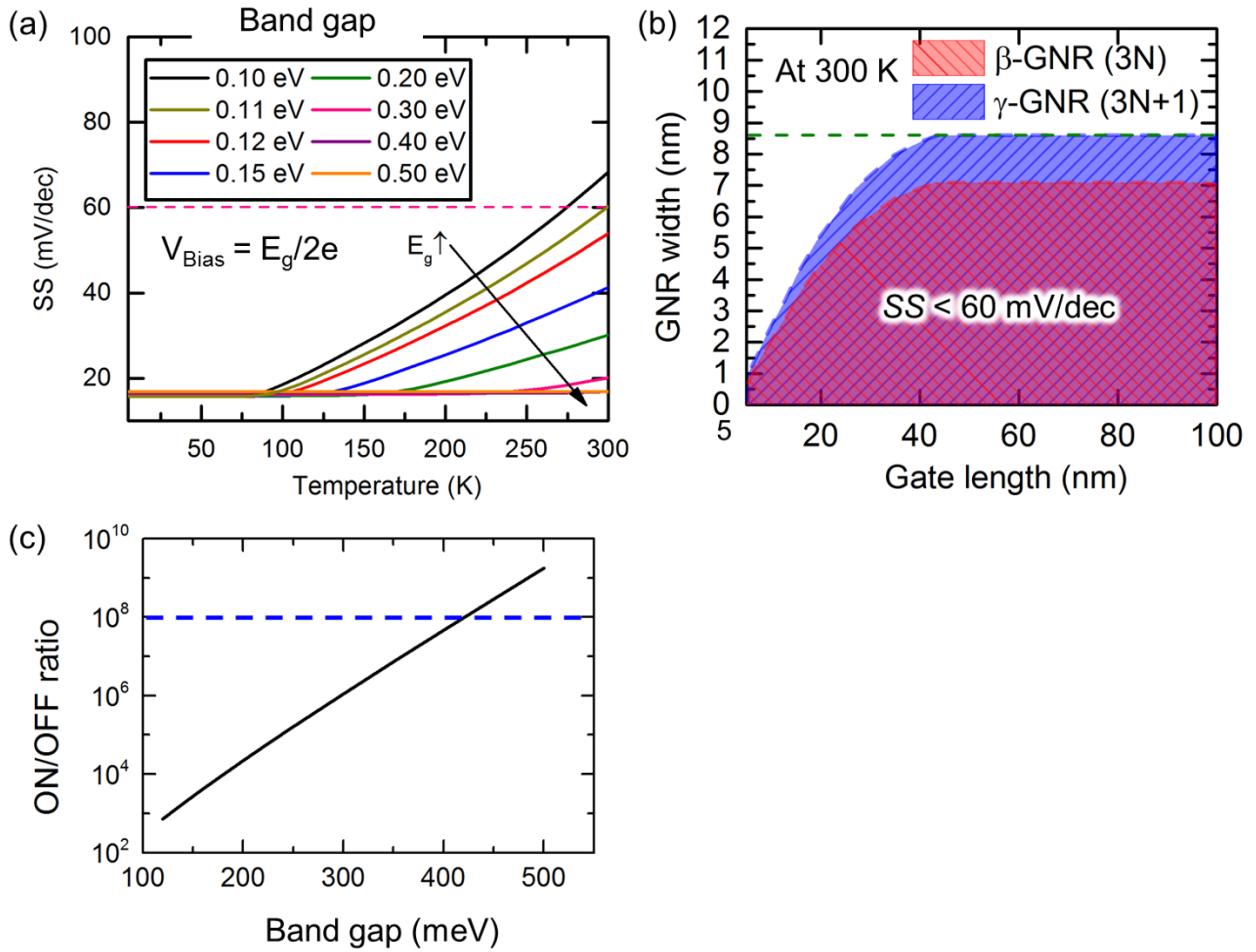


図 4.14: ConstantU(x) スケーリングに基づいた  $SS - T$  曲線の素子寸法依存性. (a)  $SS - T$  曲線のバンドギャップ依存性, (b) 素子寸法限界. 桃線は,  $SS = 60$  mV/dec を, 緑線は GNR 幅 8.6 nm を, 青線は ON/OFF 比 =  $10^8$  をそれぞれ示している.

## 4.6 本章のまとめ

本章では、既存の TFET よりも高い ON 電流 ( $> 10 \mu\text{A}/\mu\text{m}$ ), ON/OFF 比  $> 10^8$ ,  $SS < 60 \text{ mV}/\text{dec}$  を達成するため、第一原理解析を用いて、GTFET の基本素子性能、素子性能のソース・ドレインバイアス電圧依存性、GNR 幅及びチャンネル長依存性から、各素子性能を決定している物理を解析した。解析した GTFET (GNR 幅  $0.93 \text{ nm}$ , チャンネル長  $10 \text{ nm}$ ) では、 $V_{Bias} = 0.5 \text{ V}$  のときに、 $1281.1 \mu\text{A}/\mu\text{m}$  が得られ、既存の MOSFET と同等の ON 電流が得られることが分かった。また、OFF 電流は  $0.16 \text{ pA}/\mu\text{m}$  となり、ON/OFF 比が  $7 \times 10^9$  となった。ソース・ドレインバイアス電圧依存性の解析では、OFF 状態でのポテンシャルバリア  $U(x)$  の大きさがバイアス電圧によって変化することにより、OFF 電流が指数関数的に変化することがわかった。 $SS$  については、ソースとドレインのフェルミ分布関数のズレの大きさを表す  $F_{Bias}(E)$  関数の傾きが  $E_{FS}$  付近で緩やかになり、 $V_{Bias} < 0.1 \text{ V}$  で急激に  $SS$  が増大することを見出した。この結果は、 $SS < 60 \text{ mV}/\text{dec}$  を達成するためには、一定以上のバイアス電圧が必要であることを示唆している。GNR 幅とチャンネル長依存性の解析では、OFF 状態でのトンネリングリークにより、GNR 幅が広くなるとともに OFF 電流が急増し、結果として  $SS$  が GNR 幅  $2.4 \text{ nm}$  で  $60 \text{ mV}/\text{dec}$  を上回ることも分かった。また、チャンネル長依存性の解析では、チャンネル長とともに OFF 電流が小さくなることも分かった。 $SS$  については、チャンネル長による  $SS$  の減少が、チャンネル領域の伝導帯下端のバンド曲がりの平坦性に依存しており、長いチャンネルほど平坦なバンドにより  $SS$  が低くなることも分かった。これらの素子構造解析に基づき、本研究では、新たに”Constant  $U(x)$  スケーリング法”を考案した。この方法は、従来の CMOS のような電界や面積を一定にして素子寸法をスケールリングするのではなく、素子のポテンシャルバリアの面積を一定に保ちながら寸法をスケールリングする。このスケールリング法を用いることで、GNR 幅が広い素子でも GNR 幅が狭い素子と OFF 電流が得られ、急峻な  $SS$  が得られる。ただし、ある一定のバンドギャップより小さい場合には、熱電子リーク電流の影響の方が強くなり、OFF 電流と  $SS$  が増大することを見出した。そこで、 $SS$  の温度依存性に関する解析モデルを新たに開発し、 $SS < 60 \text{ mV}/\text{dec}$  と ON/OFF 比  $> 10^8$  が得られる最小の素子寸法を求めた。結果として、GNR 幅  $\leq 8.6 \text{ nm}$  (バンドギャップが  $120 \text{ meV}$  以上), チャンネル長  $\geq 43 \text{ nm}$  で  $SS < 60 \text{ mV}/\text{dec}$  が得られることが分かった。これは、現在の加工技術でも作製出来る可能性があることを示唆している。一方で、ON/OFF 比  $> 10^8$  を達成するためには、GNR 幅  $\leq 2.7 \text{ nm}$  (バンドギャップが  $420 \text{ meV}$  以上), チャンネル長  $\geq 50 \text{ nm}$  が必要であることが分かった。この GNR 幅への加工は容易ではないが、将来的に HIM 加工技術によって作製できる可能性がある。

# 第5章 新素子構造の提案

## 5.1 熱電子リークの低減

第4章では、幅の広いGNRを用いた場合に、熱電子リーク電流によってOFF電流とSSが急激に増大することを明らかにした。SS < 60 mV/decを達成するためにはGNR幅  $\leq 8.6$  nmが必要であり、現在の加工技術でも十分に実現可能であると考えられるが、実際には幅9.4 nm以下のGNRを作製することは容易ではない。そこで、GNR幅8.6 nm以上でもSS < 60 mV/decが達成できる構造を検討した。この解析では、素子寸法が大きすぎるため、第一原理解析の代わりにTechnical CAD (TCAD) シミュレーションを用いた。熱電子リーク電流を低減し、60 mV/dec以下のSSを達成するためにはp型領域の伝導帯下端が $E_{FS}$ よりも120 meV以上高い必要がある。0.07 eVのバンドギャップを持つGTFETで考えた場合、通常のp-i-n構造でp型領域の静電ドーピングを強くして伝導帯下端を120 meVまで引き上げると図5.1のようになる。この構造では、熱電子リークは減少させることができるが、OFF状態でもバンド間トンネリングが起こる。この場合、ドレイン電流はフェルミ分布関数に従って増加するため、60 mV/dec以下のSSを達成できない。また、OFF電流も高くなる。

そこで、新たに図5.2(a)のような $p_+-p-i-n-n_+$ 構造を考案した。この構造では、p型とn型領

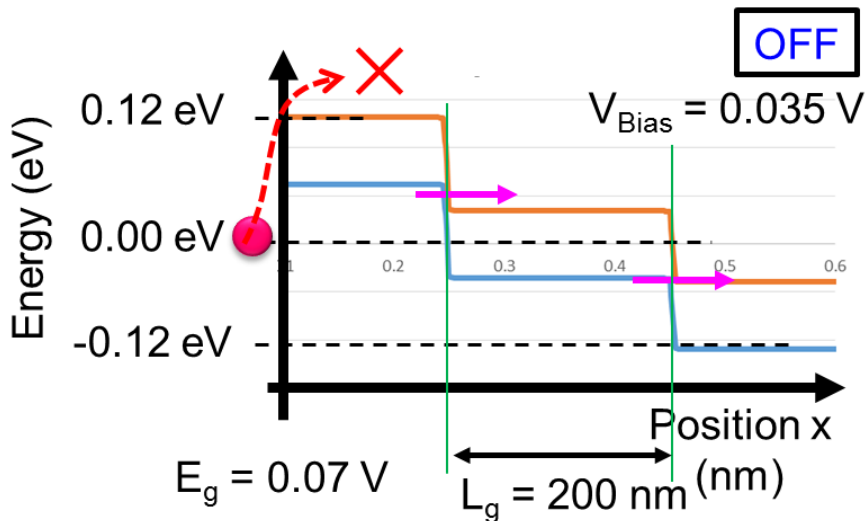


図 5.1: p-i-n 構造での重ドーピング。

域に絶縁層が $HfO_2$ だけの領域と $HfO_2$ と $SiO_2$ 層からなる領域を形成する。OFF状態とON状態のバンド構造は、図5.2(b)と5.2(c)のようになる。これにより、熱電子リーク電流が低減

でき、OFF 状態でバンド間トンネリングによるリークが発生しない。この構造での伝達特性を図 5.3 に示す。この素子では、 $SS_{0.1V} = 53.6 \text{ mV/dec}$  が得られ、OFF 電流が  $1.9 \text{ } \mu\text{A}/\mu\text{m}$  となった。同じバンドギャップで通常の p-i-n 構造の熱電子リーク電流を計算すると  $9.4 \text{ } \mu\text{A}/\mu\text{m}$  であり、新素子構造では熱電子リーク電流を 1/5 に出来たことが分かった。このバンドギャップでは ON/OFF 比が 2 桁しかないが、図 4.14(c) より、130 meV 以上のバンドギャップがあれば 4 桁以上の ON/OFF 比が得られると考えられる。従って、新素子構造では素子寸法が p-i-n 構造よりも大きくなってしまふものの、幅が広い GNR でも  $SS < 60 \text{ mV/dec}$  や ON/OFF 比  $\geq 10^4$  の達成が期待できる。

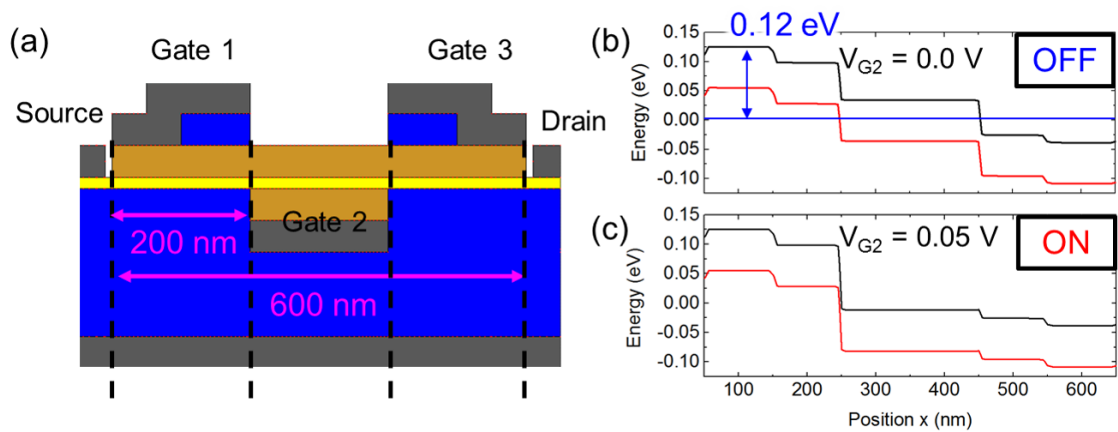


図 5.2: 新素子構造. (a) 素子構造. (b) OFF 状態と (c) ON 状態でのバンド構造.

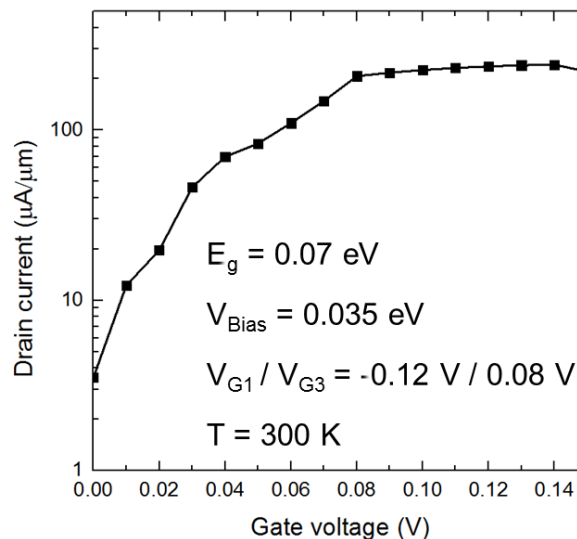


図 5.3: 新素子構造での伝達特性.

## 5.2 グラフェン共鳴トンネルFET

第4章の解析より, GTFETでは図5.4のように, チャネル領域のバンド曲がりによって  $SS$  が増大することが分かった. そのため, このバンド曲がりの影響を取り除けば, 短いチャネル長でも低い  $SS$  が得られると考えられる. そこで, 図5.5(a)のような素子構造を新たに考案した. この構造では, Gate 3を p型領域になるように静電ドーピングしている. また, Gate 3領域のGNR幅を広くすることで, Gate 1と同じゲート電圧で Gate 3領域の価電子帯上端を  $E_{FS}$  と同じエネルギーまで変調できる. 従って, この構造ではチャネル領域のバンド曲がりを平坦にできるだけでなく, 実際に作製する場合には Gate 1と Gate 3を統合できる. この素子

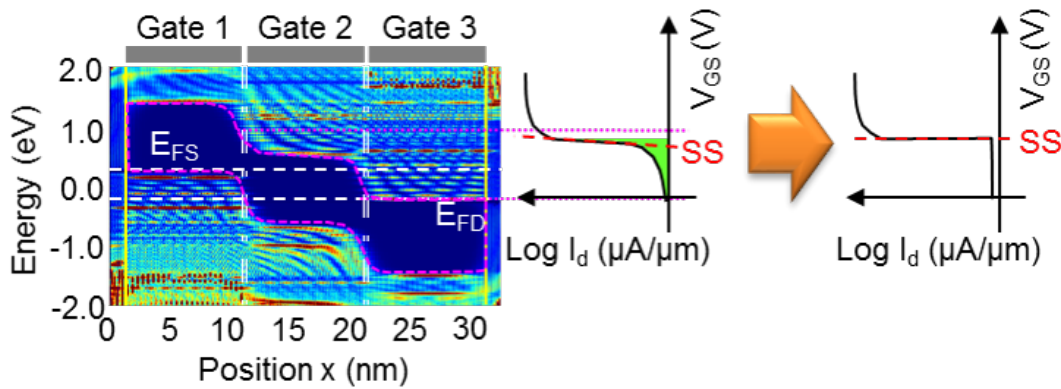


図 5.4: GTFET におけるバンド曲がりによる  $SS$  の増大.

は, バンド間トンネルではなく, p 型領域と i 型領域, i 型領域と n 型領域の間に形成される二つのトンネルバリアを介した共鳴トンネルで動作する. よって, 以降はグラフェン共鳴トンネル FET (GRTFET) と呼ぶ. 図5.6に GTFET の伝達特性との比較を示す.  $SS_{3\text{order}}$  を比較すると, GTFET では 27.2 mV/dec であるのに対し, GRTFET では 16.1 mV/dec となった. ON 電流と OFF 電流はほぼ同じになった. GRTFET の伝達特性の特徴として, 共鳴準位との共鳴状態と非共鳴状態を反映した負性微分コンダクタンス (NDC) が現れる.

GRTFET では, Gate 3 領域に量子井戸が形成されるため, Gate 3 領域の長さによって伝達特性上の NDC が変わる. 図5.7(a)は, 伝達特性の Gate 3 長依存性を示している. Gate 3 長が長くなるにつれ,  $V_{g2} = 0.1 \text{ V}$  での電流値が小さくなっていく傾向にあり, 8 nm のときには最小 OFF 電流が  $0.04 \text{ pA}/\mu\text{m}$  が得られる. Gate 3 長が 4~7 nm の場合と 8 nm の場合の伝達特性を



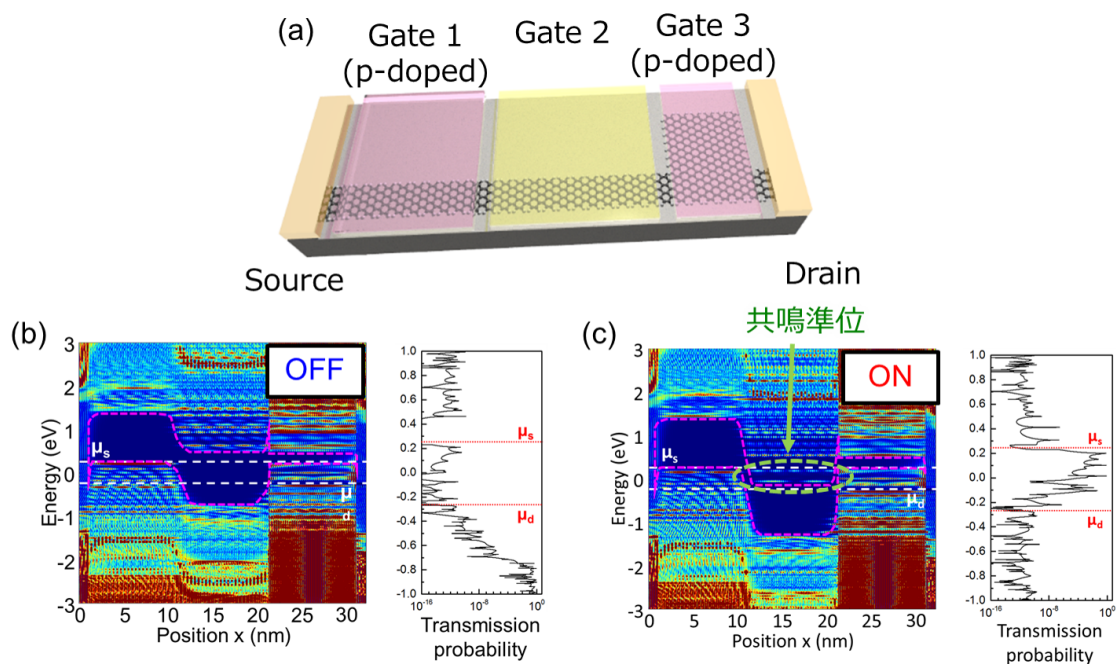


図 5.5: グラフェン共鳴トンネル FET の素子構造. (a) 素子の概念図. (b) OFF 状態と (c) ON 状態でのバンド構造と透過スペクトル.

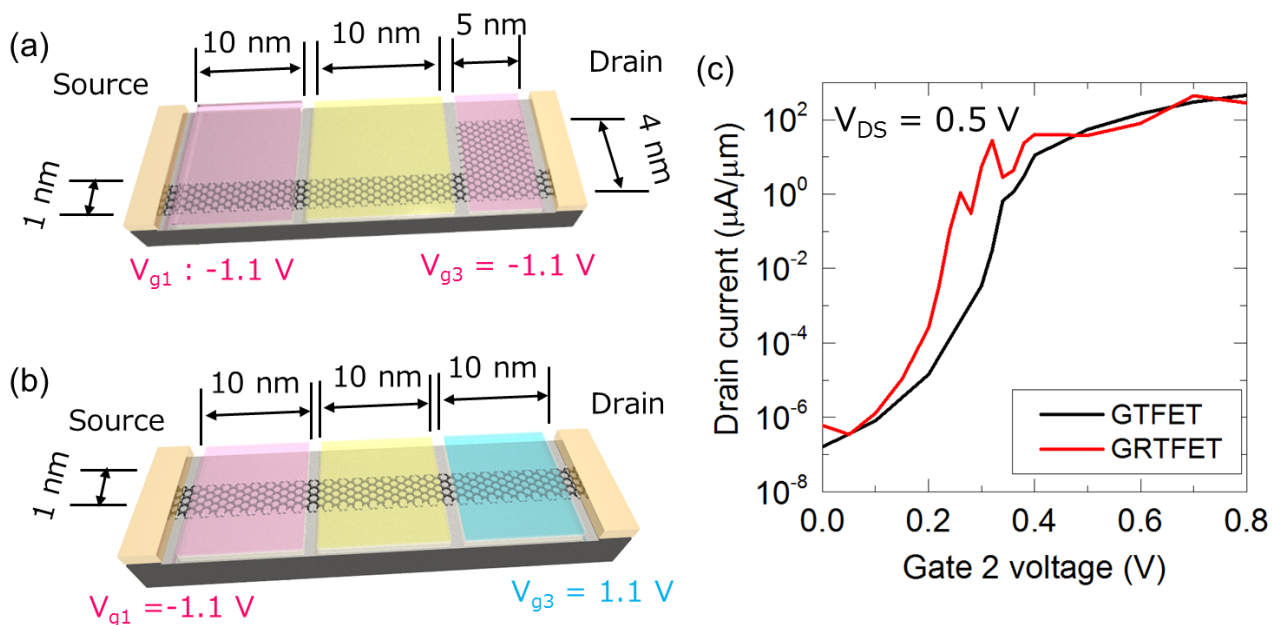


図 5.6: GRTFET と GTFET の伝達特性の比較. (a) 解析した GRTFET の素子構造, (b) 解析した GTFET の素子構造. (c) 伝達特性の比較.

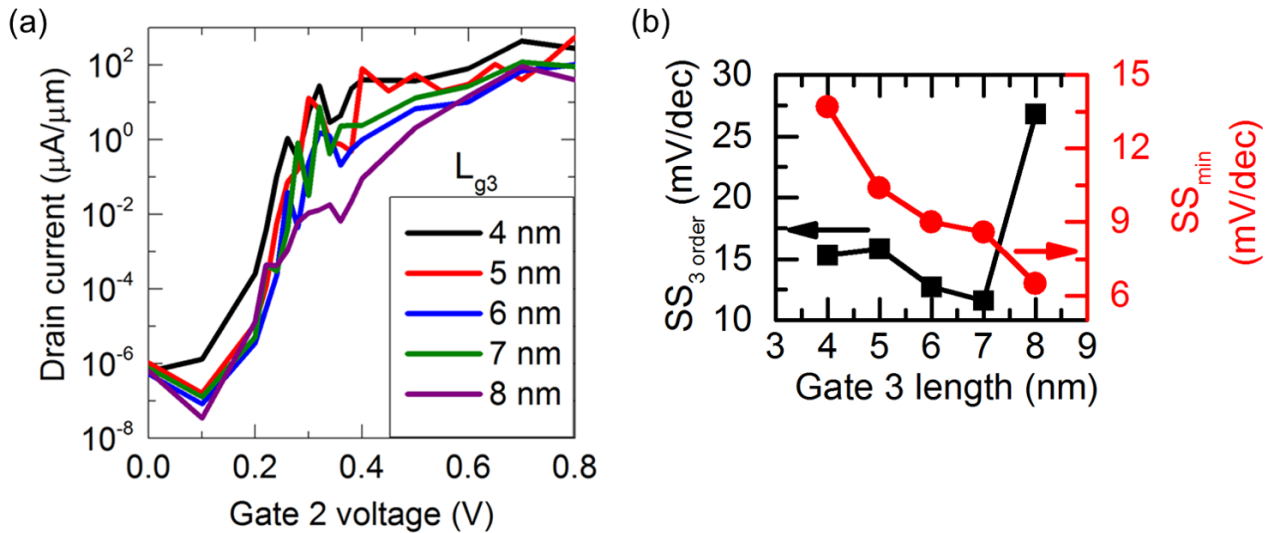


図 5.7: GRTFET の Gate 3 長依存性. (a) 伝達特性. (b)  $SS_{3\text{order}}$  と  $SS_{\text{min}}$  の Gate 3 長依存性.

比較すると、8 nm ではサブスレッショルド領域の電流値が他の Gate 3 長の場合よりも低くなっていることが分かる。  $SS_{3\text{order}}$  と電流ピークでの  $SS$  である  $SS_{\text{min}}$  の Gate 3 長依存性を見ると、  $SS_{3\text{order}}$  が 8 nm で増大するのに対し、  $SS_{\text{min}}$  は減少することが分かる (図 5.7(b)). これは、 Gate 3 領域の状態密度 (DOS) の形状に起因している。 図 5.8 に Gate 3 が 4 nm と 8 nm の場合の各領域における DOS を示す。 4 nm の場合、 Gate 3 領域になだらかな DOS ピークが現れる。 この DOS により広いエネルギー範囲で共鳴トンネルが起こり、サブスレッショルド領域での電流値の減少が小さい。 このなだらかな DOS ピークは Gate 3 長が 7 nm 以下の場合に現れる。 一方、 8 nm の場合には鋭い DOS ピークが現れ、他の領域との DOS ピークと重なりにくくなる。 このため、共鳴時は急激にドレイン電流が増大するが、非共鳴時には電流が急激に下がる。 これにより、  $SS_{3\text{order}}$  と  $SS_{\text{min}}$  が異なった依存性を示す。

### 5.3 本章のまとめ

本章では、GTFET における熱電子リーク電流を低減するため、新たに  $p_+-p-i-n-n_+$  構造を考案・解析した。 また、共鳴トンネル効果を利用してスイッチングする GRTFET を新たに考案した。

$p_+-p-i-n-n_+$  構造では、二種類の絶縁膜を用いることで、0.07 eV の小さなバンドギャップを持つ GNR で  $SS_{0.1V}$  で 53.6 mV/dec を達成し、熱電子リーク電流を約 1/5 にまで低減出来た。 さ

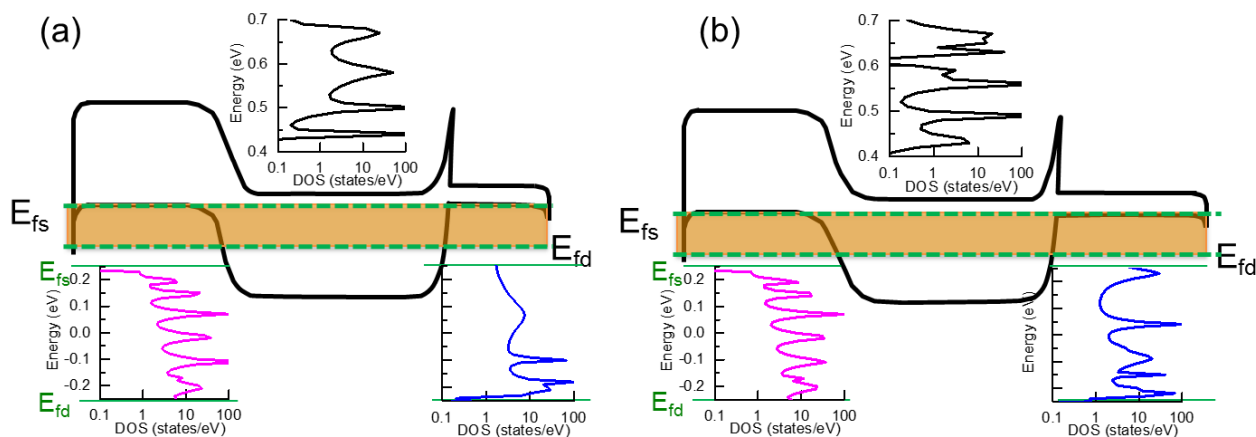


図 5.8: 異なる Gate 3 長における各領域の状態密度. (a) 4nm の場合. (b) 8 nm の場合.

らにこの構造では, 130 meV 以上のバンドギャップをもつ GNR で 4 桁以上の ON/OFF 比が達成できる可能性があることを見いだした.  $p_+-p-i-n-n_+$  構造は通常の  $p-i-n$  構造よりも素子寸法が大きくなるものの, [73] と同じ素子寸法で,  $SS < 60$  mV/dec を室温下で観測できる可能性がある.

GRTFET の解析では, GRTFET のチャネル領域のバンド構造が平坦になるために, 同じチャネル長の GTFET よりも原理的に低い  $SS$  を達成できることが分かった. また, Gate 3 領域の長さによってサブスレッショルド領域の  $SS$  を低減できることが分かった. GRTFET の素子構造は GTFET よりも複雑であり, 現在の加工技術で作製することは容易ではないが, GTFET を超えるスイッチング性能をもつ素子を実現できる可能性がある.

# 第6章 GTFETを用いた論理回路の性能評価

本研究では、コンパクトモデルを開発するために、第一原理解析の結果を利用した。コンパクトモデルは、Kane-Szeモデル [35] や H. Lu らの TFET モデル [75], WKB 近似を参考に開発した。解析した回路性能は、全て室温下での結果である。素子の寄生容量については、Technical CAD (TCAD) を用いて計算した。回路性能解析では、SILVACO 社の SmartSpice と Verilog-A コードを利用した。

## 6.1 コンパクトモデル

Kane-Sze モデル, H. Lu らのモデル, Landauer-btiker の式に基づき、ドレイン電流  $I_d$  は以下の式で求められる。

$$I_D = \alpha \cdot f \cdot V_{tw} \cdot T_{WKB}(\zeta) \quad (6.1)$$

$$V_{tw} = \ln[1 + \exp(\frac{V_{gs} - V_{th}}{U})] \quad (6.2)$$

$$U = R_0 \cdot V_t \cdot N_1 + \frac{(1 - R_0) \cdot V_t \cdot N_1 \cdot V_{goe}}{V_{th}} \quad (6.3)$$

$$f = \frac{1 - \exp(\frac{-V_{ds}}{\Gamma})}{1 + \exp(\frac{V_{thds}}{\Gamma})} \quad (6.4)$$

$$T_{WKB} = \exp(\frac{-\zeta}{\zeta_0}) \quad (6.5)$$

$$\zeta = \zeta_0(1 + \gamma_1 \cdot V_{ds} + \gamma_2 \cdot V_{gs}) \quad (6.6)$$

$$V_{goe} = \frac{V_{gs} - V_{OFF}}{V_{ds} - V_{OFF}} \quad (6.7)$$

ここで、 $f$  と  $U$  はそれぞれ Dimension factor と Urbach factor と呼ばれる。その他のパラメーターは 6.1 に示す。

今回の解析では、GNR 幅  $W = 1.6$  nm(バンドギャップ  $E_g = 0.68$  eV, ゲート長  $L_g = 20$  nm) と  $W = 2.4$  nm( $E_g = 0.45$  eV,  $L_g = 30$  nm) の 2 つの GTFET のコンパクトモデルを開発した。

この二つの GTFET は、第一原理解析において、図 6.1 のような優れた特性が得られることが分かっている [76]。開発したコンパクトモデルと第一原理解析から得られた伝達特性の比較を図 4.2 に示す。これらのコンパクトモデルは、フィッティングパラメーター  $R_0$  と  $N_1$ ,  $\Gamma$  を変更することで第一原理解析の結果を再現できる。これら以外のパラメーターについては共通であ

り, 第一原理解析や GTFET の先行研究 [77], [78] から求めた. 2つのコンパクトモデルは第一原理解析の結果と良い一致を示している. 図 4.2(a) の低ゲート電圧における不一致は S-D トンネリングリーク電流 [79] に起因している. コンパクトモデルにこの効果を取り入れるためには, バンド曲がりによるトンネル距離の変化をより正確に求める必要があり, コンパクトモデル内の式が複雑になる. 今回は, この S-D トンネリングリーク電流によるズレが  $\text{pA}/\mu\text{m}$  以下のオーダーで起きているため, 回路シミュレーションへの影響は小さいと考え, このコンパクトモデルを採用した.

表 6.1: コンパクトモデルの各パラメーター

| パラメーター名    | 説明               | 単位  |
|------------|------------------|-----|
| $\alpha$   | 量子化コンダクタンス       | S   |
| $V_{gs}$   | ゲート・ソース電圧        | V   |
| $V_{th}$   | 閾値電圧             | V   |
| $V_{ds}$   | ドレイン・ソース電圧       | V   |
| $V_{thds}$ | ドレイン・閾値電圧        | V   |
| $\zeta$    | トンネル接合領域の電界      | V/m |
| $\zeta_0$  | トンネル接合領域のビルトイン電圧 | V/m |
| $R_0$      | トンネル窓パラメータ       |     |
| $N_1$      | 理想サブスレッショルド係数    |     |
| $\Gamma$   | 飽和形状パラメータ        | V   |
| $\gamma_1$ | 電界パラメータ          | 1/m |
| $\gamma_2$ | 電界パラメータ          | 1/m |

表 6.2: 各 GTFET の素子性能

| GTFET の素子寸法               | SS<br>(mV/dec) | max $I_{ON}$<br>( $\mu\text{A}/\mu\text{m}$ ) | min $I_{OFF}$<br>(pA/ $\mu\text{m}$ ) | $V_{th}$<br>(V) |
|---------------------------|----------------|---|---------------------------------------|-----------------|
| W : 1.6 nm, $L_g$ : 20 nm | 13.7           | 470.6   | 0.02                                  | 0.15            |
| W : 2.4 nm, $L_g$ : 30 nm | 10.6           | 609.5   | 2.17                                  | 0.09            |

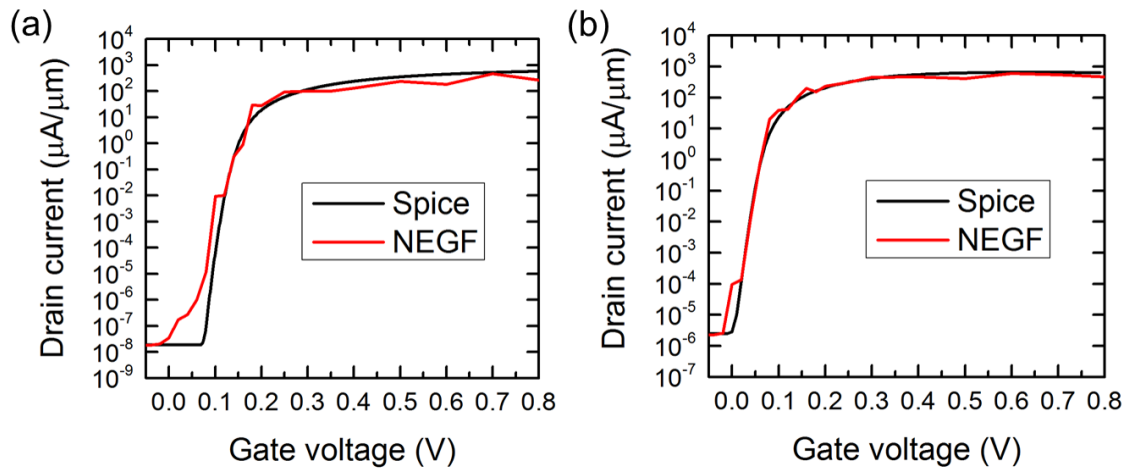


図 6.1: NEGF とコンパクトモデルの比較. (a) GNR 幅 1.6 nm, ゲート長 20 nm の GTFET. (b) GNR 幅 2.4 nm, ゲート長 30 nm の GTFET.

## 6.2 Inverter 回路

まず, n-TFET と p-TFET の動作の違いを明らかにするため, Inverter 回路の動作を解析した. 図 6.3 に GNR 幅 1.6 nm,  $L_g = 20$  nm の GTFET を適用した Inverter 回路の回路図と負荷容量がない場合の波形を示す. GTFET 内の S-D トンネリングリーク電流を小さくするため, バイアス窓をバンドギャップの半分以下となる 0.3 eV とする必要がある. そこで今回は, 駆動電圧  $V_{dd}$  と入力電圧  $V_{in}$  を 0.3 V とした. 図 6.2 では, 出力信号にオーバーシュートが見られる. このオーバーシュートはコンパクトモデル内の寄生容量に起因しており, 限りなく寄生容量を小さくした場合には現れず, 出力波形が矩形波に近づく.

次に, Inverter の負荷容量依存性を解析した. 図 6.4(a) は出力信号を "1" → "0" に切り替えた場合を, 図 6.4(b) は出力信号を "0" → "1" に切り替えた場合を示す. 負荷容量を増大させると, 負荷容量の充放電により, 出力波形のステップが丸くなる. また, オーバーシュートが小さくなる. GNR 幅 2.4 nm,  $L_g = 30$  nm の GTFET を適用した場合も同じ特徴が現れる. 負荷容量と遅延時間の関係を図 6.5 に示す.  $\tau_{HL}$  は出力信号が "1" → "0" に変わるときの遅延を,  $\tau_{LH}$  は出力信号が "0" → "1" に変わるときの遅延を示す. この二つの遅延の平均は  $\tau_{Average}$  で示す. 遅延時間は, 入力から出力が 50 % 変化する時間から見積もった. 両方の GTFET において, 負荷容量の増大とともに, 遅延時間が長くなること分かった. 図 6.5(a) に注目すると,  $\tau_{LH}$  が  $\tau_{HL}$  よりも小さくなるのが分かる. これは, p-GTFET が n-GTFET よりも遅延時間が短いことを示している. GNR 幅 2.4 nm の GTFET では,  $\tau_{LH}$  と  $\tau_{HL}$  が GNR 幅 1.6 nm の GTFET よりも小さい遅延時間となった. この遅延時間の差は, ON 電流の差に起因しており, ON 電流

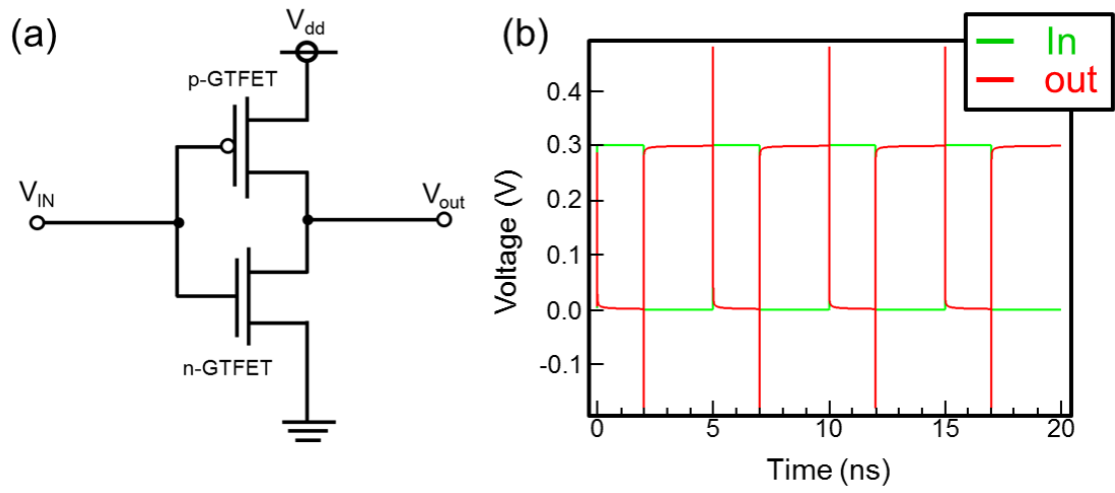


図 6.2: GTFET を適用した Inverter 回路. (a) 回路図. (b) 出力信号.

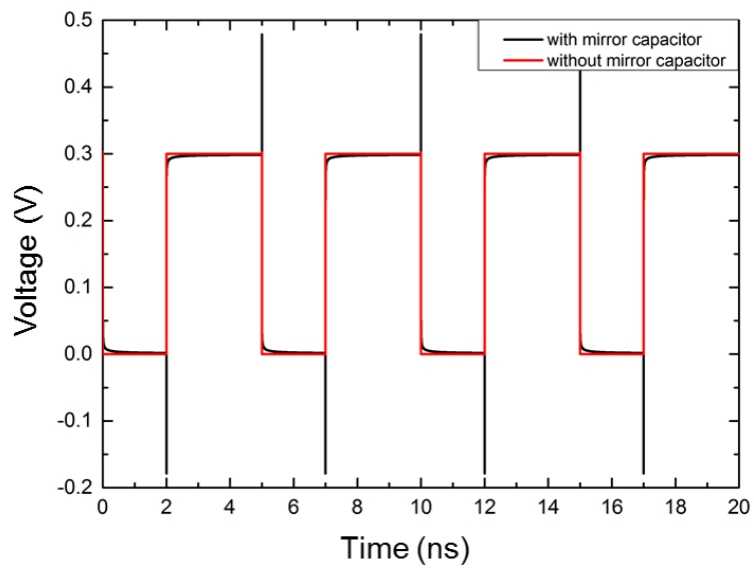


図 6.3: 寄生容量のオーバーシュートへの寄与.

が高い GNR 幅 2.4 nm の GTFET の方が遅延時間が短くなる。

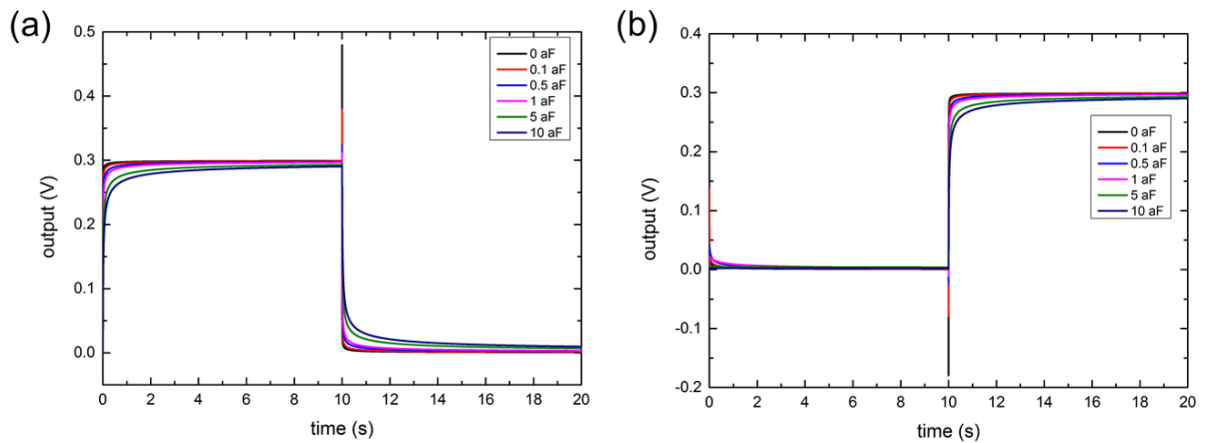


図 6.4: Inverter 回路における出力波形の負荷特性. (a) 出力信号 ”1” → ”0” の場合. (b) 出力信号 ”0” → ”1” の場合.

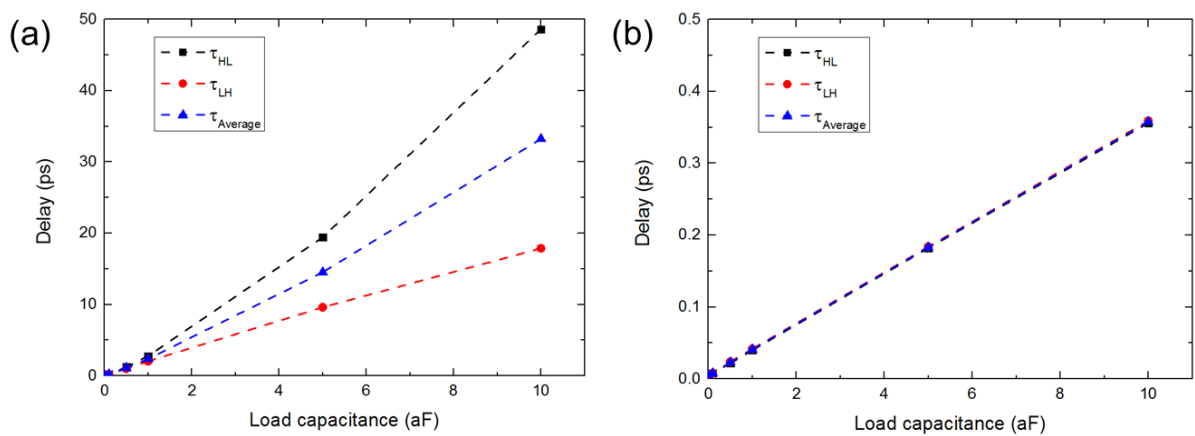


図 6.5: Inverter 回路における回路遅延の負荷容量依存性. (a) GNR 幅 1.6 nm の GTFET を適用した場合の遅延. (b) GNR 幅 2.4 nm の GTFET を適用した場合の遅延.



## 6.3 NAND 回路

図 6.6 に GNR 幅 1.6 nm,  $L_g = 20$  nm の GTFET を適用した NAND2 回路 (入力 2 つの NAND) の出力信号を示す. この回路では, 負荷容量を加えていない. 駆動電圧  $V_{dd}$  と入力電圧  $V_{in1}$ ,  $V_{in2}$  は, 0.3 V とした. NAND2 回路の負荷容量依存性を明らかにするため, 図 6.6(a) の回路の出力に負荷容量を加えて, その出力波形を解析した (図 6.7(a)). また, GNR 幅 2.4 nm,  $L_g = 30$  nm の GTFET を適用した NAND 回路についても同様の解析を行った (図 6.7(b)). この回路では, 駆動電圧と入力電圧を 0.2 V とした. 図 6.7 では, 負荷容量の増大するにつれ, 出力波形のステップに丸みが生じる. これは, 負荷容量の充放電によるものである. 負荷容量を大きくした場合, 両方の回路において負荷容量によりオーバーシュートが低減された (図 6.7(a)). このオーバーシュートの強度は負荷容量と入力電圧によって決定され, オーバーシュート電圧と入力電圧の比は各負荷で一定である (図 6.8(b)). 図 6.8 のオーバーシュート電圧は, 図 6.7(a), 6.7(b) のピーク出力電圧値から入力電圧を差し引いたものである. 図 6.9 に遅延の負荷容量依存性を示

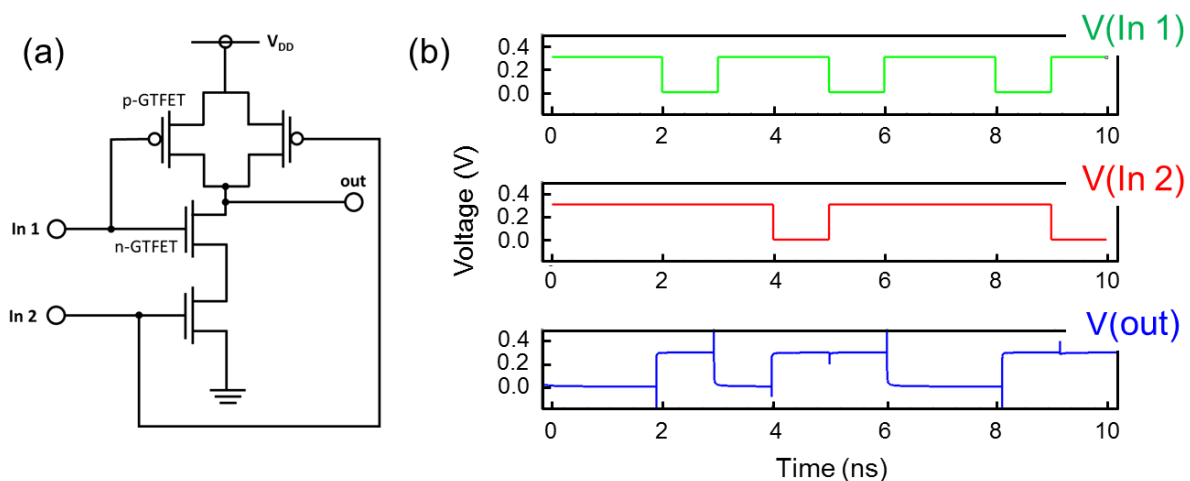


図 6.6: GTFET を適用した NAND2 回路. (a) 回路図. (b) 出力信号.

す. 遅延時間は, 入力から出力が 50% 変化する時間から見積もった. 負荷容量とともに遅延  $\tau_{HL}$ ,  $\tau_{LH}$ ,  $\tau_{Average}$  は増大する. 負荷の充放電により遅延が増大する. 二つの回路の遅延を比較すると, GNR 幅 1.6 nm の GTFET を用いた場合のほうが, 遅延が大きいことが分かった. これは, GNR 幅 1.6 nm の GTFET のほうが ON 電流が小さいことに起因している. . 次に, GTFET を適用した回路の消費エネルギーを計算した. 静的消費エネルギーは, GNR 幅 1.6 nm の GTFET を適用した回路では 0.004 aJ となり, GNR 幅 2.4 nm の GTFET を適用した回路では 0.02 aJ となっ

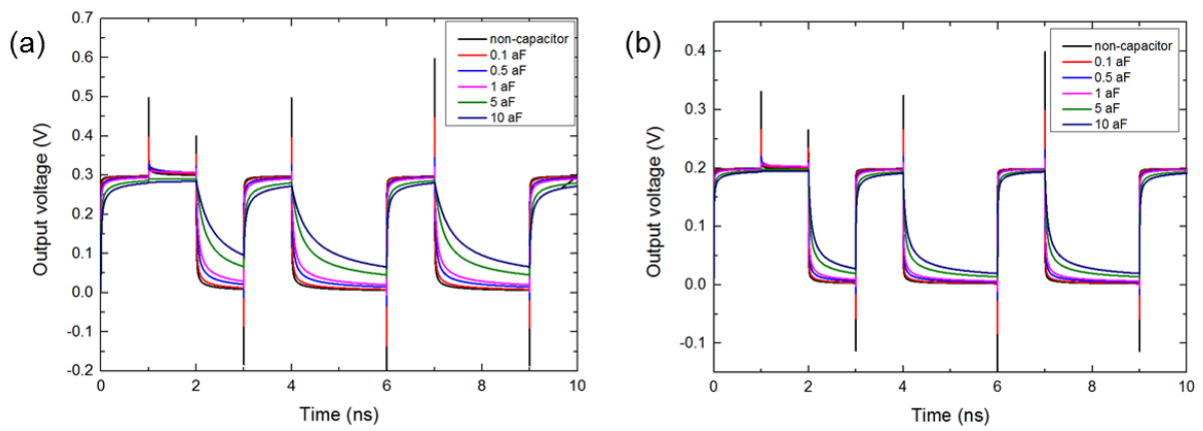


図 6.7: GTFET を適用した NAND2 回路における出力波形の負荷容量特性. (a) GNR 幅 1.6 nm の GTFET の場合. (b) GNR 幅 2.4 nm の GTFET の場合.

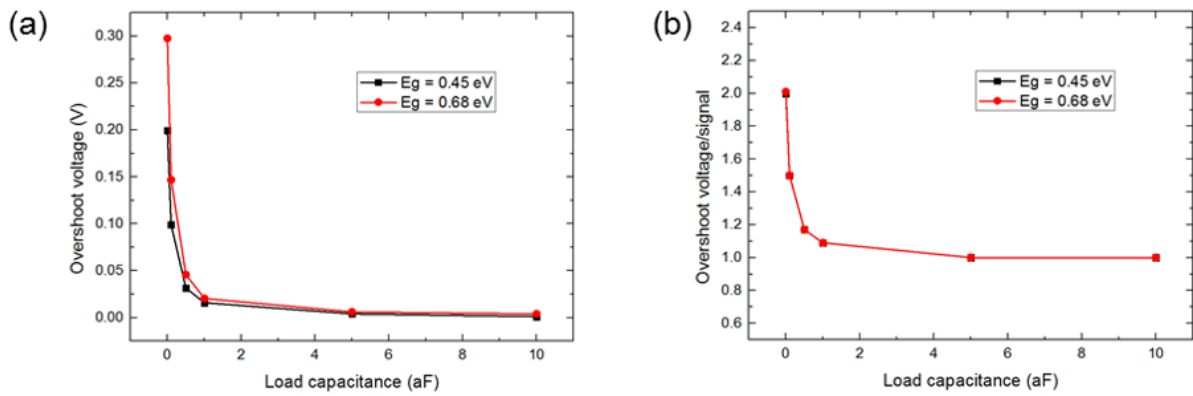


図 6.8: NAND2 回路におけるオーバーシュート電圧の負荷容量依存性. (a) 各 GTFET におけるオーバーシュート電圧の負荷容量依存性. (b) オーバーシュート電圧と入力信号の比の負荷容量依存性.

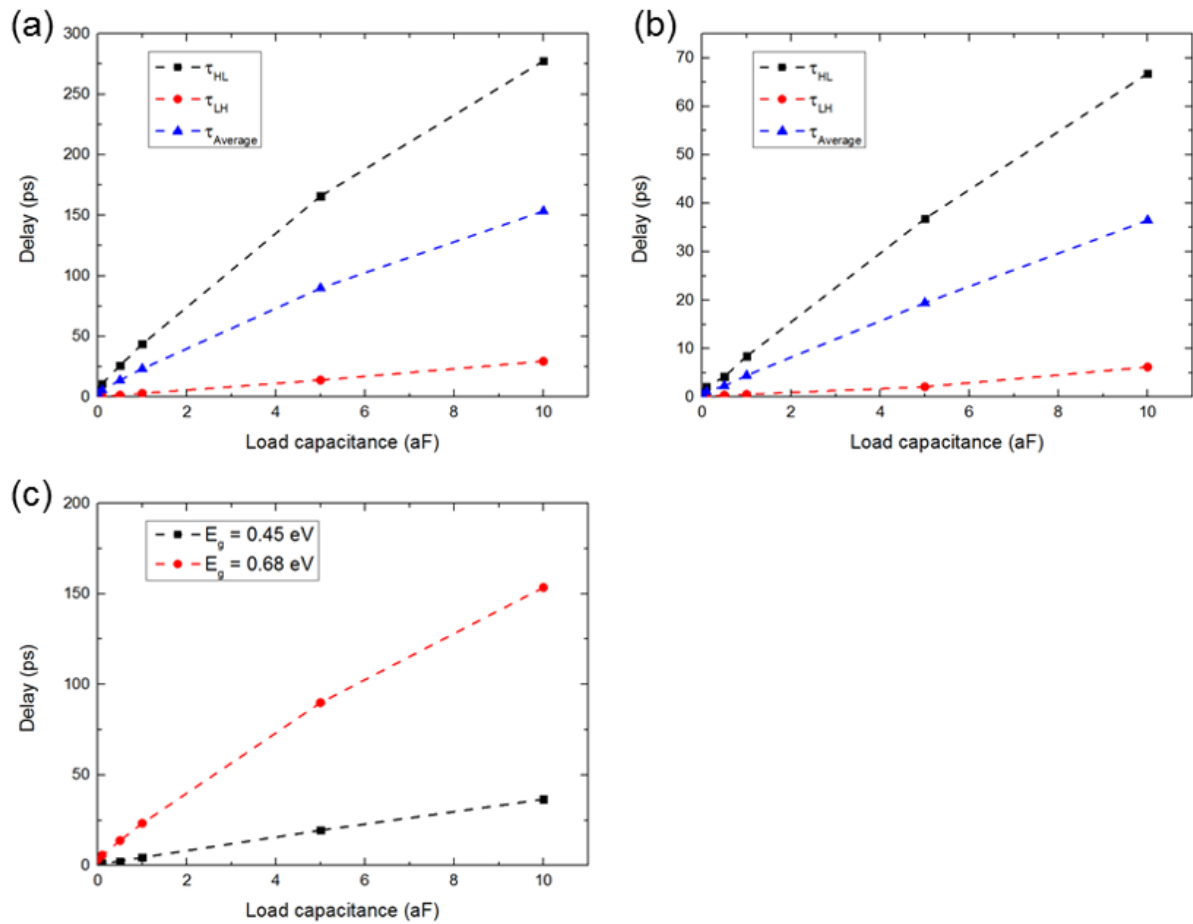


図 6.9: NAND2 回路における回路遅延の負荷容量依存性. (a) GNR 幅 1.6 nm の GTFET を適用した場合の遅延. (b) GNR 幅 2.4 nm の GTFET を適用した場合の遅延. (c) 平均遅延の負荷容量依存性の比較.

た. 動的消費エネルギーを計算し, 図 6.10 に示した. 動的消費エネルギーは, 各部の TFET と負荷容量での動的消費エネルギーを計算し, その総和で回路全体の動的消費エネルギーとして求めた. 動的消費エネルギーは二つの GTFET で異なっており, 負荷がつながっていない状態においては GNR 幅 2.4 nm の方が動的消費エネルギーが大きいことが分かった. この要因として, ON 電流の高さが挙げられる. 表 6.2 では, GNR 幅 2.4 nm の方が OFF 電流が大きいいため, OFF 状態から ON 状態に切り替わる時の消費エネルギーが GNR 幅 1.6 nm よりも大きくなる. 負荷容量を増大させた場合には, 駆動電圧の差に起因して, GNR 幅 1.6 nm の方が動的消費電力が高くなることが分かった. 出力信号が "0" から "1" に変化する場合に, 入力信号の片方が "0" の時と両方の入力信号が "0" の時の動的消費エネルギーの負荷容量依存性を比較すると, 図中の黒線と赤線のような違いが現れた. これは, 回路中の動作しているトランジスタ数の違いに起因しており, 両方の入力が "0" の場合の方が動作している素子が多いため, 動的消費エネルギーが大きくなる. 図 6.11 は, CMOS やスピンドバイスを適用した NAND 回路における消費エネ

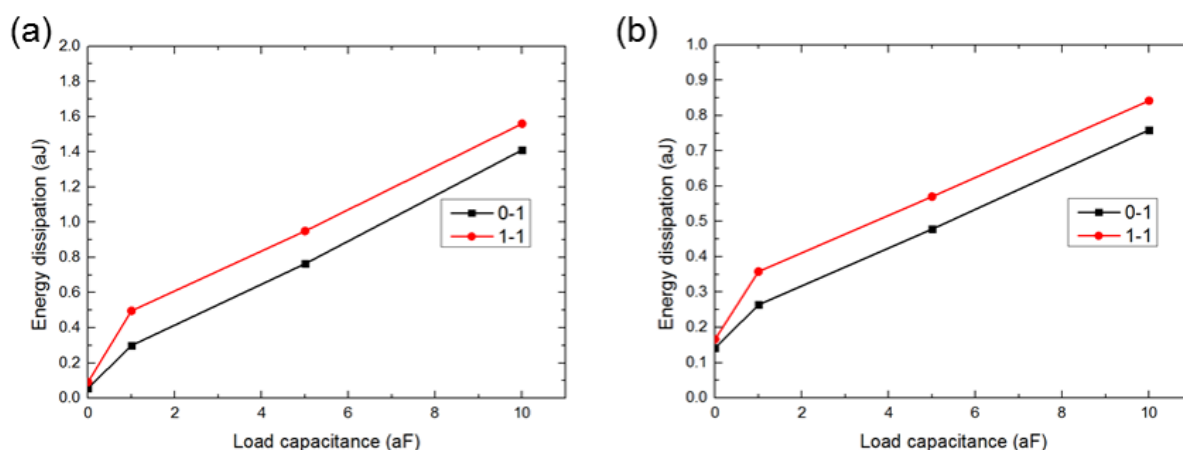


図 6.10: NAND2 回路の動的消費エネルギー. (a) GNR 幅 1.6 nm の GTFET を適用した場合の消費エネルギー. (b) GNR 幅 2.4 nm の GTFET を適用した場合の動的消費エネルギー. 図中の 0-1 は Input 1 が "0", Input 2 が "1" の場合の動的消費エネルギーを示しており, 1-1 は両方の入力が "0" の場合を示している.

ルギーと遅延を示している. これより, 今回の解析に用いた GTFET では, 既存の CMOS やスピンドバイスよりも低い消費エネルギーと遅延時間が達成できたことが分かる.

入力を増やした場合の NAND 回路の挙動を明らかにするため, NAND3, NAND5 回路を解析した. 図 4.13 に GNR 幅 2.4 nm の GTFET を適用した場合の NAND3 回路と NAND5 回路の波形を示す. 二つの出力波形に注目すると, NAND5 回路において出力信号が "1" → "0" に変わるときの遅延が大きい. 図 4.14 は NAND の入力数によ  $\tau_{HL}$  の変化を表している. 入力数が多く

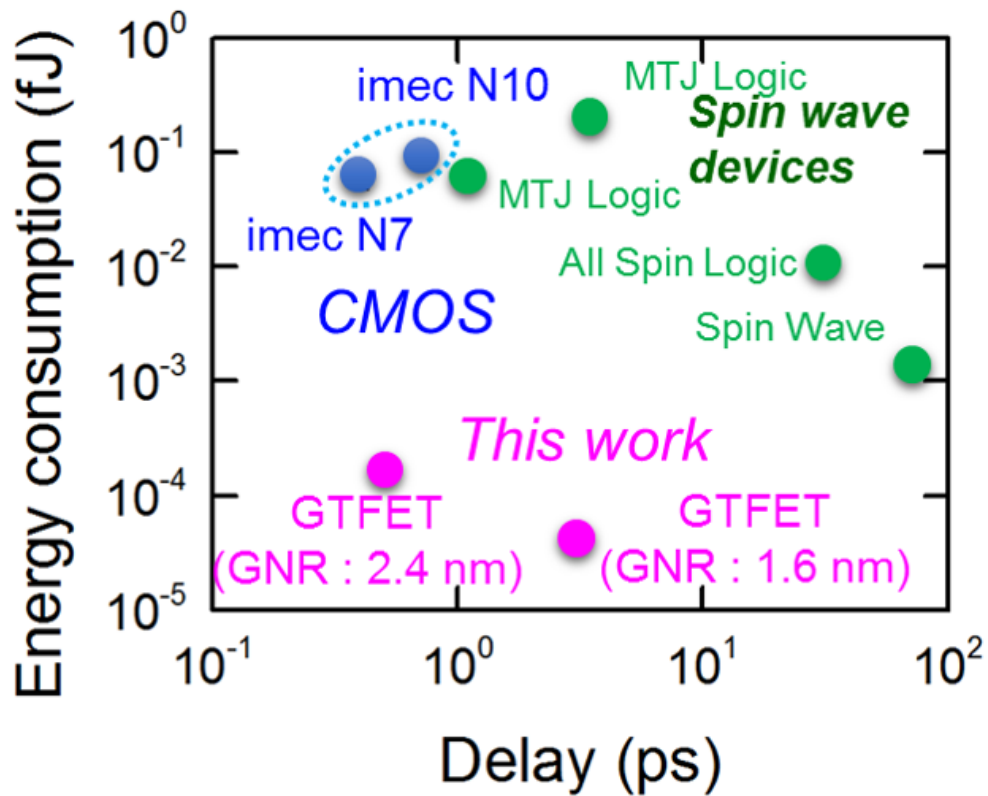


図 6.11: スイッチング素子の消費エネルギーと遅延 ([80] を参考に作成).

なるにつれ、出力信号が”1”→”0”に変わるときの遅延が増大していくことが分かる。GNR幅 1.6 nm の GTFET を適用した回路と GNR 幅 2.4 nm の GTFET を適用した場合を比較すると、遅延時間が 6~8 倍違うことが分かった。この結果は、 $SS$  が低いデバイスほど多入力による遅延が小さくなり、より入力数の多い NAND の実現が期待できる。

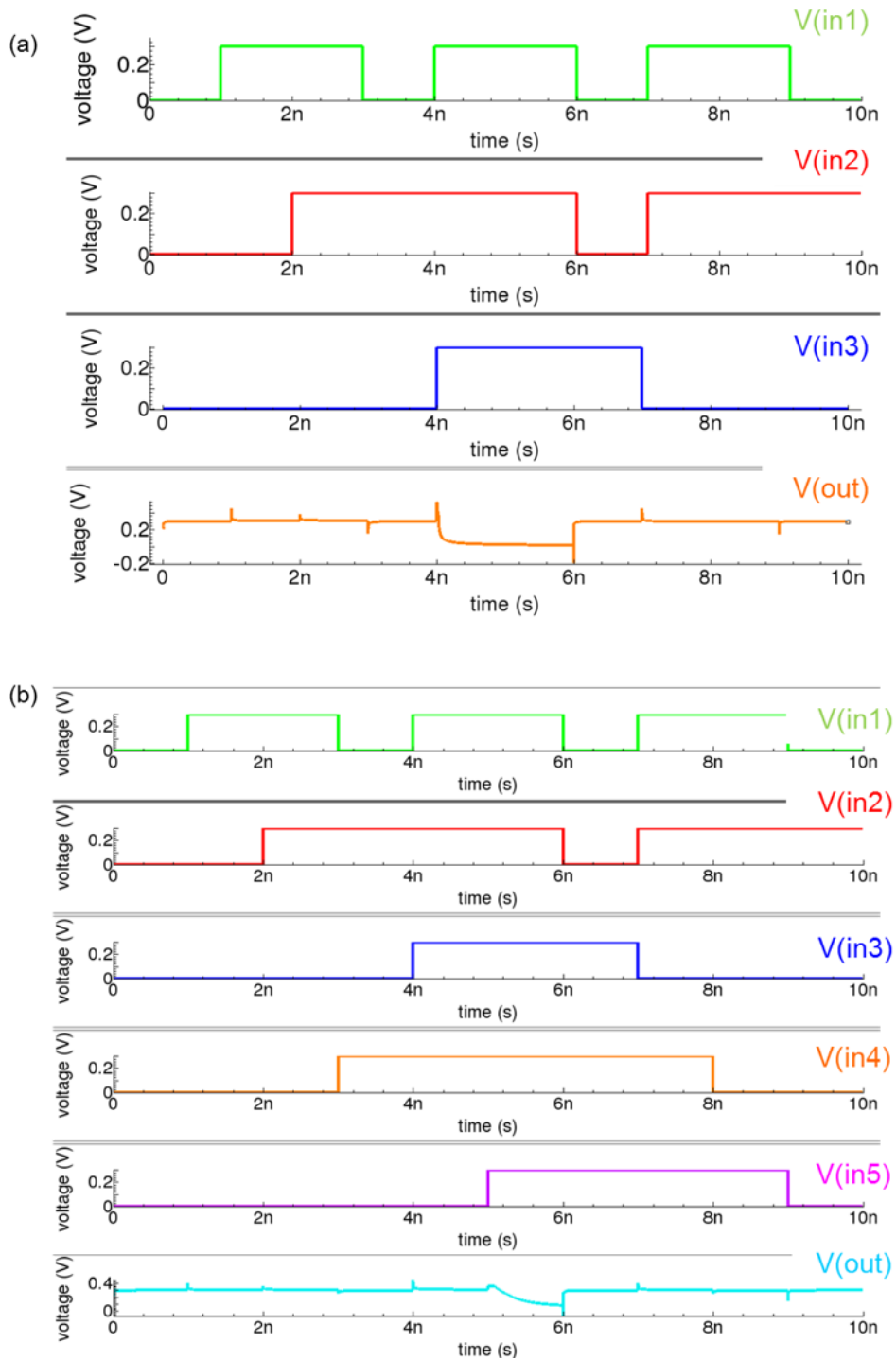


図 6.12: GNR 幅 2.4 nm の GTFET を適用した場合の NAND3 回路と NAND5 回路の波形. (a) NAND3 回路. (b) NAND5 回路.

## 6.4 Ring Oscillator

Ring Oscillator の GTFET を適用した Ring Oscillator の解析を行った. 図 6.13 に Ring Oscillator の回路図を示す. この解析では, GNR 幅 1.6 nm,  $L_g = 20$  nm の GTFET を用いた. 図 6.14 と図 6.15 に Ring Oscillator の段数を変化させた場合の波形を示す. この解析では, 負荷容量は加えていない. この図では, 奇数番の Inverter の出力波形を表示している. 図 6.14(a) では, 入力電圧 0.3 V よりもピーク電圧が小さい. これは, 出力信号の電圧が飽和し終わる前に次の信号が入ってくるために起こる. 図 6.14(d) に, 段数と波形周期の関係を示した. この図より, Inverter の個数が増えるほどに波形周期が線形的に増加することが分かる. これは, GNR 幅 2.4 nm の GTFET でも同じ傾向が現れる. 二つの図の周期と段数の関係を比較すると, GNR 幅 2.4 nm の GTFET を適用した場合に周期が GNR 幅 1.6 nm の GTFET の場合の約 1/10 しかないことが分かる. 段数による遅延時間の変化を図 6.16 に示す. 遅延時間  $\tau_d$  は, 下記の式より求めた.

$$\tau_d = \frac{T}{2N} \quad (6.8)$$

ここで,  $T$  は発振周期,  $N$  は段数を示す. 図より, 5~15 段までは急激に遅延時間が増大するが, 20 段以降では緩やかに遅延時間が増大していくことが分かる. 図 6.16(a) と 6.16(b) を比較すると, GNR 幅 2.4 nm の GTFET を用いた場合には, 遅延が GNR 幅 1.6 nm の GTFET の場合よりも約 1 桁小さくなった. これらの解析結果は, 表 6.2 の ON 電流の差が Ring Oscillator の周期や回路遅延に大きな差をとって現れることを示している.

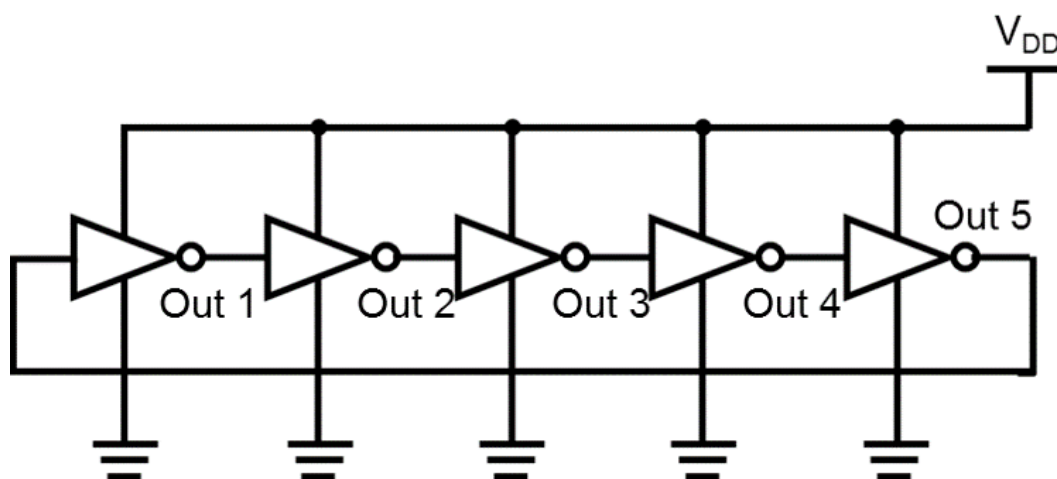


図 6.13: 5 stage Ring Oscillator の回路図.

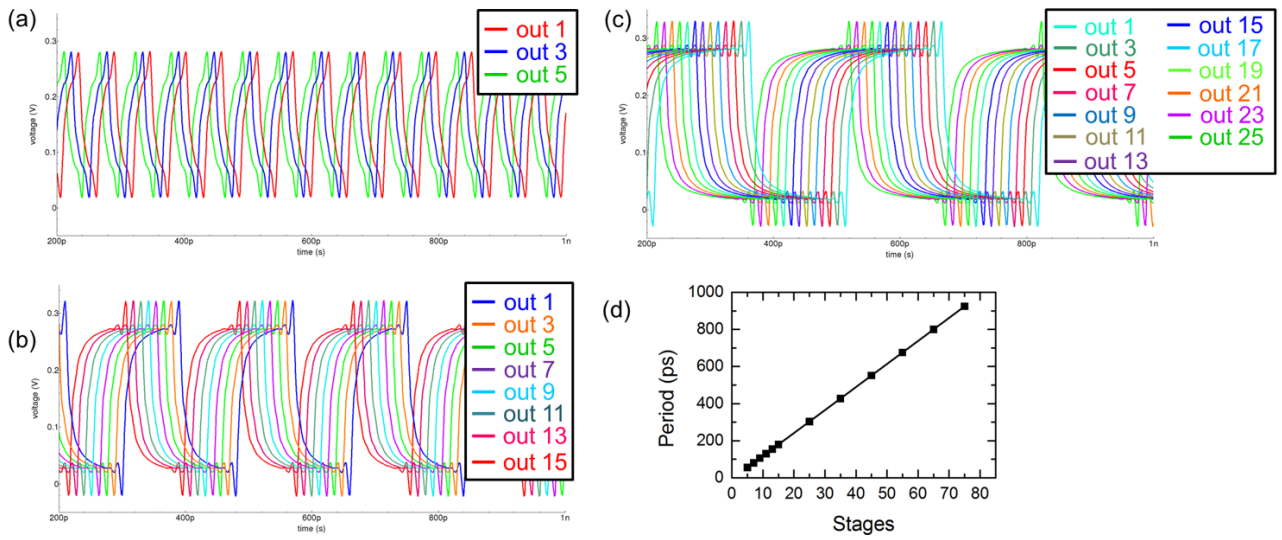


図 6.14: 異なる段数の GNR 幅 1.6 nm の GTFET を適用した Ring Oscillator の特性. (a) 5 段 Ring Oscillator の波形, (b) 15 段 Ring Oscillator の波形, (c) 25 段 Ring Oscillator の波形. (d) 段数による周期の変化.

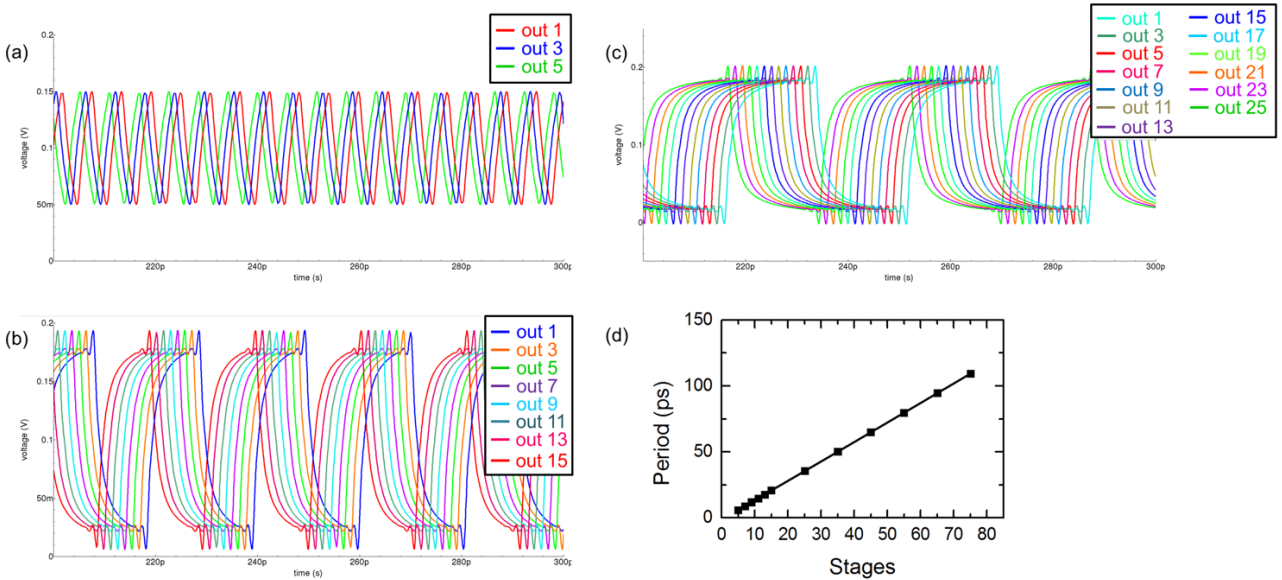


図 6.15: 異なる段数の GNR 幅 2.4 nm の GTFET を Ring Oscillator の特性. (a) 5 段 Ring Oscillator の波形, (b) 15 段 Ring Oscillator の波形, (c) 25 段 Ring Oscillator の波形. (d) 段数による周期の変化.



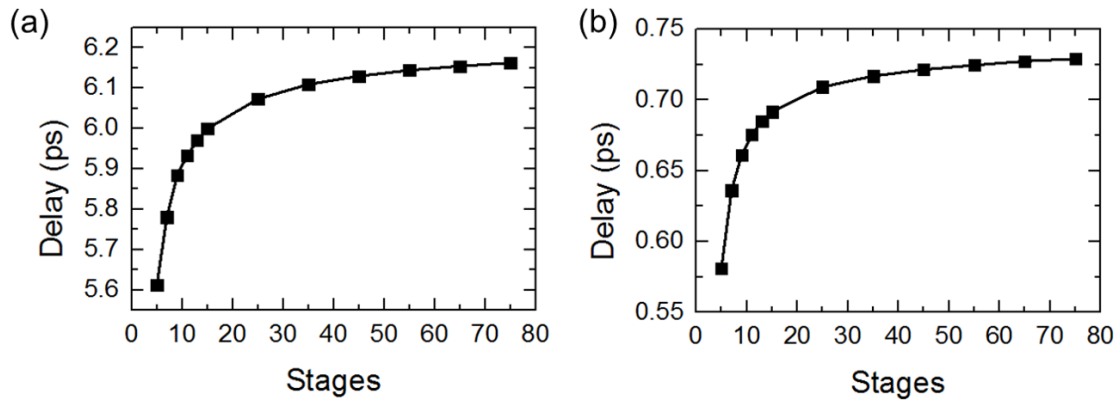


図 6.16: 遅延時間の段数依存性. (a) GNR 幅 1.6 nm の GTFET. (b) GNR 幅 2.4 nm の GTFET を適用した回路.

## 6.5 本章のまとめ

本章では、GTFET を論理回路に適用した場合の回路性能を明らかにするため、第一原理解析の結果を基に GTFET のコンパクトモデルを開発し、SPICE 回路シミュレーターを用いて、Inverter 回路、NAND 回路、Ring Oscillator 回路の解析を行った。また、バンドギャップの大きさが異なる二つの GTFET を適用した回路を比較することで、素子寸法の回路性能に対する影響を解析した。

GTFET を適用した Inverter 回路の解析では、素子内部の寄生容量により出力波形にオーバーシュートが発生することがわかった。オーバーシュートは負荷容量を回路内に加えることで低減することが出来るが、回路の遅延時間が増大する。この遅延時間は、p-GTFET が動作した場合のほうが n-GTFET が動作した場合よりも短くなることが分かった。また、二つの GTFET を比較すると、GNR 幅 2.4 nm の GTFET を適用した回路では、ON 電流の違いにより、GNR 幅 1.6 nm の GTFET を適用した場合よりも遅延時間が 2 桁小さくなることが分かった。NAND 回路では、負荷容量を回路内に加えた際に、遅延時間と動的消費エネルギーが ON 電流に強い影響を受けることが分かった。NAND 回路の入力数が増えた場合、遅延時間が段数とともに急激に増大することが分かった。また、素子寸法が大きい GTFET では ON 電流が大きくなり、遅延時間が短くなることが分かった。これは、ON 電流が高い素子ほど入力数を多くできることを示唆している。GTFET を適用した Ring Oscillator 回路では、Oscillator の段数が増えるほどに出力波形の周期が長くなった。この周期や遅延は、二つの GTFET で 10 倍近くの差があることが分かった。これは、ON 電流の違いにより、Oscillator の周期と遅延に明確な差を現れることを示している。

## 第7章 まとめと今後の課題

本研究では、既存の MOSFET の代替となる新奇スイッチング素子グラフェントネル電界効果トランジスタ (GTFET) の開発に向け、原子スケールから各素子性能がどのように決定されているかを解析し、既存の TFET よりも高い ON 電流 ( $> 10 \mu\text{A}/\mu\text{m}$ ), 高い ON/OFF 比 ( $> 10^8$ ),  $SS < 60 \text{ mV}/\text{dec}$  を達成することを目的とした。

本研究の成果として、以下のものが挙げられる。

- 解析した GTFET では、 $V_{Bias} = 0.5 \text{ V}$  のときに、ON 電流  $1281.1 \mu\text{A}/\mu\text{m}$ , OFF 電流  $0.16 \text{ pA}/\mu\text{m}$ , ON/OFF 比  $7 \times 10^9$  を得た。また、 $V_{Bias} = 0.05 \text{ V}$  で ON 電流  $85.1 \mu\text{A}/\mu\text{m}$  が得られ、低いバイアス電圧でも既存の TFET より高い ON 電流を得られることが分かった。
- GNR 幅及びチャネル長の解析結果を基に、素子内のポテンシャルバリア  $U(x)$  を一定になるようにスケーリングする”Constant  $U(x)$  スケーリング法”を新たに考案し、幅の広い GNR においても低い OFF 電流と  $SS$  が得られることを見出した。
- ソース・ドレインバイアス電圧と素子構造依存性の解析から、各素子性能がソース・ドレイン直接トンネリング電流、熱電子リーク電流、ソースとドレイン領域の擬フェルミ準位の差に影響を受けることが分かった。これらの影響を考慮した  $SS$  の解析モデルを開発し、GNR 幅  $\leq 8.6 \text{ nm}$ , チャネル長  $\geq 43 \text{ nm}$  で  $SS < 60 \text{ mV}/\text{dec}$  が得られることを明らかにした。また、ON/OFF 比  $\geq 10^8$  を達成するためには、GNR 幅  $\leq 2.7 \text{ nm}$ , チャネル長  $\geq 50 \text{ nm}$  が必要であることを明らかにした。
- 熱電子リーク電流を低減できる新素子構造を考案し、試作素子と同じバンドギャップ ( $0.07 \text{ eV}$ ) をもつ GNR において、 $SS = 53.6 \text{ mV}/\text{dec}$  を得た。また、共鳴トンネル効果を利用してスイッチングする新奇素子グラフェン共鳴トンネル FET (GRTFET) を新たに考案し、チャネル領域の平坦な伝導帯バンドによって、同じチャネル長をもつ GTFET よりも原理的に低い  $SS$  が得られることを明らかにした。
- 第一原理解析で解析した GTFET のコンパクトモデルを開発し、論理回路に適用した場合の回路性能を解析した。その結果、既存の MOSFET やスピンドバイスよりも 2 桁以上低い消費エネルギーと  $1 \text{ ps}$  以下の短い遅延時間を達成した。

これら成果は、優れた素子性能を持つ GTFET を開発するために重要な知見であり、将来の低消費電力大規模集積回路の開発に貢献できる。

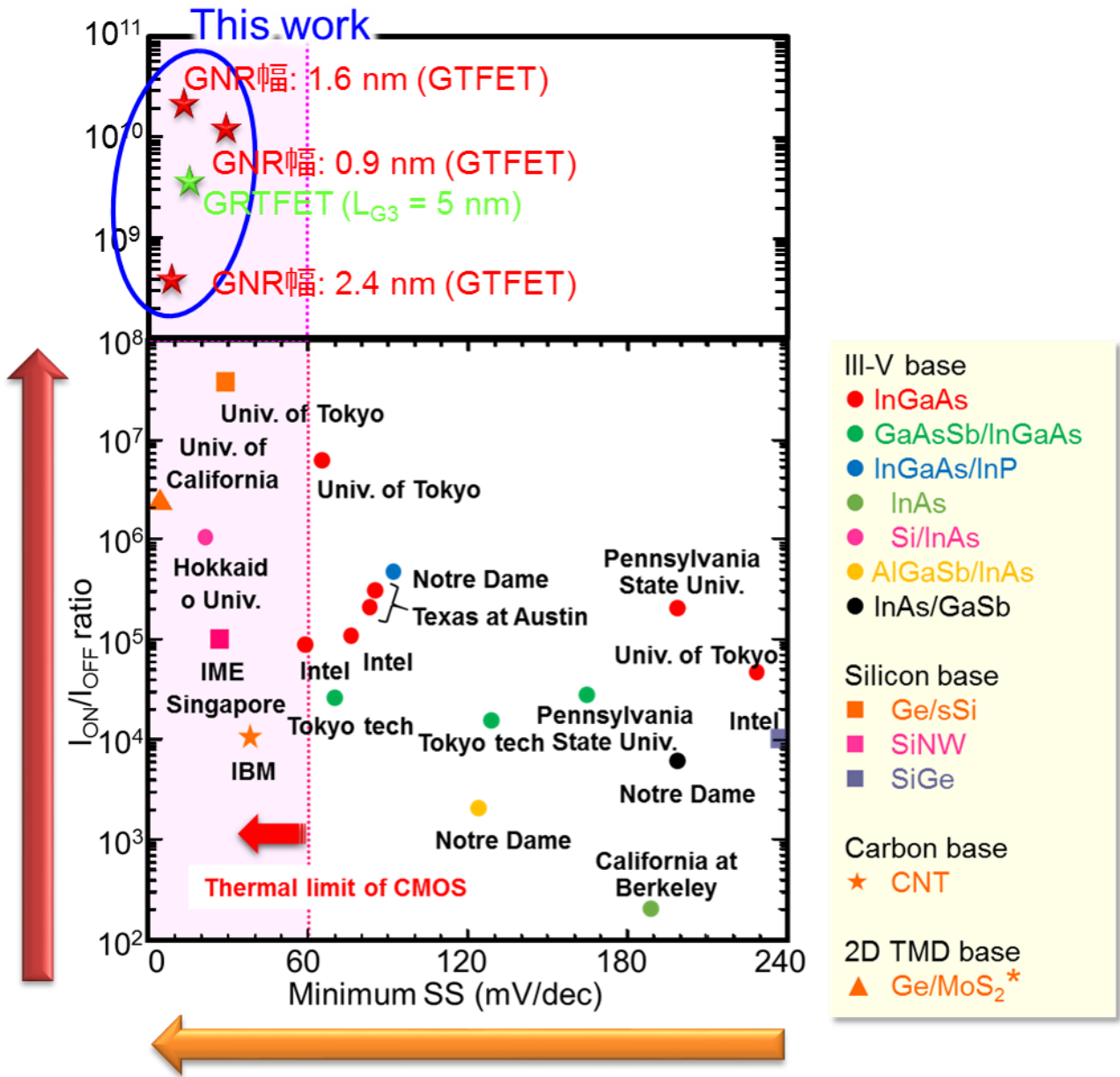


図 7.1: GTFET と各 TFET における SS と ON/OFF 比の関係 [10]-[34]([11] の図面をもとに作成)

今後の本研究の課題として、エッジラフネスを考慮した素子設計指針の解明が挙げられる。今回の解析では、フォノン散乱やエッジラフネスを含まないGNRで解析を行っている。しかし、素子寸法の大きなデバイスでは、グラフェンのフォノン散乱を考慮する必要がある。また、トップダウンで素子を作製する場合、GNRに加工した際にエッジラフネスが発生する。エッジラフネスを含むグラフェンでは、バンドギャップの大きさにばらつきが生まれる。これにより、キャリアがバンドギャップの小さい部分を介してソースからドレインにパドリングしてしまい、OFF電流が増大する。従って、これらの条件下で  $SS < 60 \text{ mV/dec}$  や ON/OFF 比  $> 10^8$  を達成できる素子設計指針を明らかにするためには、エッジラフネスの影響を反映した  $SS$  の温度依存性の解析モデルを開発する必要がある。一般に、散乱要因の影響を解析する場合には、統計的な結果を出すために、膨大な量の素子を計算する必要がある。しかし、GNRにおけるエッジラフネスの影響については、M. Poljak や K. Takashima らによって詳細な解析がされており [81], [82], エッジラフネスを考慮した場合の GTFET の素子性能についての解析モデルをこれらの解析結果から導ける可能性がある。

本研究の一部は、独立行政法人科学技術振興機構 (JST) の研究成果展開事業「センター・オブ・イノベーション (COI) プログラム」の支援によって行われた。

# 参考文献

- [1] 前田 和夫 著, 工業調査会, 「はじめての半導体プロセス」, 初版, 2001 年.
- [2] S. Saurabh, M. J. Kumar, Fundamentals of tunnel field-effect transistors, CRC press, 2016. ISBN: 978-1-4987-6713-2.
- [3] G. E. Moore, Cramming more components onto integrated circuits, Electronics, 87, (1965) 114-117.
- [4] F. Schwierz, Nature Nanotechnology, 5, (2010) 487-496. doi: 10.1038/nnano.2010.89.
- [5] Qualcomm, Inc., Disrupting the datacenter: Qualcomm Centriq 2400 Processor, (2017).
- [6] R. Puri, L. Stok, S. Bhattacharya, Keeping Hot Chips Cool, Design Automation Conference, (2005). doi: 10.1145/1065579.1065653
- [7] E-H. Toh, G. H. Wang, et al., International Electron Devices Meeting (IEDM), (2007). doi: 10.1109/IEDM.2007.4418900
- [8] Q. Zhang, W. Zhao, A. Seabaugh, Low-subthreshold-swing tunnel transistors, IEEE Electron Device Letters, 27, 4, (2006) 297-300. doi: 10.1109/LED.2006.871855.
- [9] S. Chung, M. A. Ul Karim, H-J. Kwon, V. Subramanian, High-Performance Inkjet-Printed Four-Terminal Microelectromechanical Relays and Inverters, Nano Letters, 15, 5, (2015) 3261-3266. doi: 10.1021/acs.nanolett.5b00477.
- [10] J. Appenzeller, Y. M. Lin, J. Knoch, P. Avouris, Band-to-band tunneling in carbon nanotube field-effect transistors, Physical Review Letters, 93, 19, 196805, (2004). doi: 10.1103/PhysRevLett.93.196805.
- [11] M. Kim, Y. Wakabayashi, R. Nakane, M. Yokoyama, M. Takenaka, S. Takagi, High Ion/Ioff Ge-source ultrathin body strained-SOI tunnel FETs Impact of channel strain, MOS interfaces and back gate on the electrical properties, Tech. Dig. - IEEE Int. Electron Devices Meeting (IEDM). (2014) 13-2. doi:10.1109/IEDM.2014.7047043.

- [12] M. Noguchi, S. Kim, M. Yokoyama, S. Ji, O. Ichikawa, T. Osada et al., High  $I_{on}/I_{off}$  and low subthreshold slope planar-type InGaAs Tunnel FETs with Zn-diffused source junctions, International Electron Devices Meeting (IEDM), (2013). doi: 10.1109/IEDM.2013.6724707.
- [13] A. C. Ford, C. W. Yeung, S. Chuang, H. S. Kim, E. Plis, S. Krishna et al., Ultrathin body InAs tunneling field-effect transistors on Si substrates, Applied Physics Letters, 98, 113105 (2015). doi: 10.1063/1.3567021.
- [14] K. Jeon, W.-Y. Loh, P. Patel, C. Y. Kang, O. Jungwoo, A. Bowonder, et al., Si Tunnel Transistors With a Novel Silicided Source and 46mV/dec Swing, presented at the 2010 IEEE Symposium on VLSI Technology, Honolulu, Hawaii, (2010) 121-122. doi: 10.1109/VLSIT.2010.5556195.
- [15] D. Leonelli, A. Vandooren, R. Rooyackers, A. S. Verhulst, S. D. Gendt, M. M. Heyns, et al., Performance Enhancement in Multi Gate Tunneling Field Effect Transistors by Scaling the Fin-Width, Japanese Journal of Applied Physics, 49, 04DC10, (2010). <https://doi.org/10.1143/JJAP.49.04DC10>.
- [16] R. Gandhi, C. Zhixian, N. Singh, K. Banerjee, and L. Sungjoo, CMOS-Compatible Vertical-Silicon-Nanowire Gate-All-Around p-Type Tunneling FETs With  $\leq 50$  mV/decade Subthreshold Swing, IEEE Electron Device Letters, 32, (2011) 15041506. doi: 10.1109/LED.2011.2106757.
- [17] D. Sarkar, X. Xie, W. Liu, W. Cao, J. Kang, Y. Gong, et al., A subthermionic tunnel field-effect transistor with an atomically thin channel, Nature, 526, 7571, (2015) 91-95. doi: 10.1038/nature15387.
- [18] L. D. Michielis, L. Lattanzio, K. E. Moselund, H. Riel, and A. M. Ionescu, Tunneling and Occupancy Probabilities: How Do They Affect Tunnel-FET Behavior?, IEEE Electron Device Letters, 34, 6, (2013) 726728. doi: 10.1109/LED.2013.2257665.
- [19] M. Luisier, G. Klimeck, Simulation of nanowire tunneling transistors: From the WentzelKramersBrillouin approximation to full-band phonon-assisted tunneling, Journal of Applied Physics, 107, 8, 084507, (2010). <https://doi.org/10.1063/1.3386521>.

- [20] D. Verreck, A. S. Verhulst, K. H. Kao, W. G. Vandenberghe, K. D. Meyer, G. Groeseneken, Quantum Mechanical Performance Predictions of p-n-i-n Versus Pocketed Line Tunnel Field-Effect Transistors, *IEEE Transaction Electron Devices*, 60, 7, (2013) 21282134. doi: 10.1109/TED.2013.2260237.
- [21] R. Kotlyar, U. E. Avci, S. Cea, R. Rios, T. D. Linton, K. J. Kuhn, A. Young, Bandgap engineering of group IV materials for complementary n and p tunneling field effect transistors, *Applied Physics Letters*, 102, 11, 113106, (2013). <https://doi.org/10.1063/1.4798283>.
- [22] U. E. Avci, S. Hasan, D. E. Nikonov, R. Rios, K. Kuhn, I. A. Young, Understanding the feasibility of scaled III-V TFET for logic by bridging atomistic simulations and experimental results, in 2012 Symposium on VLSI Technology (VLSIT), (2012) 183184.
- [23] S. Agarwal, G. Klimeck, and M. Luisier, Leakage-Reduction Design Concepts for Low-Power Vertical Tunneling Field-Effect Transistors, *IEEE Electron Device Letters*, 31, 6, (2010) 621-623. doi: 10.1109/LED.2010.2046011.
- [24] F. Conzatti, M. G. Pala, D. Esseni, E. Bano, L. Selmi, Strain-Induced Performance Improvements in InAs Nanowire Tunnel FETs, *IEEE Transaction Electron Devices*, 59, 8, (2012). doi: 10.1109/TED.2012.2200253.
- [25] S. S. Sylvia, M. A. Khayer, K. Alam, R. K. Lake, Doping, Tunnel Barriers, and Cold Carriers in InAs and InSb Nanowire Tunnel Transistors, *IEEE Transaction Electron Devices*, 59, 11, (2012) 29963001. doi: 10.1109/TED.2012.2212442.
- [26] K. Tomioka, M. Yoshimura, and T. Fukui, Steep-slope tunnel field-effect transistors using III-V nanowire/Si heterojunction, in 2012 Symposium on VLSI Technology (VLSIT), (2012) 4748.
- [27] U. E. Avci, I. A. Young, Heterojunction TFET Scaling and resonant-TFET for steep subthreshold slope at sub-9nm gate-length, in 2013 IEEE International Electron Devices Meeting (IEDM), (2013) 4.3.1-4.3.4. doi: 10.1109/IEDM.2013.6724559.
- [28] Y. Lu, G. Zhou, R. Li, Q. Zhang, T. Vasen, S. D. Chae et al., Performance of AlGaSb/InAs TFETs With Gate Electric Field and Tunneling Direction Aligned, *IEEE Electron Device Letters*, 33, 5, (2012) 655657. doi: 10.1109/LED.2012.2186554.

- [29] Q. Zhang, S. Sutar, T. Kosel, and A. Seabaugh, Rapid melt growth of Ge tunnel junctions for interband tunnel transistors, in Semiconductor Device Research Symposium, 2007, (2007) 12. doi: 10.1109/ISDRS.2007.4422291
- [30] K. K. Bhuvalka, J. Schulze, and I. Eisele, Performance Enhancement of Vertical Tunnel Field-Effect Transistor with SiGe in the  $\delta p+$  Layer, Japanese Journal of Applied Physics, 43, 7R, 4073, (2004). <https://doi.org/10.1143/JJAP.43.4073>.
- [31] J. Knoch, J. Appenzeller, Tunneling phenomena in carbon nanotube field-effect transistors, Physica Status Solidi A, 205, 4, (2008) 679694. <https://doi.org/10.1002/pssa.200723528>
- [32] J. Knoch, S. Mantl, J. Appenzeller, Impact of the dimensionality on the performance of tunneling FETs: Bulk versus one-dimensional devices, Solid-State Electron. 51, 4, (2007) 572578. <https://doi.org/10.1016/j.sse.2007.02.001>.
- [33] K. Tomioka, M. Yoshimura, T. Fukui, Steep-slope tunnel field-effect transistors using III-V nanowire/Si heterojunction, IEEE VLSI Symposium, (2012). doi: 10.1109/VLSIT.2012.6242454.
- [34] T. Krishnamohan, K. Donghyun, S. Raghunathan, and K. Saraswat, Double-Gate Strained-Ge Heterostructure Tunneling FET (TFET) With record high drive currents and  $\sim 60$  mV/dec subthreshold slope, IEEE Electron Devices Meeting (IEDM), (2008) 13. 10.1109/IEDM.2008.4796839.
- [35] S. M. Sze, Kwok K. Ng, Physics of Semiconductor Devices, 3rd edition, Wiley, New York, (2006) 47-48. ISBN:978-0-471-14323-9.
- [36] The International Roadmap for Devices and Systems-Beyond CMOS, (2017).
- [37] K. Tomioka, M. Yoshimura, and T. Fukui, A III-V nanowire channel on silicon for high-performance vertical transistors, Nature, 488, (2012) 189192. doi: 10.1038/nature11293.
- [38] D. J. Wouters, J. P. Colinge, H. E. Maes, Subthreshold Slope in Thin-Film SOI MOS-FET's, IEEE Transaction on Electron Devices, 37, 9, (1990). doi: 10.1109/16.57165.
- [39] 斉藤 理一郎 著, 共立出版, フラレン・ナノチューブ・グラフェンの科学, 初版, 2015年.



- [40] H. Imahori and S. Fukuzumi, Porphyrin- and Fullerene- Based Molecular Photovoltaic Devices, *Advanced Functional Materials* 6, (2004). <https://doi.org/10.1002/adfm.200305172>.
- [41] S. Iijima, *Nature*, 354, 56-58, (1991). <https://doi.org/10.1038/354056a0>.
- [42] S. Iijima, M. Yudasaka, R. Yamada, S. Bandow, K. Suenaga, F. Kokai, K. Takahashi, Nano-aggregates of single-walled graphitic carbon nano-horns, *Chemical Physics Letters*, 309, 3-4, (1999) 165-170. [https://doi.org/10.1016/S0009-2614\(99\)00642-9](https://doi.org/10.1016/S0009-2614(99)00642-9).
- [43] H. P. Boehm, A. Clauss, G. O. Fischer, U. Hofmann, Das Adsorptionsverhalten sehr dünner Kohlenstoff- Folien, *Zeitschrift für anorganische und allgemeine Chemie*, (1962).
- [44] A. K. Geim, K. S. Novoselov, The rise of graphene, *Nature Materials*, 6, (2007) 183-191. <https://doi.org/10.1038/nmat1849>.
- [45] S. V. Morozov, K. S. Novoselov, M. I. Katsnelson, F. Schedin, L. A. Ponomarenko, D. Jiang et al., Strong suppression of weak localization in graphene, *Physical Review Letters*, 97, 016801, (2006). doi: 10.1103/PhysRevLett.97.016801
- [46] G. Brumfiel, Graphene gets ready for the big time, *Nature*, 458, 390-391, (2009). doi:10.1038/458390a.
- [47] J-H. Chen, C. Jang, S. Xiao, M. Ishigami, M. S. Fuhrer, Intrinsic and extrinsic performance limits of graphene devices on SiO<sub>2</sub>, *Nature Nanotechnology*, 3, 206-209, (2008). <https://doi.org/10.1038/nnano.2008.58>.
- [48] M. Y. Han, J. C. Brant, P. Kim, Electron Transport in Disordered Graphene Nanoribbons, *Physical Review Letters*, 104, 056801, (2007). doi: 10.1103/PhysRevLett.104.056801.
- [49] M. R. Müller, A. Gumprich, F. Schütte, K. Kallis, U. Künzelmann, S. Engels et al., Buried triple-gate structures for advanced field-effect transistor devices, *Microelectronic Engineering*, 119, (2014) 95-99. <https://doi.org/10.1016/j.mee.2014.02.001>.
- [50] R. Cheng, J. Bai, L. Liao, H. Zhou, Y. Chen, L. Liu, Y-C. Lin, S. Jiang, Y. Huang, X. Duan, High-frequency self-aligned graphene transistors with transferred gate stacks, *Proceedings of the National Academy of Sciences*, 109, 29, (2012) 11588-11592. <https://doi.org/10.1073/pnas.1205696109>.

- [51] A. K. Sood, I. Lund, Y. R. Puri, H. Efstathiadis, P. Haldar, N. K. Dhar et al., Review of Graphene Technology and Its Applications for Electronic Devices, Graphene-New Trends and Developments. InTech, (2015) 59-89. doi: 10.5772/61316.
- [52] J. Sun, T. Iwasaki, M. Muruganathan, H. Mizuta, Lateral plasma etching enhanced on/off ratio in graphene nanoribbon field-effect transistor, Applied Physics Letters, 106, 033509, (2015). <https://doi.org/10.1063/1.4906609>.
- [53] Q. Zhang, T. Fang, H. Xing, A. Seabaugh, D. Jena, Graphene Nanoribbon Tunnel Transistors, IEEE Electron Device Letters, 29, 12, (2008) 1344-1346. doi:10.1109/LED.2008.2005650.
- [54] Q. Zhang, Y. Lu, C. A. Curt, D. Jena, and A. Seabaugh, Analytic determination of the optimum bandgap for a tunnel FET, in Proceeding Device research conference, (2012) 12.
- [55] 山下 次郎 著, 朝倉書店, 固体電子論, 初版, 1973 年.
- [56] 里子 允敏, 大西 樽平 著, 講談社サイエンティフィック, 密度汎関数法とその応用 分子とクラスターの電子状態, 1995 年
- [57] QuantumWise ATK-DFT と STK-SE の比較  
(<http://quantumwise.co.jp/products/atk/comparison.html>).
- [58] 水谷 宇一郎 著, 内田老鶴圃, 金属電子論 上, 1995 年.
- [59] 大場 一輝, 修士論文 単層カーボンナノチューブの電子・光学物性に及ぼす曲率の影響, 2006 年.
- [60] 廣田 穰 著, 裳華房, 化学新シリーズ 分子軌道法, 第 5 版, 2007 年.
- [61] QuantumWise, 非平衡グリーン関数による分子デバイスの第一原理電気伝導計算, 2009 年.
- [62] H. Raza, E. C. Kan, Armchair graphene nanoribbons: Electronic structure and electric-field modulation, Physical Review Letters, 77, 245434, (2008), <https://doi.org/10.1103/PhysRevB.77.245434>.
- [63] 若林 克法 著, 講義, 第 56 回物性若手夏の学校 (2011 年度) 研究と人生の指針, 物性研究, 2012 年.

- [64] Y. Koga, T. Kaneda, Y. Saito, K. Murakami, K. Itami, Synthesis of partially and fully fused polyaromatics by annulative chlorophenylene dimerization, *Science*, 358, (2018) 435-439. doi:10.1126/science.aap9801.
- [65] Y. Morita, S. Migita, W. Mizubayashi, H. Ota, Fabrication of Direct-Contact Higher-k HfO<sub>2</sub> Gate Stacks by Oxygen-Controlled Cap Post-Deposition Annealing, *Japanese Journal of Applied Physics*, 50, 10S, (2011). doi: 10.1143/JJAP.50.10PG01.
- [66] M. Suzuki, M. Tomita, T. Yamaguchi, N. Fukushima, Ultra-thin (EOT=3) and low leakage dielectrics of La-aluminate directly on Si substrate fabricated by high temperature deposition, *Tech. Dig. - IEEE Int. Electron Devices Meet.* (2005) 433-436. doi: 10.1109/IEDM.2005.1609371.
- [67] Y. Naitoh, T. Ohara, R. Matsushita, E. Okawa, M. Horikawa, M. Oyama et al., Self-Aligned formation of sub 1 nm gaps utilizing electromigration during metal deposition, *ACS applied materials & interfaces*, 5, 24, (2013) 12869-12875. doi: 10.1021/am403115m.
- [68] N. Kalhor, S. A. Boden, H. Mizuta, Sub-10 nm patterning by focused He-ion milling for fabrication of downscaled graphene nano devices, *Microelectron. Eng.*, 114, (2014) 70-77. <https://doi.org/10.1016/j.mee.2013.09.018>.
- [69] S. Singh and P. N. Kondekar, A novel dynamically configurable electrostatically doped silicon nanowire impact ionization MOS, *Superlattices and Microstructures*, 88, (2015) 695-703. <https://doi.org/10.1016/j.spmi.2015.10.033>.
- [70] B. Rajasekharan, C. Salm, R. J. E. Hueting, T. Hoang, J. Schmitz, Dimensional scaling effects on transport properties of ultrathin body p-i-n diodes, *IEEE International conference on Ultimate Integration of Silicon*, March (2008) 195-198. doi: 10.1109/ULIS.2008.4527172.
- [71] M. J. Kumar, S. Janardhanan, Doping-Less Tunnel Field Effect Transistor: Design and Investigation, *IEEE Transaction on Electron Devices*, 60, 10, (2013) 3285-3290. doi: 10.1109/TED.2013.2276888.
- [72] C. Auth, C. Allen, A. Blattner, D. Bergstorm, M. Brazier, M. Bost et al., A 22nm High Performance and Low-Power CMOS Technology Featuring Fully-Depleted Tri-Gate Transistors, Self-Aligned Contacts and High Density MIM Capacitors, in: *2012 Symposium VLSI Technology (VLSIT)*, (2012) 131-132. doi:10.1109/VLSIT.2012.6242496.

- [73] A. M. M. Hammam, M. E. Schmidt, M. Muruganathan S. Suzuki, H. Mizuta, Sub-10 nm graphene nano-ribbon tunnel field effect transistors, *Carbon*. 126, (2017) 588-593. <https://doi.org/10.1016/j.carbon.2017.09.091>.
- [74] M. D. V. Martino, J. A. Martino, P. G. D. Agopian, Drain Induced Barrier Thinning on TFETs with different source/drain engineering, in 29th Symposium on IEEE Microelectronics Technology and Devices (SBMicro) (2014) 1-4. doi: 10.1109/SBMicro.2014.6940092.
- [75] H. Lu, T. Ytterdal, Universal TFET model implementation in Verilog-A Version 1.6.8, (2015).
- [76] S. Suzuki, A. M. M. Hammam, M. E. Schmidt, M. Muruganathan and H. Mizuta, Scaling effect on device performance in graphene tunnel field effect transistors, *IEEE NANO*, to be published, (2018).
- [77] Q. Zhang, T. Fang, H. Xing, A. Seabaugh and D. Jena, Graphene Nanoribbon Tunnel Transistors, *IEEE Electron Device Letters*, 29, 12, (2008) 1344-1346. doi:10.1109/LED.2008.2005650.
- [78] L. Barbon, M. Siniscalchi and B. S. Rodriguez, TFET-Based Circuit Design Using the Transconductance Generation Efficiency gm/Id Method, *IEEE Journal of the Electron Devices Society*, 3, 3, (2015) 208-216. doi: 10.1109/JEDS.2015.2412118.
- [79] Z. Ren, R. Venugopal. S. Datta, M. Lundstrom. D. Jovanovic, and J. Fossum, “ The ballistic nanotransistor: a simulation study ” , *IEEE Electron Devices Meeting (IEDM)*, December (2000). doi: 10.1109/IEDM.2000.904418.
- [80] A. Steegen, Technology innovation in an IoT Era, *Semicon taiwan*, July (2015).
- [81] M. Poljak, M. Wang, E. B. Song, T. Suligoj, K. L. Wang, Disorder-induced variability of transport properties of sub-5 nm wide graphene nanoribbons, *Solid-State Electronics*, 84, (2013) 103-111. <https://doi.org/10.1016/j.sse.2013.02.014>.
- [82] K. Takashima, S. Konabe, T. Yamaqmoto, Carrier localization length in edge-disordered graphene nanoribbons with sub-100 nm length, *Journal of Applied Physics*, 119, 024301 (2016). <https://doi.org/10.1063/1.4939609>.

# 刊行論文

1. Sub-thermal switching of ultra-narrow graphene nanoribbon tunnel field effect transistors  
S. Suzuki, M. E. Schmidt, M. Muruganathan, A. Hammam, T. Iwasaki and H. Mizuta  
Submitted to Superlattices and Microstructures.
2. Sub-10 nm graphene nano-ribbon tunnel field-effect transistor  
A. Hammam, M. E. Schmidt, M. Muruganathan, S. Suzuki and H. Mizuta  
Carbon (2017), Vol. 126, pp.588-593 DOI:10.1016/j.carbon.2017.09.091.

# 学会発表

1. 「グラフェントネルトランジスタの第一原理解析」  
○鈴木俊英, ハمام・アーメド, ムルガナタン・マノハラ, 水田博  
第 62 回応用物理学会春季学術講演会  
2015 年 3 月 11 日-14 日 東海大学湘南キャンパス
2. 「グラフェントネル電界効果トランジスタのアンビポーラ特性解析」  
○鈴木俊英, ムルガナタン マノハラ, 小田 俊理, 水田 博  
第 76 回応用物理学会秋季学術講演会  
2015 年 9 月 13 日-16 日 名古屋国際会議場
3. Band-to-Band Graphene Resonant Tunneling Field Effect Transistor  
○ S. Suzuki, M. Muruganathan, S. Oda and H. Mizuta  
The 47th Solid State Devices and Materials (SSDM2015), Sapporo, Japan, 27-30 Sept. 2015
4. Recent progress of graphene nanoelectronic and NEM device technologies for advanced applications (Invited Talk)  
○ H. Mizuta, T. Iwasaki, S. Suzuki, A. Hammam, J. Sun, M. E. Schmidt and M. Muruganathan

Nano Information Processing an international conference and workshop 2015, Cambridge, UK, 14-16 December, 2015.

5. Downscaled graphene nanoelectronic and NEM devices for advanced applications (Invited Talk)

○ H. Mizuta, T. Iwasaki, S. Suzuki, A. Hammam, J. Sun, M. E. Schmidt and M. Muruganathan

The 2nd Malaysia-Japan Joint Symposium on Nanotechnology, Ishikawa, Japan, 10-12 November, 2015.

6. Downscaled graphene devices for low-power nanoelectronics and advanced sensing (Invited Talk)

○ H. Mizuta, T. Iwasaki, S. Suzuki, O. Takechi, A. Hammam, J. Sun, M. E. Schmidt and M. Manoharan

ISc-JAIST Joint Workshop on. Functional Inorganic and Organic Materials, Nomi, 7-8 March, 2016.

7. 「グラフェン共鳴トンネル電界効果トランジスタの素子性能解析」

○鈴木俊英, ムルガナタン・マノハラン, 水田 博

第 63 回応用物理学会春季学術講演会

2016 年 3 月 19 日-22 日 東京工業大学大岡山キャンパス.

8. 「プレーナー型グラフェン共鳴トンネル FET の第一原理解析」 ○鈴木俊英, ムルガナタン  
マノハラン, シュミット マレク, 水田 博

第 65 回応用物理学会春季学術講演会 2018 年 3 月 17 日-20 日、早稲田大学西早稲田キャンパス・  
ベルサール高田馬場.

9. Recent progress of graphene-based nanoelectronic and NEM device technologies for advanced applications (Keynote Speech)

○ H. Mizuta, A. Hammam, S. Suzuki, M. E. Schmidt, J. Sun and M. Muruganathan

The 2th IEEE International Conference on Semiconductor Electronics (IEEE-ICSE2016), Kuala Lumpur, 17-19 August, 2016.

10. Graphene-based nanoelectronic and nano-electro-mechanical (NEM) devices for challenging

applications (Invited Talk)

○ H. Mizuta, A. Hammam, J. Kulothungan, S. Suzuki, M. E. Schmidt, J. Sun and M. Muruganathan

Nanonet International Workshop 2016, Prague, 30 August - 2 September 2016.

11. Recent progress of graphene-based nanoelectronic and NEM device technologies for advanced applications (Keynote Speech)

○ H. Mizuta, A. Hammam, J. Kulothungan, S. Suzuki, M. E. Schmidt, J. Sun and M. Muruganathan

The International Conference on Solid-State and Integrated Circuit Technology (ICSICT2016), Hangzhou 25-28 October, 2016

12. Sub 0.5 V bias voltage operation of a triple-topgate graphene tunnel field effect transistor

○ S. Suzuki, A. Hammam, M. E. Schmidt, M. Muruganathan and H. Mizuta

Simulation of Semiconductor Processes and Devices (SISPAD 2017), Kamakura, Japan, 7-9 September, 2017.

13. Scaling effect on device performance in graphene tunnel field effect transistors

○ S. Suzuki, A. Hammam, M. E. Schmidt, M. Muruganathan and H. Mizuta

18th IEEE International Conference on Nanotechnology conference, Cork, Ireland, 23-26 July, 2018.

# 謝辞

本研究を遂行にあたり、多くの方々にお世話になりました。このように博士学位論文を書き上げることが出来たのも、皆様のご助力あってのものです。この場を借りて皆様に感謝の意を表します。

第一に、主指導教員である北陸先端科学技術大学院大学 (JAIST), 先端科学技術研究科, 環境・エネルギー領域の水田博教授に深く感謝申し上げます。水田教授には、大変やりがいのある研究テーマと研究環境を与えて頂き、さらに COI という大きなプロジェクトにも関わらせて頂きました。学会発表や論文の準備では、データの解析等の技術的なものに限らず、論文を執筆する心構えから、会社での研究についてまで、様々なことを懇切丁寧に御指導頂きました。また、独立した研究者としての心構えや生き方等、多くのことを学ばせていただきました。これまで、研究を進める上で多くの困難に直面しましたが、博士前期課程から5年間諦めずに研究を続けてこれたのも、水田先生の心のこもったご指導があったからに他なりません。ここに、深く敬意を表し、心からお礼を申し上げます。

水田・マノハラン研究室のマノハラン・ムルガナタン講師には、学会発表資料や論文の執筆をはじめ、多くの場面できめ細やかな御指導頂きました。研究の進め方から英語能力、研究者としての生き方まで様々なことをご指導していただきました。TCD との共同件研究の際には、測定機器の扱い方や実験データの解析等、理論計算だけでなく、多くのことを経験をさせていただきました。この経験は、後輩に装置の扱い方やデータの解釈を教えることができるようになったのも、この経験があったからです。日常生活では、私が挫けそうな時に一人の友人としてアドバイスをしていただきました。この5年間研究を続けてこられたのは、マノハラン先生のご助力があったからです。ここに、深く敬意を表し、心からお礼を申し上げます。

先端科学技術研究科, 応用物理学領域の徳光永輔教授には、副指導教員として博士課程進学試験や研究計画書, 論文の骨子の作成等において、様々な御助言を頂きました。特に、骨子の作成の際には、研究に関して有力なご助言をいただきました。書類提出の際には、私の不手際で度々ご迷惑をお掛けしてしまったことがありましたが、丁寧に対応していただきました。ここに、深く感謝申し上げます。



外部博士学位論文審査員である静岡大学工学部、電子工学研究所のダニエル・モラル准教授に、深く感謝申し上げます。ダニエル准教授には、本論文を完成させる上で、大変有力なご助言をいただきました。心からお礼申し上げます。

博士学位論文審査員である JAIST、環境・エネルギー領域の小矢野幹夫教授、応用物理学領域の赤堀誠志准教授には、本論文を完成させる過程において、大変有力なご助言をいただきました。この場を借りて、皆様に深く感謝申し上げます。

副テーマ指導教員である金子峰雄教授には、回路シミュレーションについて、一から懇切丁寧に教えて頂きました。金子教授には、私の能力に合わせて副テーマのスケジュールを組んでいただいたり、副テーマ論文執筆の際に有力なご助言をしていただきました。ここに、感謝の意を表します。

旧水田研究室、博士研究員マレク・エドワード・シュミット博士(現: Infenion)には、学会や論文の執筆時に、多くの御助言と御指導をいただきました。特に論文執筆の際には、英語の指導から、データの見せ方まで、多くの場面で助けていただきました。また、研究室のウェブページの管理や COI の研究計画書作成等の RA の仕事においても、多くのご助力を頂きました。マレク博士には、日常生活においても食事に誘っていただいたり、日本と海外の考え方や風習の違いについて等、様々なことを教えていただきました。常に同じ立場で接していただき、精神的にも強く支えていただきました。この場を借りて、感謝の意を表します。

旧水田研究室、博士研究員 岩崎拓哉博士(現: NIMS)には、博士前期課程の頃から様々な面でご助力いただきました。学会や論文の執筆だけでなく、日常生活においても多くのアドバイスをしていただきました。岩崎博士からは、博士後期課程の学生としての研究の進め方や心構えについても教えていただきました。同じ学生の立場で接していただき、精神的に強く支えていただきました。この場を借りて、感謝の意を表します。

水田研究室、博士研究員アーメド・ハمام博士には、同じグラフェントネルトランジスタの研究を通じて、多くのご助言をいただきました。ハمام博士から教えていただいた実験的手法からの知見や結果は、理論解析を進める上で、非常に有力な助けとなりました。この場を借りて、感謝の意を表します。

研究補助員の関玲子 氏には、学会や COI 会議への参加の際に、移動や宿泊について多くのご助言を頂きました。また、日常生活について多くのアドバイスをしていただきました。深く感謝申し上げます。

同研究室の博士研究員の皆様、学生の皆様に深く感謝申し上げます。旧水田研究室ジアン・スン博士 (現: 理化学研究所), 旧水田研究室フィン・ヴァン・ゴク博士, ウェンジェン・ワン博士, クロトゥンガン・ジョティラマリಂಗム博士, ル・テ・アン博士, 井上真理 氏 (現: 日立製作所), 今村知典 氏 (現: YKK AP), 兼竹望 氏 (現: 東京エレクトロン), 筑葉拓生 氏 (現: ミハル通信), 井上佳祐 氏 (現: 東芝), 岩下晋也 氏 (現: 日本発条), 武市旺太 氏 (現: 日立ハイテクノロジーズ), 王衆望 氏, 加藤大貴 氏 (現: 日本電産), 神崎晃悠 氏 (現: 日本電産), 瀬戸文博 氏, ニコラオス・マタイアカキス氏, カリクンナン・アフサル氏, ハック・マイーシャ・マスルラ氏, ガブリエル・アグボンラホール氏, グンター・エルロット氏, 井上顧基 氏 (現: 日本電産), 佐々木和成 氏 (現: SCREEN ホールディングス), 谷内翔 氏 (現: 東京エレクトロン), 中村周 氏, 阿部倫 氏, 久保聖也 氏, 小林昂平 氏, 武富康平 氏, チョウ・ソウ 氏, 宮下寛也 氏, 中野颯也 氏, 依田大地 氏, 古川篤 氏には、研究生活を共に過ごす中で、多くの議論や御助言、激励を頂きました。JAIST の友人、そして家族には様々な相談に乗って頂き、多くの場面で大きな支えとなりました。

本研究は、皆様方の御協力なしには、このような成果を得ることが出来ませんでした。この場を借りて深く感謝申し上げます。

平成 31 年 3 月

鈴木 俊英