

Title	ページアドレス予測によるTBLプリローディングの研究
Author(s)	請園, 智玲
Citation	
Issue Date	2003-03
Type	Thesis or Dissertation
Text version	author
URL	<a href="http://hdl.handle.net/10119/1700">http://hdl.handle.net/10119/1700</a>
Rights	
Description	Supervisor: 田中 清史, 情報科学研究科, 修士

# ページアドレス予測による TLB プリローディングの研究

請園 智玲 (110019)

北陸先端科学技術大学院大学 情報科学研究科

2003 年 2 月 14 日

キーワード: TLB, 予測, プリロード, MMU.

## 概要

近年、プロセッサの動作周波数の向上、計算機システムのメモリ大容量化に伴いプログラムのワーキングセットサイズが増加傾向にある。この傾向は仮想記憶をサポートするプロセッサの計算効率低下をもたらす。仮想記憶をサポートするプロセッサは通常、TLB ( Translation Lookaside Buffer ) を備えている。TLB は仮想記憶におけるページテーブルをプロセッサ内にキャッシュする。これによりアドレス変換およびメモリ保護は高速化される。TLB の性能を決定する指標として一度にマップすることができるメモリの範囲 (TLB リーチ) がある。プログラムのワーキングセットがこの TLB リーチを超える場合、TLB は格納情報の置換を行う。TLB リーチに対してワーキングセットサイズが過大である場合、置換が頻繁に行われるようになり、TLB が機能しない状態 (スラッシング状態) を引き起こす可能性がある。スラッシングを避けるために TLB エントリ数を増加あるいはページサイズを拡大を行うならば、動作周波数の低下やメモリ断片化を引き起こす可能性が大きくなる。本論文ではこの問題の解決手法としてページアドレス予測を用いたハードウェア TLB プリローディング手法を提案する。

## 1 はじめに

今日のプロセッサは仮想記憶をサポートすることが一般的である。仮想記憶は計算機の高多様性と柔軟性を高めるが、同時に仮想記憶はプログラムの実行を非効率にする。仮想記憶をサポートするハードウェアに TLB(Translation Lookaside Buffer) がある。TLB はページテーブルのキャッシュである。TLB は一度にメモリをマップできる範囲 (TLB リーチ) を持っており、その TLB リーチを超えるデータセットを扱うプログラムの実行は TLB スラッシングを引き起こし、深刻な計算非効率をもたらす。本論文では TLB リーチ増大による、TLB 性能改善のアプローチを廃し、予測による TLB 性能改善をめざす。

## 2 ページアドレス予測

予測による TLB 性能改善を得るためには適切な予測方針が必要となる。本論文では線形ページアドレス予測による TLB プリローディングを適用した TLB 性能改善を提案する。線形ページアドレス予測による TLB プリローディングとは、現在アクセスされている

$\pm 1$  のページテーブルエントリのアドレスを予測し予めページテーブルからロードしておくことである。またロード先には TLB とは別にバッファを設け格納先を分けることでブロードの別特性を引き出し、TLB 性能の更に改善する。提案機構の特徴を以下に示す。

1. 従来必ずミスしていた初回ページアクセスのミスを救済する。
2. TLB に格納される PTE(Page Table Entry) を削減することで TLB リーチ問題を改善する。
3. 提案機構は従来 TLB の少しの修正で追加可能
4. 提案機構は従来の TLB 性能を低下させず、予測的中時のみ性能を向上させることができる。

### 3 線形ページアドレス予測機構の非線形対応構成

線形ページアドレス予測機構を非線形なページアクセスに対応させるため、線形ページアドレス予測機構の非線形対応可能な構成を提案する。提案は WRS(Wide Range Support) と MOS(Multiple Operand Support) である。WRS は今までの  $\pm 1$  の予測範囲を  $\pm 2$  ,  $\pm 3$  と拡大することで、近い距離の非線形アクセスに対応することができる。MOS は線形ページアドレス予測機構を並列に配置することによって、プログラム中の演算のオペランド間の呼び出しによる非線形に対応する。WRS の実装にあたり通常、メモリ - キャッシュ間で使用されるバースト転送を適用することによって予測にメモリアccessを減らす方針を提案する。

### 4 実装ハードウェア

本論文では、提案機構の性能を検証するために実際に回路を論理設計した。設計はハードウェア記述言語 VHDL を使用し、RTL 設計を行った。命令実行パイプライン、MMU(Memory Mnagement Unit)、提案機構の全ての回路を設計した。

### 5 実験方法論

本論文では、設計した CPU をハードウェア量と遅延量、プログラム実行効率の側面から提案機構の効果を検証する。ハードウェア量と遅延の算出は FPGA 用に回路を論理合成したことによって得た。また性能は論理回路シミュレータで VHDL コードをシミュレートし計測した。

## 6 評価

実験結果により十分に小さいハードウェアで予測機構が実現可能であることがわかった。かつ通常の TLB でスラッシング発生する大きなデータセットを扱うプログラムにおいて TLB 数を減らすことができた。

## 7 まとめ

本研究で提案した機構は少ないハードウェア量で多量の TLB ミスを抑えることが可能である。また、予測機構の追加によって TLB ミス数を増やさない機構である。