JAIST Repository
https://dspace.jaist.ac.jp/

Title	ウェーブパイプラインのための遅延均衡化回路構成と配置配線
Author(s)	宮前，義範
Citation	
Issue Date	2003-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1707
Rights	
Description	Supervisor:日比野 靖，情報科学研究科，修士

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY

Japan Advanced Institute of Science and Technology

ウェーブパイプラインのための
遅延均衡化回路構成と配置配線

宮前 義範 (110117)

北陸先端科学技術大学院大学 情報科学研究科

2002 年 2 月 14 日

キーワード: ウェーブパイプライン 遅延均衡化 遅延差 配置配線.

1 序論

プロセッサを含む LSI 回路は、依然としてムーアの法則に基づく高い性能向上率を保持しながら開発が進んでいる。一方で従来からの比例縮小則による性能向上は物理的な限界に差しかかりつつある。特に配線遅延分に関しては、デバイスの縮小によらず影響が一定であることからその影響が無視できなくなっている。そのため比例縮小則によらないで動作スピードを上げる試みの必要性が指摘されている。

本研究は、従来からの最大遅延動作の回路を高速に動作させる、ウェーブパイプライン技術のための遅延均衡化技法の一つを提案する。論理合成された回路データを入力とし、回路構成から配置配線段階にかけて遅延均衡化を行うことを提案する。

2 ウェーブパイプラインアーキテクチャ

従来からの同期式パイプラインでは最大遅延によって動作速度が決まるのに対し、ウェーブパイプラインでは最大遅延と最小遅延の差によって決定する [2]。最大遅延がネックとなる従来からの同期式回路に対し、より高速に動作させる可能性を持つアーキテクチャである。

3 MOSFET およびデバイスのパラメータ、遅延評価方法に関する考察

本章では VLSI 上での回路をシミュレーションするにあたり、MOSFET およびデバイスパラメータの設定および計算方法を示し、また遅延評価法の検討を行った。最初に MOSFET および CMOS 論理に関する性質を議論し、素子で発生する遅延差について 1)PMOS/NMOS の特性の違いにより生じる分、2) 動作温度／動作電圧により生じる分、3) 多入力素子で生じる分にわけてその性質を議論した。

MOSFET および各層に関するデバイスパラメータは、現在実際に使用／検討されているものを参考にしながら、基本的には物理的な要因に基づいて計算し求めた。またパラメータは特に重要なものに絞ることで MOSFET

Copyright © 2003 by Yoshinori Miyamae

および各層に関する簡単なモデルを構築し、HSpice によるシミュレーションを通じて特性を評価した。

遅延評価モデルは、素子モデルと配線遅延評価モデルから成る。素子モデルは最大／最小遅延時オン抵抗、拡散容量および入力容量からなるモデルとした。配線遅延評価モデルには Distributed RC DelayModel を使用することとした [3]。構築した遅延評価モデルは回路の伝播波形を正確にシミュレーションするものではなく、ある一定電圧に達するまでの時間を計測するモデルである。

最後に遅延差をその性質により分類した。回路で生じる遅延差は以下のように二つに大別することができる。

1. 一つのパス内で生じる遅延差
   (a) 多入力素子における入力の同時遷移数の違いにより生じる遅延差
   (b) 動作条件の変化によって生じる遅延差
2. 複数のパス間で生じる遅延差
   (a) パス毎の素子数／素子の種類／配線長の違いにより生じる遅延差

本研究では、このうち 1-(a). および 2-(a). を対象に遅延均衡化を行なう。

4 CMOS ウェーブパイプラインの可能性に関する考察

CMOS 上でのウェーブパイプラインの可能性に関する議論を展開するにあたり、まず先行研究として Nowka らによる長チャネル MOSFET モデルでの議論を示した [5][4]。要因別の遅延均衡化度合いを示すパラメータとして、論理段数や配線長の違いにより生じる遅延差に関するパラメータ $\mathcal{A}$ および動作条件によって一つのパス内で生じる遅延差に関するパラメータ $\mathcal{B}$ を導入した。

次にディープサブミクロンデバイス下で議論を行うために、まずウェーブ動作に関する理想的な回路を提示した。インバータの最大オン抵抗に対する最小オン抵抗の比による簡単なパラメータ $\mathcal{B}'$ を定義し、理想的な回路では $\mathcal{B} = \mathcal{B}'$ であることを示した。また動作環境の安定化も考慮した理想的な回路では、$\mathcal{B} = 1$ であるとした。

最後に、実際にチップ製作に使用されているパラメータ [1] からシミュレーションにより $\mathcal{B}'$ を求め、現行のプロセスでも理想的には最大遅延の約 40%のレイテンシで動作させることが可能であることを示した。

5 素子の遅延差に着目した遅延均衡化手法の提案

素子の遅延差に着目した遅延均衡化手法として、インバータ挿入戦略として以下の 4 つを定義した。

α **挿入** :多入力素子の負荷を減らすように挿入する。

β **挿入** :素子の反応時間を抑えるように挿入する。

γ **挿入** :パス間で遅延均衡化させるように挿入する。

δ **挿入** :論理的に整合を取るように挿入する。

またNAND→NOR,NOR→NANDの**分解**(Decomposition)**戦略**、インバータ列の遅延速度をコントロールする**リサイジング**(Resizing)**戦略**、挿入インバータのサイズを小さくする**交換**(Exchanging)**戦略**およびピン毎のオン抵抗／拡散容量の違いによる遅延差を詰める**再接続**(Reconnecting)**戦略**を定義した。ある理想的なデバイスの下で全加算器を遅延均衡化し、最大遅延で動作する全加算器に比べて、2.94倍の速度向上を達成した。

6 配置配線を含めた遅延均衡化手法の提案と評価

配置配線問題を含めた遅延均衡化手法として、ネットリストの段階から配置配線の段階にかけて遅延均衡化を行なうことを提案する。

複数のパス間で生じる遅延差を取り除く戦略として、ネットリスト上での仮想配置を行なう。まずインバータ対から成る素子を挿入することで、回路中の全てのパスが通過する素子数を揃える戦略を適用する。その過程で素子に段数をつけ、同一段の素子は同じ軸に配置する。その後同一段での配線量を揃えるように仮想配置を行なう。配線量を揃えるために、インバータ対挿入の際には出力側の負荷を分割して、複数のインバータ対で駆動することも行なう。

一つのパス内で生じる遅延を解消する手段として、テクノロジマッピングの段階で、ある論理素子の出力側にα, βバッファを付けた**ブロック**を生成すｘる。αバッファとして小さなインバータを使用することで、多入力素子の直接の負荷を和らげる。配線／負荷素子の駆動に大きなインバータをβバッファとして使用することで、配線木で生じる遅延差をインバータで発生する遅延差に押え込む。この際駆動用のβバッファを可変にすることで、配線量を揃え切れなかった分を緩和することも狙う。

上記戦略を4ビットALUに適用することで、最大遅延動作の回路に対して2.29倍の高速化を達成した。

7 任意回路に対する遅延均衡化手法の検討

構築した遅延均衡化手法を大規模な機能回路に対して適用した。不均衡な回路として32ビットALUを、均衡な回路として16ビット乗算器を用意した。どちらの回路に対しても、最大遅延動作版の回路に対して約2倍の速度向上を達成した。

8 結論

本研究で提案する遅延均衡化手法により、不均衡／均衡な回路にかかわらず性能向上を達成することができた。パスの長さの違いによる遅延差および一つのパスに関する遅延差両方に関して、ウェーブ動作によるこれ以上の性能向上を目指すならば、残る遅延差発生要因である動作環境の変化により生じる遅延差を押え込むべきだと十分判断できるところまで均衡することができた。故に、パスの長さの違いによる遅延差を極限まで解消することに成功し、同時に一つのパス内で発生する遅延差に関しても、インバータでの最大オン抵抗に対する最小オン抵抗の比に近い値まで押え込む

ことに成功したと言える。また論理合成段階から配置配線段階までトップダウンで遅延均衡化を行なうことを可能にした。

参考文献

[1] The MOSIS service, http://www.mosis.org/.

[2] W.P. Burleson, M. Ciesielski, F. Klass, and W. Liu. Wave-pipelining: A tutorial and research survey. *IEEE Transactions on VLSI Systems, Vol.6, No.3, Sep.'98, pp. 464-470.*, 1998.

[3] J.Rubinstein, P.Penfield Jr, and M.A.Horowitz. Signal delay in RC tree networks. *IEEE Trans. Computer-Aided Design Integrated Circuits Syst*, Vol. CAD-2, pp. 202–211, July 1983.

[4] Kevin J. Nowka. High-performance CMOS system design using wave pipelining. Technical Report CSL-TR-96-693, 1996.

[5] Kevin J. Nowka and Michael J. Flynn. Environmental limits on the performance of CMOS wave-pipelined circuits. Technical Report CSL-TR-94-600, 1994.