JAIST Repository
https://dspace.jaist.ac.jp/

Title	FPGAを用いたNP完全問題の全解探索法に関する研究
Author(s)	山岸，洋平
Citation	
Issue Date	2003-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1711
Rights	
Description	Supervisor:中野 浩嗣，情報科学研究科，修士

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY

Japan Advanced Institute of Science and Technology

FPGAを用いたNP完全問題の全解探索法に関する研究

山岸洋平 (110123)

北陸先端科学技術大学院大学 情報科学研究科

2003年2月14日

キーワード： NP完全問題，全解列挙問題，全解探索法，FPGA, ${}_nC_k$ カウンタ.

本研究では, NP完全問題の全解列挙問題を考える．NP完全問題の全解列挙問題について，具体的にNP完全問題である充足可能性問題を取り上げて説明する．充足可能性問題 (SAT) とは，n 個のブール変数 $x_1, x_2, ..., x_n$ から成る論理式 $f(x_1, x_2, ..., x_n)$ (例えば $f(x_1, x_2, x_3) = ((x_1 \to x_2) \vee \neg(\neg x_1 \oplus x_3)) \wedge \neg x_2$) を充足する変数の真理値割当が存在するか否かを判定する問題である．論理式を充足する具体的な真理値割当のことを充足解または単純に解とよぶ．充足可能性問題の全解列挙問題とは与えられた論理式の充足解を全て列挙する問題である．その他のNP完全問題の全解列挙問題も同様に, 条件を満たす解を全て列挙する問題である．

この様なNP完全問題の全解列挙問題を解く方法として，NP完全問題のヒューリスティックアルゴリズムを用いることが考えられる．NP完全問題のヒューリスティックアルゴリズムは問題のインスタンスに解が存在する場合に，探索のより早い段階で解を, 発見するように設計されている．しかし，解を全て見つけなければならい今回の問題では, 考えうる探索空間を全て調べ尽くさなければ全ての解を列挙できない．結局，ヒューリスティックアルゴリズムを用いてもこの問題を解くには指数時間かかる．つまり，ヒューリスティックアルゴリズムは，考えられる組合せ全てについて問題の条件を検証する全解探索法を行うのと根本的に変わらないのである．

そこで，本研究では複雑な解法を考えず, 単純に全解探索法を行うことでこの問題を解くことを考える．充足可能性問題を全解探索法で解く場合，毎回，任意の真理値割当について回路が充足されるか否かの検証が行われる．本研究では論理式を回路化し任意の真理値割当について論理式の評価値を高速に求めることで，全解探索アルゴリズムの高速化をめざした．また，解候補の生成は2進カウンタを用いて行うことができる．論理式の回路化には論理回路が再構築可能で, インスタンスに専用の回路が容易に実現可能なFPGAを用いる．

真理値割当は 2^n 通りあり，全てについて調べるのに膨大な時間がかかる．そこで, 真理値割当に制限のある充足可能性問題の全解列挙を考える．具体的には，n 個の変数のうち1を割当てる変数の個数が k 個に制限されている場合，について考えた．つまり，真理値

Copyright © 2003 by Yamagishi Youhei

割当ての組合わせは $\binom{n}{k}$ 通りになる．この問題をハードウェアで高速に解くためには充足解の候補, すなわち 1 が k 個立っている割当を論理式の評価回路の最大遅延時間に対して十分高速に生成しなければならない．そこで，本研究では n 個のなかから k 個を選ぶ組合わせを高速に生成する ${}_nC_k$ カウンタを開発し, 実際に FPGA を用いて実装し, 解析ツールにより得られた動作周波数と回路規模について性能評価を行った．

また，n 個の変数のうち 1 を割当てる変数の個数が k 個以下に制限されている場合，k 個以上に制限されている場合，i 個以上 j 個以下に制限されている場合についても考え, それぞれの問題に対して組合せを生成する ${}_nC_{[0,k]}$ カウンタ，${}_nC_{[k,n]}$ カウンタ，${}_nC_{[i,j]}$ カウンタを開発し, ${}_nC_k$ カウンタと同様に動作速度と回路規模について性能評価を行った．

ここで，挙げたカウンタの応用例として NP 完全問題でかつグラフ問題である頂点被覆問題や独立頂点集合などが考えられる．頂点被覆問題 (VERTEX-COVER) とは，単純グラフ $G(V,E)$ と自然数 k が与えられたとき，k 以下の頂点集合を用いてグラフ G を被覆できるか否かという問題である．この問題の全解探索法は，$|V|=n$ とすると n 個の中から k 以下の組合わせ全てについてグラフ G を被覆するか否かを判定する．そこで，頂点被覆問題の全解列挙問題を解く全解探索法は，先ほど挙げた n 個の変数のうち 1 を割当てる変数の個数が k 個以下に制限された真理値割当の組合わせを生成する ${}_nC_{[k,n]}$ カウンタを用いて実装することができる．

独立頂点集合 (INDEPENDENT-SET) とは，単純グラフ $G(V,E)$ と自然数 k が与えられたとき，k 以上の頂点集合がグラフ G 上いっさい辺を共有せず独立であるものが存在するか否かを判定する問題である．この問題の全解探索法は，$|V|=n$ とすると n 個の中から k 以上の組合わせ全てについてグラフ G 上で独立であるか否かを検証する．そこで，頂点被覆問題の全解列挙問題を解く全解探索法は，先ほど挙げた n 個の変数のうち 1 を割当てる変数の個数が k 個以上に制限された真理値割当の組合わせを生成する ${}_nC_{[0,k]}$ カウンタを用いて実装することができる．

このように，カウンタはすべての組合わせを試す上で非常に重要な要素である．本研究では, カウンタアルゴリズムの高速化と小回路規模化を目指した．その結果, 動作周波数と組合せの全列挙にかかるクロック数から各々のカウンタを比較したところ，実用時間で解けそうな問題は ${}_nC_k$ カウンタでその他のカウンタをシミュレートすることで, 十分であることがわかった．