

Title	積和エンジンを搭載した高機能メモリコントローラに関する研究
Author(s)	今井, 俊晴
Citation	
Issue Date	2004-09
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1900
Rights	
Description	Supervisor: 田中 清史, 情報科学研究科, 修士

積和エンジンを搭載した高機能メモリ コントローラに関する研究

今井 俊晴 (210202)

北陸先端科学技術大学院大学 情報科学研究科

2004年8月13日

キーワード: メモリコントローラ, 積和エンジン, MAC, フィルタ.

1 はじめに

近年, 計算機の性能向上にともない映像や音声を扱うマルチメディアを対象としたアプリケーションが普及してきている. DVD 等に代表されるハイビットレート, ハイサンプリングレートによるデータ量の増加にともない, より高速な信号処理能力が必要である.

本論文では, メモリアクセス時間を最小限に抑え, CPU との処理速度差を軽減するメモリコントローラ (MC) に, DSP の特徴である積和演算能力を設け, 応答時間の短縮と負荷分散によるスループットの向上を実現する方式を提案する.

2 データ転送方式

Stride Data Transfer (SDT) [1] は DRAM に対して一回のみ行アドレスを指定し, 同一行内のデータに対して, MC が列アドレスを自動生成し, 連続して与えることによりストライドデータ列を高速に読み出し, プロセッサへ転送する方法である. データ転送数, ストライド幅などがソフトウェアから設定可能であり, 局所性の無いデータに対して柔軟で効率の良いアクセスを実現する.

再構成可能キャッシュによる FIFO バッファ [2] は, キャッシュメモリの一部を使用し, SDT により転送されるデータ列を受け取る機能を持つ. ソフトウェアによるキャッシュの再構成が可能であり, 局所性の無いデータ列に対して通常のキャッシュよりも効率が良い.

3 デジタルフィルタ

デジタル信号プロセッサ (DSP) は汎用のプロセッサと同様にデータを処理する演算ユニットと DSP 自信を制御する制御ユニットを持つ. 本研究では, MAC 演算ユニット

をMCに組み込むことを特徴としている．DSPの使用はCPU-DSP間でのデータ授受や、処理の開始・終了の通知に要するオーバーヘッドをもたらすことや、コスト・ハードウェアサイズが大きくなるという問題点がある．本研究で提案する方法は、メモリコントローラ内にMAC演算器のみを搭載し、DRAMの構造を利用した高速データ転送と組み合わせることで、オーバーヘッドの小さい処理、およびハードウェア量の削減を可能とする．

4 積和エンジン搭載高機能メモリコントローラ

MAC (Multiply and ACcumulate) をメモリコントローラに内蔵し、SDT機能と連携することにより、高速なフィルタリング処理を実現する方式を提案する．

MCは有限のインパルス応答を格納するレジスタ群を持ち、入力データをSDTによりDRAMから読み込み、これらの中で連続する積和計算を行う．出力列はプロセッサへ転送され、再構成可能キャッシュが提供するFIFOバッファへ格納される．一連のデータ処理において、プロセッサのメモリ管理ユニット(MMU)が協調することにより実現される．

5 基本性能評価

VHDLで設計したMCの評価をRTLシミュレーションにより行った．サイズが32である2つのデータ列の積和計算に対し、CPUのみで実行した場合と比較し、提案機構を使用した場合は3,108サイクルの実行時間を削減した．また、論理合成の結果から、MC内の積和エンジンは14,547ゲート相当であった．

6 関連研究

プロセッサが内蔵するデータ受信バッファとして、Stream buffer [3] があるが、データキャッシュとは分離したメモリであり、ストリーミングデータを扱わないアプリケーションの実行ではそのバッファのためのメモリ資源が有効利用されない．

メモリコントローラによる連続データ転送方式として、Impulse [4] と SMC [5] がある．Impulseではプログラム中にデータのエイリアスが必要となり、プログラマに負担が大きく、また通常よりアドレス変換の階層が多いためオーバーヘッドが大きい．SMCにおいて、読み出されたデータ列がメモリコントローラ内でバッファリングされるため、プロセッサがデータを取得するためには、ノンキャッシュブルなアクセスが必要となり、大きなオーバーヘッドとなる．

7 おわりに

本論文では、高速データ転送を可能とする SDT と FIFO バッファを使用し、更に MC が MAC 機能を内蔵し、ストリームデータに対してフィルタ計算を行うことにより、高速なフィルタリング処理を達成する方式を提案し、FPGA をターゲットとして実装を行った。RTL シミュレーションにより、プロセッサのみによる積和計算よりも大幅に高速化が達成されることが示された。

今後の課題としては、FIFO 機能を持つプロセッサを使用し、実機による有効性の評価を行う。

参考文献

- [1] 府川, 田中, 宮崎: “主記憶データベース向け高機能メモリコントローラの実現方式”, 情報処理学会研究報告 ARC, Vol.2002, No.112, pp.77-82.
- [2] Khairuddin bin Khalid, K.Tanaka: “Implementation of FIFO Buffer Using Cache Memory”, 情報処理学会研究報告 ARC, Vol.2002, No.112, pp.83-88.
- [3] Farkas, N.P.Jouppi and P.Chow, “How Useful Are Non-blocking Loads, Stream Buffers, and Speculative Execution in Multiple Issue Processors?”, Proc. of the 1st HPCA, pp. 78-89, 1994.
- [4] J.B.Carter, W.C.Hsieh, L.B.Stoller, M.R.Swanson, L.Zhang, E.L.Brunvand, A.Davis, C.-C.Kuo, R.Kuramkote, M.A.Parker, L.Schaelicke, and T.Tateyama: “Impulse: Building a Smarter Memory Controller”, Proc. of 5th HPCA, pp. 70-79, 1999.
- [5] S.A.McKee, A.Aluwihare, B.H.Clark, R.H.Klenke, T.C.Landon, C.W.Oliver, M.H.Salinas, A.E.Szymkowiak, K.L.Wright, W.A.Wulf, J.H.Aylor: “Design and Evaluation of Dynamic Access Ordering Hardware”, Proc. of 10th ICS, pp. 125-132, 1996.