

Title	仮想現実環境における衝突検出ハードウェアに関する研究
Author(s)	松本, 健太郎
Citation	
Issue Date	2005-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1921
Rights	
Description	Supervisor:井口 寧, 情報科学研究科, 修士

仮想現実環境における衝突検出ハードウェアに関する研究

松本 健太郎 (310106)

北陸先端科学技術大学院大学 情報科学研究科

2005年2月10日

キーワード: collision detection, triangle intersection, polygon, FPGA, virtual reality .

1 背景と目的

近年、コンピュータの高速化や普及に伴って、仮想現実 (virtual reality) が実用化され産業分野で使われるようになってきた。コンピュータゲーム、医療シミュレーション、ロボットの遠隔操作など、応用範囲は様々である。

現在の仮想現実では視覚的な現実性に重点をおいているものが多く、オブジェクトの衝突 (干渉) についての現実感はほとんど無い。従来からの衝突検出の多くはオブジェクトを単純な球やボックスで囲んだり近似したものが多く、複雑なオブジェクト同士の衝突や多数のオブジェクト環境における衝突検出はあまり行われてこなかった。最近、産業界において製品の企画設計段階に仮想現実技術を取り入れることで、開発にかかる時間や金銭コストの削減が望まれている。没入型6面ディスプレイシステム COSMOS には自動車や飛行機などの3Dモデルを実物大で表示できる利点があるが、企業からは「モデル同士の干渉を検出して欲しい」という要望が常に言われてきた。このような要望に対して、仮想現実空間で仮想オブジェクトを触ったり移動したりできるシステムの研究がされている。この研究では、干渉に現実性を持たせるために仮想オブジェクトの干渉検出にポリゴンをもちいている。また、ポリゴンの量が多いため衝突 (干渉) 計算量を減らす目的で境界ボリュームを用いることでリアルタイム性を実現している。この研究に限らず現在行われている衝突検出の研究の大半が境界ボリュームを使った計算量削減がである。衝突検出の計算量を削減する主な理由はオブジェクトを構成するポリゴン数が年々増加する傾向にあることと、衝突検出の計算量がポリゴン数 n に対して $O(n^2)$ だからである。従って計算量削減は重要であるが、計算量の削減に片寄ったシステムでは、オブジェクトの変形や破壊などに弱いという研究結果がある。これは事前計算で境界ボリュームを階層的に作り上げているため、変形すると再度構築し直さなければならないからである。

オブジェクトの変形は仮想現実環境において実現すべき機能なので、これに対応できる衝突検出システムが望まれる。計算量の削減は少ないが境界ボリュームの構築に手間がか

からないものとして、境界ボリュームに比較的単純な AABB(Axis-aligned bounding box) を使ったのもや、GPU(graphics processing unit) の可視性チェック機能を使った計算量の削減に関する研究がある。これらの研究の問題点は、従来より三角ポリゴンの削減数が減り、交差検出処理時間が多くかかるようになった事である。この問題解決に三角ポリゴンの交差検出処理の高速化が望まれている。

そこで、本研究では三角ポリゴンの交差検出処理を高速化する目的で、専用ハードウェアの設計を行い、更に境界ボリュームを考慮したハードウェア構成を明らかにする。

2 研究のアプローチ

本研究では、以下のアプローチで三角ポリゴンの交差検出処理の高速化を行った。

2.1 スループットの向上

交差検出処理はポリゴン数 n に対して $O(n^2)$ の計算量なので処理クロック数を減らすよりも、スループットを向上して連続処理をすることが重要である。

- パイプライン化による動作周波数の高速化
交差検出アルゴリズムでは乗算が多用されハードウェア全体の遅延が大きいので、パイプライン化は有力な高速化手法である。
- キャッシュメモリ (Dual port メモリ) を用いた高速化
交差検出に用いる共通境界ボリューム領域内のポリゴンは空間的にも時間的にも局所性が高いので、キャッシュ効率が良い
- Dual port メモリを用いた交差検出処理の並列化
交差検出に用いる境界ボリューム処理を行った後の、交差検出対象のポリゴンはメモリ空間において連続しているので、容易に均等に並列化が可能である
- 2つのメモリを用いたデータ転送の遅延回避
多数ポリゴン・オブジェクト環境では短い周期で連続したポリゴンレベルの衝突検出処理が要求されるので、並列処理を休みなく連続処理を行うために、2つの Dual port メモリを用意して、交互に書き込みと読み込み (交差検出の実行) を行うことで遅延の少ない効率的なハードウェア処理を行う。

2.2 入力データバスと回路量削減

交差検出処理を行うポリゴンペアの2重ループにおいて、同時に2つのポリゴンを入力しないで、外側ループの三角ポリゴンを先に入力してレジスタに記憶した後に、内側ループの三角ポリゴンを連続入力することで、スループットを余り落とさずに、入力と1サイクル目の回路を内側と外側のループで共有して使う回路を示した。

3 研究成果

本研究では、ハードウェアのアーキテクチャなどの提案手法やアイデアを実際に VHDL を用いて記述し、PCI ボード上の FPGA(Xilinx 社製 Virtex-II Pro XC2VP100) を想定したハードウェア設計を行った。そして、ハードウェアの動作は Mentor Graphics 社製の ModelSim を用いてシミュレーションによって検証した。

- 32 段のパイプライン化により、クリティカルパスが約 9nsec になり、最大動作周波数が約 111MHz になった。
- 三角ポリゴン交差検出処理速度を従来のソフトウェア処理と比較したところ、スループット値で交差時で約 79 倍、非交差時で約 42 倍の速度向上を達成した。
- 1 度に FPGA 上のメモリに転送して交差検出処理できる共通境界ポリウム領域内のポリゴン数は最大で 4096 まで可能な実装にした。
- GPU(graphics processing unit) の可視性チェック機能を用いた境界ポリウム処理ハードウェアと本ハードウェアの処理速度と比較して、少なくともポリゴン数 800 以下のオブジェクトのペアに対する処理では、本ハードウェアが速度的に優位であることがわかった。従って 800 ポリゴン以下では境界ポリウム処理を行わないで直接に本ハードウェアによる交差検出処理を行った方が高速であると言える。

4 まとめ

仮想現実環境でボトルネックになる三角ポリゴンの交差検出処理時間を、専用ハードウェアを設計することで処理速度の高速化を行った。