

Title	データ圧縮を用いたキャッシュメモリの消費電力削減に関する研究
Author(s)	松田, 愛子
Citation	
Issue Date	2006-03
Type	Thesis or Dissertation
Text version	author
URL	<a href="http://hdl.handle.net/10119/1955">http://hdl.handle.net/10119/1955</a>
Rights	
Description	Supervisor: 田中 清史, 情報科学研究科, 修士

# データ圧縮を用いたキャッシュメモリの消費電力削減に関する研究

松田 愛子 (410109)

北陸先端科学技術大学院大学 情報科学研究科

2006年2月9日

キーワード: キャッシュメモリ, 消費電力, データ圧縮.

## 1 はじめに

近年, マイクロプロセッサの消費電力が増大している. 消費電力の増大はバッテリー駆動型モバイル機器の駆動時間に大きな影響を及ぼしている. また, プロセスルールの細微化によりリーク電流は無視できなくなっており, 静的消費電力の占める割合は高くなっている.

一方で, 機器上で実行するソフトウェアは大規模かつ複雑化しており低消費電力化と同時に高速化も求められている, プロセッサと主記憶は高速化はされているが, 速度差は増大の傾向にある. その速度差を隠蔽するためにキャッシュメモリは増大しており, キャッシュメモリがプロセッサの面積の大部分を占め, その占める消費電力は全体の 50% に達すると報告されている. このことから, 近年キャッシュの消費電力を削減する手法が研究されている. 本研究では, プロセッサの消費電力を大きく占めるキャッシュメモリに注目し少量のオーバーヘッドで低消費電力化を達成するキャッシュアーキテクチャの提案をする. 低消費電力化の手段としてデータ圧縮と電圧制御を用いる.

## 2 プロセッサの消費電力削減法

プロセッサの消費電力への注目は大きくなっている. ここ数年では, 消費電力削減技術を採用したプロセッサが登場している. 商用プロセッサで採用されている技術の紹介をする. また, プロセッサの大部分を占めるキャッシュメモリの消費電力削減に関する研究が多くされている. ここでは, 本研究に関するキャッシュの消費電力削減の研究について述べる.

### 3 キャッシュ低消費電力化

本研究では L1 命令キャッシュ，データキャッシュそして L2 キャッシュがオンチップである一般的なプロセッサを想定する．L2 キャッシュを圧縮対象とし，L1 キャッシュそしてメモリからストアされるデータは Compressor により圧縮を行う．圧縮はキャッシュブロック単位で行い，ブロックサイズの  $1/2$  以下に圧縮可能ならば圧縮された形でキャッシュを格納する．そして空いた  $1/2$  の領域の電圧を制御し消費電力削減を行う．L2 キャッシュから L1 キャッシュまたはメモリへデータを送る際，圧縮されたキャッシュブロックは decompressor により復元を行う．圧縮されていないデータの場合は，オーバヘッド削減のため decompressor を通さずに直接送る．

### 4 圧縮と復元

圧縮アルゴリズムに FPC(Frequent Pattern Compression) を用いる．データ圧縮はキャッシュブロック単位でブロック内の 1word(32bit) ごとにある決められたパターンをもとに圧縮を行う．圧縮パターンは 8 通りに分けられており，各パターンを表す記号 (prefix) に word 内の部分データを付加したものが word の圧縮データとなる．圧縮されたキャッシュブロックを復元する際，prefix が示す規則にしたがって復元を行う．

### 5 電力削減法

電圧制御は，Gated-Vdd を用いてキャッシュブロックの  $1/2$  の単位で行う．Gated-Vdd はキャッシュブロックの電圧を制御をするスイッチの役割を果たし，オンオフの切り替えによりキャッシュの消費電力削減を行う．圧縮の可否の閾値を電圧制御の単位を  $1/2$  に限定する理由として，ハードウェア構成の複雑化することが挙げられる．また，L2 キャッシュの状態を表すビットにキャッシュブロックが圧縮されたか否かを示すビットを設け，それを入力信号とし電圧制御を行う．Gated-Vdd によりキャッシュブロックの電圧制御を行ったことで Setup Time が発生する．Setup Time は実行サイクルに影響を大きく及ぼす可能性がある．Setup Time の影響を減らすために，従来のプロセッサで設けられている Write Buffer で対応する．

### 6 評価

本研究の提案方式をシミュレーションにより評価をする．L1 命令・データキャッシュと L2 キャッシュがオンチップである一般的なプロセッサを評価対象にし，L2 キャッシュの静的消費電力の削減の効果と実行サイクル数を Setup Time と Write Buffer の関係を中心に比較する．Write Buffer のエントリ数を 16，32，64 エントリをし，Setup Time を 500，1000，5000，10000，50000 サイクルとし評価を行った．ベンチマークプログラムに

SPEC95int を使用した .

シミュレーションの結果 L2 キャッシュの圧縮率と L2 キャッシュの静的消費電力の削減率はほぼ同じになる . Write buffer が 16entry の時 , Setup Time が 10000cycle 以上になると性能に大きな影響がでてくるが , 32 , 64entry にすると Setup Time の影響を減らすことができた .

## 7 まとめ

本論文では , プロセッサの大部分を占めるキャッシュメモリに注目し , データ圧縮と電力制御を用いてキャッシュメモリの低消費電力化を行う手法を提案した . 提案方式を用いると , Write buffer が 32entry で最小限の影響でキャッシュの圧縮率と同等の消費電力削減ができた .