

Title	ウェーブパイプラインを適用した高性能DSPに関する研究
Author(s)	宇山, 幸平
Citation	
Issue Date	2006-03
Type	Thesis or Dissertation
Text version	author
URL	<a href="http://hdl.handle.net/10119/1975">http://hdl.handle.net/10119/1975</a>
Rights	
Description	Supervisor:日比野 靖, 情報科学研究科, 修士

# ウェーブパイプラインを適用した高性能 DSP に関する研究

宇山 幸平 (410018)

北陸先端科学技術大学院大学 情報科学研究科

2006 年 2 月 14 日

キーワード: ウェーブパイプライン, シストリックアレイ, 積和演算器, 配線遅延.

## 1 序論

近年、DSP の応用分野が増えている。次世代 DSP はマルチメディア装置の処理に対応できる高スループット化が要求されている。DSP は、積和演算を高速で処理するための乗算器を持っている。乗算器後段に累算用加算器を置き、積和演算器として用いられている。現在、商品化されている DSP は同期パイプライン方式を採用している。業界最高水準の DSP である Texas Instruments の C64x コアは 2 つの演算器を持ち、クロック周波数 1GHz で、8000MIPS の処理性能を実現し、DSL、VOP などのデジタルコミュニケーション、ワイヤレス通信基地局、画像処理といったアプリケーションに対して使用されている。しかし、今日の微細加工技術では比例縮小則によりゲートの遅延時間が短くなる一方、配線の遅延時間が一定であるため、配線遅延時間の割合が増えている。これにより最大遅延時間をクロックサイクルとする同期パイプライン方式でのスループット向上が望めなくなってきた。配線の遅延時間を減らすためにアルミニウムから銅に、二酸化シリコン膜から low-k 膜へと配線材料の変更をしているが、配線遅延の割合の増加を止めることができていない。

本研究は、デジタル信号処理で多用される積和演算を高スループットで処理する積和演算器設計を目的とする。高スループット化手法として、ウェーブパイプライン方式 [1] を用いる。回路シミュレータ HSpice を使って、配線遅延を含めたトランジスタレベルでの評価、検討を行う。

## 2 ウェーブパイプライン方式

ウェーブパイプライン方式は最大遅延時間と最小遅延時間の差をクロックサイクルとする。つまり、遅延差を短縮することで、さらにクロックサイクルを短くすることができる。遅延差短縮の手法として、最小遅延時間のパスに遅延バッファを挿入する遅延均等化方法がある。しかし、ウェーブパイプライン方式は遅延均等化作業や厳密な遅延解析が必要であり、回路設計が難しいという問題点がある。

### 3 積和演算器の構成

ウェーブパイプライン化を簡単に行うためには、簡単な回路構成で積和演算器を設計する必要がある。本章では、シストリックアレイ [2] を用いた積和演算器構成を提案する。シストリックアレイは Processing Element を規則的に配置し、隣接する PE 間を配線接続し、一定のタイミングでデータを受け入れて処理するパイプライン処理システムである。積和演算器の高スループット化には、キャリー伝搬遅延が生じないように設計する必要がある。ここでは、キャリー伝搬遅延のなくし方としてシフトレジスタを用いた部分積生成について説明する。乗数と被乗数の各ビットにシフトレジスタを使用することで、シストリックアレイを用いた積和演算器ではキャリー伝搬遅延が生じない。しかし、シフトレジスタにより面積増加が問題となる。面積改善方法は、乗算器の部分積加算回路のパイプライン段数を減らすことである。これによりシフトレジスタのビット数を削減できる。

### 4 HSpice による遅延シミュレーション

本章では、全加算器の遅延シミュレーションを行い、全加算器のクロック周波数の限界点を探った。ウェーブパイプライン化には、遅延バッファを用いた遅延均等化を行った。レイアウトには、固定格子 (1grid=ゲート長 90nm) を用いた。配線モデルには、RC 一段の集中定数線路を用いた。

下記に本章の概要を示す。

- 1) 90 ナノプロセスルール [3] の MOS トランジスタ設計
- 2) 全加算器 (遅延均等化) とラッチの設計
- 3) 全加算器とラッチのレイアウト [4]
- 4) 配線モデルの選定
- 5) 配線遅延を含めた遅延シミュレーション

### 5 結論

ウェーブパイプライン方式を用いることにより、全加算器はクロック周波数 5GHz まで動作可能である。これは、同期パイプライン方式の 2.4 倍のクロック周波数である。本研究のシストリックアレイを用いた積和演算器は、すべて全加算器により構成されている (部分積生成部分を除く)。処理要素の単位が全加算器であることから、全加算器以上はクロック周波数を上げることができない。積和演算器には最終段にフィードバックを持つ累算用加算器がある。ウェーブパイプライン方式は多相クロックを用いるため、前後のラッチのタイミングを合わせる必要がある。うまく前後のラッチのタイミングを合わせることができれば、本研究で提案した積和演算器はクロック周波数 5GHz で動作することができる。本研究では積和演算器の高スループット化を目的とし、積和演算器のクロック周波数の限界を探った。

## 参考文献

- [1] 日比野靖. マルチスレッド型超パイプラインプロセッサアーキテクチャ. 平成 10～12 年度科研費成果報告 B210480058,2002.
- [2] JOHN McCANNY.Systolic Array Processors.PRENTICE HALL,1989.
- [3] BSIM3 Homepage,<http://www-device.eecs.berkeley.edu/~bsim3/>.
- [4] Neil H.E.Weste and Kamran Eshraghian. CMOS VLSI 設計の原理. 丸善株式会社,1988.