

Title	単結晶YSZ薄膜上へのPZT薄膜の低温形成
Author(s)	相川, 麻美
Citation	
Issue Date	1998-03
Type	Thesis or Dissertation
Text version	none
URL	http://hdl.handle.net/10119/2445
Rights	
Description	Supervisor:堀田 將, 材料科学研究科, 修士

単結晶 YSZ 薄膜上への PZT 薄膜の低温形成

相川 麻美 (堀田研究室)

【はじめに】強誘電体薄膜をゲートに用いた MFIS(Metal/Ferroelectric/Insulator/Semiconductor)-FET 型メモリは、高速動作、低消費電力などの特徴を持つため理想的なメモリとして期待されている。通常、その構造には、Si 基板中への強誘電体材料の拡散や反応などの抑制を行なうために基板と強誘電体薄膜間にバッファ層を形成している。本研究では、強誘電体材料として PZT(チタン酸ジルコン酸鉛)、バッファ層として YSZ(イットリア安定化ジルコニア)を用いて、MFIS 構造を作製しているが、この構造では、ゲート電極と Si 基板間が PZT 層と YSZ 層による直列キャパシタ構造となるため、誘電率の高い PZT 層に十分な電圧を印加するには YSZ 層を極力薄くする必要がある。しかし、それに伴い Si 中への Pb の拡散が懸念されるため、PZT 薄膜の低温形成が不可欠となる。そこで、本研究では単結晶 YSZ 薄膜/Si 基板上への PZT 薄膜の低温形成を目的としている。

【実験方法】バッファ層のエピタキシャル YSZ 薄膜は、反応性スパッタ法により n 型 Si(100) 基板上に厚さ 10nm 形成した。次に、この YSZ/Si 基板上に、 $Pb(Zr_{0.52}Ti_{0.48})O_3$ セラミックターゲットを用いて反応性マグネトロンスパッタ法により厚さ 100nm の PZT 薄膜を堆積した。堆積条件はスパッタ出力 50-100W、ガス圧 1-10Pa、 O_2/Ar 流量比=1/10-1/16、基板温度は 420-520 (通電加熱法)とした。また、酸素雰囲気中、初期温度 300、最終温度 350 あるいは 400 の範囲でポストアニールを施すことで、リーク電流の低減を図った。また、電気的特性評価のための上部・下部電極は、各々 Au、Al を用いて真空蒸着により形成した。

【結果】図 1 に基板温度 460 で堆積した PZT 薄膜のアニール処理後の J-V 特性を示すが、アニール処理によりリーク電流が 4V で $10^{-7}A/cm^2$ 以下と比較的小さいことがわかる。図 2 に示す電極直径 0.2mm の試料の C-V 特性では、強誘電体の分極に起因するとみられる約 1V のメモリウィンドウが観測された。また、XRD ϕ スキャンの結果から構造解析を行なったところ、この PZT 薄膜は従来のペロブスカイト構造ではなく、単斜晶であることがわかった。

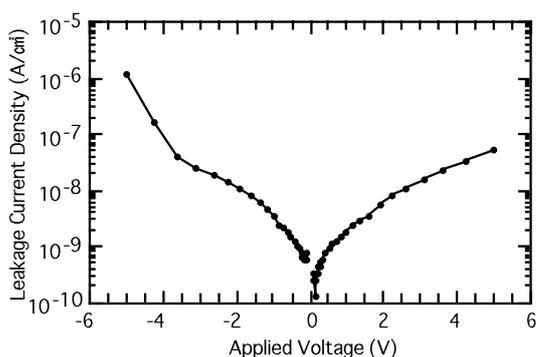


図 1: アニール処理を施した試料の J-V 特性

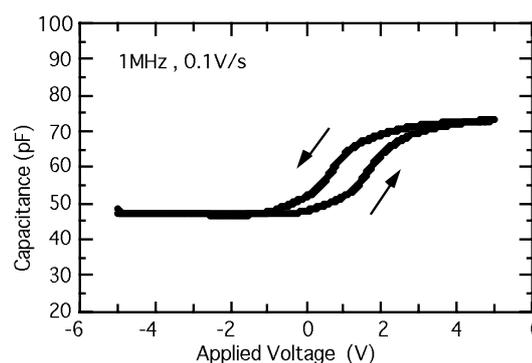


図 2: アニール処理を施した試料の C-V 特性

keywords

MFIS-FET, 強誘電体, PZT, 低温形成, YSZ