

Title	Si基板上にヘテロエピタキシャル成長させたYSZ薄膜の電気的特性の改善
Author(s)	中島, 英樹
Citation	
Issue Date	1999-03
Type	Thesis or Dissertation
Text version	none
URL	http://hdl.handle.net/10119/2583
Rights	
Description	Supervisor:堀田 將, 材料科学研究科, 修士

Si 基板上にヘテロエピタキシャル成長させた YSZ 薄膜の電気的特性の改善

中島 英樹 (堀田研究室)

【はじめに】酸化物絶縁体 $\text{YSZ}[(\text{ZrO}_2)_{1-x}(\text{Y}_2\text{O}_3)_x]$ は、格子定数が Si のそれに近く、Si(100) 基板上にヘテロエピタキシャル成長が可能のため、Si 基板と強誘電体薄膜とを接合するためのバッファ層への応用が期待されている。今までに、 $\text{Ar}+\text{O}_2$ ガスを用いた反応性スパッタ法を用い、YSZ 薄膜を Si(100) 基板上にヘテロエピタキシャル成長させることに成功している。しかし、C-V 曲線の歪みや YSZ/Si 界面での SiO_x 層形成等の問題がある。そこで本研究では、アニールによる欠陥密度の低減、界面における SiO_2 層の形成制御等を行うことで、漏れ電流密度が SiO_2 程度であり、比誘電率が 10 以上のデバイスレベルで使用可能な YSZ 薄膜の作製を目的としている。

【実験】(100) Si 基板表面に極薄の熱酸化膜を形成し、その上に Ar ガスを用いたスパッタ法により約 0.5nm の Zr + Y 合金膜を堆積して、両者の還元反応により YSZ 初期層を形成した。その後、 O_2 ガスを導入した反応性スパッタ法により YSZ 薄膜を 10nm 堆積した。YSZ 膜のアニール処理は、窒素及び酸素雰囲気中で、基板温度 800 ~ 950 °C、時間 1 ~ 60 分の条件で行なった。YSZ/Si 界面の SiO_x 層の抑制は基板温度や酸素導入による酸素暴露時間等を制御することで行なった。成膜プロセス中の SiO_2 層の層厚評価は XPS 法で、堆積後のそれは C-V 法より見積もった。

【結果】図 1 に、堆積直後及び窒素雰囲気中アニール処理後の試料の C-V 曲線を示す。図からアニール処理をすることにより電気容量は減少するが、堆積直後に見られた -0.5V 付近の C-V 曲線の歪みがなくなっていることがわかる。電気容量の減少は、YSZ 薄膜内部の酸素がアニール処理で界面にまで拡散したことにより SiO_x 層が厚くなったためであり、また C-V 曲線の歪みがなくなったのは、 SiO_x 層の層厚が均一に近づいたためと考えられる。

図 2 に、従来の成膜プロセス及び酸素暴露時間を短くした新プロセスにおける合金膜堆積直後、反応性スパッタ前後の界面での SiO_2 層の層厚を示す。図より酸素暴露時間を短くした新プロセスでは、反応性スパッタ直前において SiO_2 層の層厚が約 0.6nm と減少し、 SiO_2 層の形成が抑制されていることがわかる。

【おわりに】今後は、反応性スパッタによる YSZ 膜堆積時の SiO_x 層の形成制御が必要である。

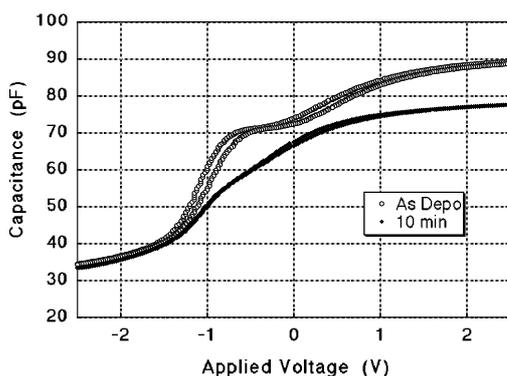


図 1: アニール前後の C-V 曲線

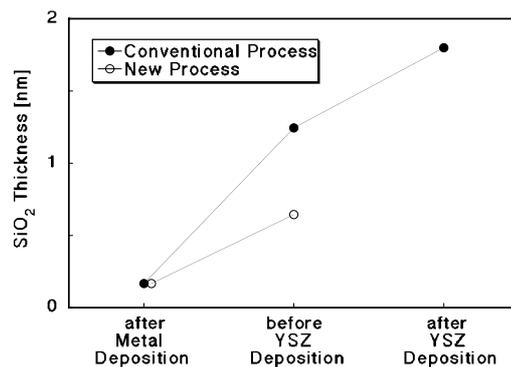


図 2: 各プロセス段階における界面での SiO_2 層の膜厚変化

keywords

Si, YSZ, ヘテロエピタキシャル成長, 反応性スパッタ法, XPS, I-V, C-V