

Title	非晶質基板上に堆積する Si 薄膜の結晶化への電界および電荷の影響
Author(s)	山下, 幸司
Citation	
Issue Date	2000-03
Type	Thesis or Dissertation
Text version	none
URL	http://hdl.handle.net/10119/2666
Rights	
Description	Supervisor:堀田 將, 材料科学研究科, 修士

非晶質基板上に堆積する Si 薄膜の結晶化への電界および電荷の影響

山下 幸司 (堀田研究室)

【はじめに】現在 TFT 液晶パネルなどに代表される半導体デバイスにおいて、非晶質基板上に低温で作製できる結晶性の良い多結晶 Si が求められている。この技術が完成すれば、安価なガラス基板上に膜が作製できるなど、基板の制限が緩和されるために応用範囲が広がる。そこで本研究では、非晶質基板上の堆積 Si 粒子のマイグレーションや島の合体を助長させるため、基板表面に電界を印加して堆積膜の結晶化を促進させるとともに、膜の結晶成長に影響を及ぼすと予想される基板表面へ飛来する電荷量を、基板バイアス電流でコントロールして、Si 薄膜の結晶成長の制御、およびその成長機構の解明を目的としている。

【実験】Si 薄膜は、基板温度 500 から 660℃、堆積レート 1nm/min で、超高真空蒸着装置内で電子ビーム蒸着法により作製した。電界は石英基板表面に平行になるように、3mm の電極間に 150V の電圧を印加することで発生させ、その電界により堆積膜中に流れる電流を測定した。また、飛来電荷量は基板に印加した -150 から 150V のバイアス電圧により制御し、バイアス電流値を飛来電荷量の目安とした。堆積膜の結晶性は反射高速電子線回折 (RHEED) および X 線回折 (XRD) 法、表面形態は原子間力顕微鏡 (AFM) により評価した。

【結果と考察】図 1 に、電界を印加した場合と印加しない場合の、膜厚 13nm の堆積初期膜の AFM 像を示す。図より、電界を印加した堆積膜の結晶粒が、印加していないものより大きいことが分かり、さらに RHEED 像を比較すると、結晶性も良いことから、堆積初期における電界印加が Si 薄膜の結晶化を促進し、さらに膜厚を増加させた連続膜の結晶性に寄与するものと考えられる。また、Si (220) ピークの積分強度比のバイアス電流依存性を図 2 に示す。ただし、膜が連続になるとバイアス電流が急激に大きくなったので、図では、最大値と最小値との差をバイアス電流値とした。図より、基板表面のバイアス電流によって、結晶性が変化していることがわかる。このことから、堆積時のバイアス電流が堆積初期段階の核発生、および結晶成長に影響を与えていることが、示唆される。

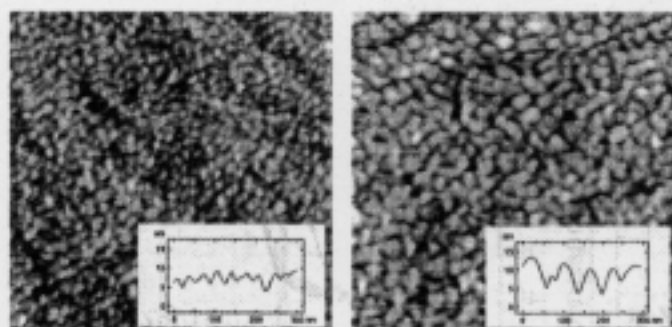


図 1 堆積初期膜の AFM 像 (左) 電界印加なし (右) $5 \times 10^4 \text{ V/m}$ 印加 (走査範囲 $1 \mu\text{m} \times 1 \mu\text{m}$)

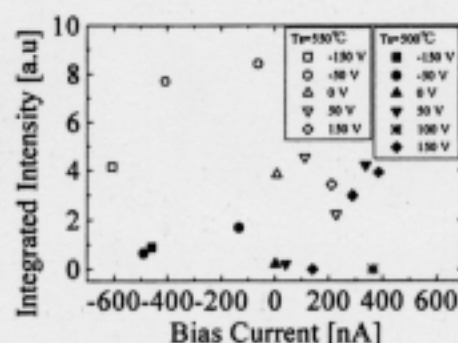


図 2 Si (220) ピークの積分強度比のバイアス電流依存性

keywords Si、非晶質基板、超高真空、電界印加堆積、電荷、RHEED、XRD、AFM