

Title	エピタキシャルBi ₄ Ti ₃ O ₁₂ (BIT)薄膜を用いた強誘電体メモリデバイスの研究
Author(s)	佐々木, 伸悟
Citation	
Issue Date	2001-03
Type	Thesis or Dissertation
Text version	none
URL	http://hdl.handle.net/10119/2777
Rights	
Description	Supervisor:堀田 将, 材料科学研究科, 修士

エピタキシャル BIT 薄膜を用いた強誘電体メモリデバイスの研究

佐々木 伸悟 (堀田研究室)

【はじめに】近年、強誘電体薄膜を不揮発性メモリに応用する研究開発が盛んに行われており、特に高集積化で有利な電界効果トランジスタ (Field Effect Transistor: FET) 型の応用が期待されている。本研究では FET 型メモリ構造として、強誘電体ゲート絶縁膜と、Si との相互拡散を抑制するバッファ層を用いた MFMIS (Metal-Ferroelectric-Metal-Insulator-Semiconductor) 構造を採用している。また、強誘電体薄膜を単結晶にすることで、結晶粒界などの影響を受けない安定で良好な強誘電体特性が期待できるため、エピタキシャル成長膜を用いた。本研究では、強誘電体に、比誘電率が 100 ~ 150 と強誘電体としては比較的小さい $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT) を、バッファ層に常誘電体としては比誘電率が 20 ~ 25 の YSZ (Yttria-Stabilized Zirconia) を使い、BIT/ Ir/YSZ/Si、BIT/Pt/YSZ/Si、BIT/Pt/Ir/YSZ/Si の三つの積層構造について調査を行い、エピタキシャル BIT 薄膜に良好な強誘電体特性が現れる構造を見出すことを目的とする。

【実験】YSZ 薄膜は反応性スパッタ法により (100)Si 基板上に、Ir 薄膜、Pt 薄膜はスパッタ法により堆積した。また、BIT 薄膜は、反応性スパッタ法により Bi_2TiO_5 セラミックターゲットを用いて堆積した。上部電極には Au 薄膜を真空蒸着法により堆積した。

【結果と考察】XRD 測定により、BIT/Ir/YSZ/Si、BIT/Pt/YSZ/Si、BIT/Pt/Ir/YSZ/Si のいずれの積層構造においても、各層がエピタキシャル成長していることが確認された。BIT/Ir/YSZ/Si 構造では BIT 薄膜に強誘電体特性を得ることはできなかった。図 1 に BIT/Ir/YSZ/Si 構造における RBS スペクトルを示す。図 1 のの部分から Si 原子の Ir 層に至るまでの広範囲な拡散が確認できる。これが、BIT 薄膜の強誘電体特性の発現を妨げる一要因として考えられた。一方、BIT/Pt/YSZ/Si の構造では、BIT 薄膜に強誘電体特性を得ることができた。図 2 に、この構造で得られた BIT 薄膜の P-E ヒステリシス特性を示す。しかし、Pt は Ir よりも (111) への自己配向性が強く、Ir がエピタキシャル YSZ/(100)Si 基板上で容易にエピタキシャル成長するのに対し、Pt は (100) でエピタキシャル成長することが難しく、また、BIT 薄膜を堆積した BIT/Pt/YSZ/Si 構造では、(100)Pt 薄膜の保持が難しかった。さらに、この構造では、BIT 薄膜の強誘電体特性を安定に得ることは難しかった。そこで、まずエピタキシャル (100)Pt 薄膜を得るために、Pt と YSZ 薄膜間に Ir 薄膜を挿入した。Pt/Ir/YSZ/Si 構造を製膜したところ、Pt 薄膜は容易にエピタキシャル成長した。しかし、BIT/Pt/Ir/YSZ/Si 構造における BIT 薄膜の強誘電体特性はまだ得られておらず、その原因について現在検討中である。

【まとめ】BIT/Pt/YSZ/Si 構造において BIT 薄膜に強誘電体特性を得ることができた。また、エピタキシャル BIT/Pt/Ir/YSZ/(100)Si 構造を得ることができた。

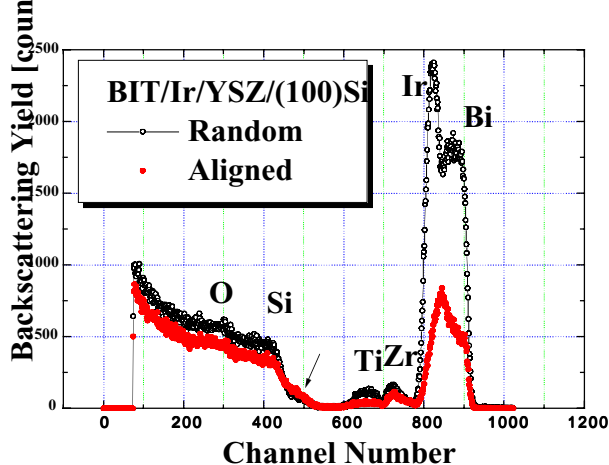


図 1 BIT/Ir/YSZ/(100)Si 積層構造の RBS スペクトル

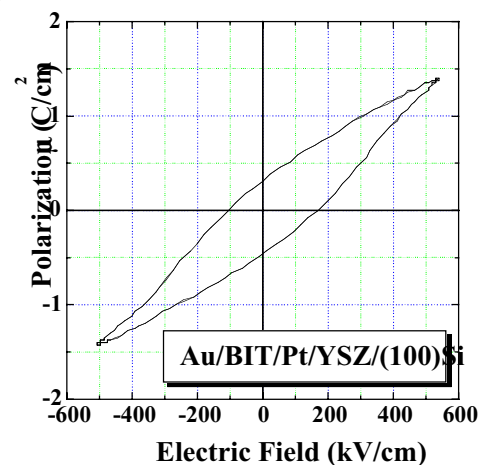


図 2 P-E ヒステリシス特性

Keywords ; 強誘電体メモリ、スパッタリング法、エピタキシャル成長、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、Ir、Pt、YSZ