JAIST Repository
https://dspace.jaist.ac.jp/

Title	Cat-CVD膜を用いた薄膜トランジスタの研究
Author(s)	堤，隆之
Citation	
Issue Date	2001-03
Type	Thesis or Dissertation
Text version	none
URL	http://hdl.handle.net/10119/2792
Rights	
Description	Supervisor:松村　英樹，材料科学研究科，修士

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY

Japan Advanced Institute of Science and Technology

A21p4

Cat-CVD 膜を用いた薄膜トランジスタの研究

堤 隆之（松村研究室）

【はじめに】液晶ディスプレイにおいては、画面を構成する 100 万個以上の各画素ごとにスイッチングを独立して行っており、これを担っているのが薄膜トランジスタ（Thin Film Transistor：TFT）である。この TFT の製造コストを下げるために、製造時のパターンマスクの転写回数を減らすことが求められる。このための手法として、チャネルエッチ法があり、この技術を用いたボトムゲート（ゲートが下にある）型 TFT の製作が求められる。この場合、TFT 材料として用いられているアモルファスシリコン（a-Si:H）層に 200nm 以上の膜厚が必要とされ、この a-Si:H の高速堆積が必要となる。従来用いられてきた PECVD 法では堆積速度が低く（約 0.3 nm/s)、ガスの利用効率も数%程度と悪い。一方、Cat-CVD 法により、10^{15} cm^{-3} 台と欠陥密度の低い高性能な a-Si:H 膜の高速堆積（1.9 nm/s）に成功しており、ガスの利用効率も 30%以上と高い。そこで本研究ではこの高速堆積 a-Si:H 膜をチャネル層に用いた TFT の作製の可能性を調べることを目的に本研究を行った。TFT に必要な、ゲート絶縁膜用 SiN_x 膜およびリンドープ n^+-a-Si:H 膜の堆積も Cat-CVD 法を用いて行った。

【実験】TFT に使用する a-Si:H 膜、n^+-a-Si:H 膜、SiN_x 膜を堆積し、それぞれ単膜における評価を行った。a-Si:H 膜の欠陥密度の評価は ESR 法を用いた。SiN_x 膜の電気的特性は C-V・J-V 測定により評価し、また、n^+-a-Si:H 膜のドーズ量の算出は全反射蛍光 X 線測定により行い、電気伝導度は I-V 測定から算出した。基板には石英基板と低抵抗 Si 基板を用い、石英基板には Cr を真空蒸着しゲート電極とした。その上にゲート絶縁膜 SiN_x 膜を 200nm 堆積し、その後 a-Si:H 膜を 200nm、n^+-a-Si:H 膜を 10nm 堆積し、素子分離を行った。ソース・ドレイン電極に Cr を真空蒸着した後、チャネルエッチを施した。室温において I_d-V_g 測定を行い、電界効果移動度の算出を行った。

【結果】右図にボトムゲート型 TFT（Si 基板）の I_d-V_g 測定結果を示す。チャネル幅 500 μm、チャネル長 100 μm である。ゲート電圧が 9.5 V 付近で電界効果移動度 0.85 cm^2/Vs が得られており、しきい値電圧は 4.6 V であった。PECVD 法により堆積した a-Si:H 膜を用いて作られたボトムゲート型 TFT とほぼ同等の電界効果移動度が、PECVD 法に比べて 5 倍以上高速な堆積速度および 5 倍以上の SiH_4 ガス利用効率のもとで実現し、Cat-CVD 法の有用性を明らかとした。

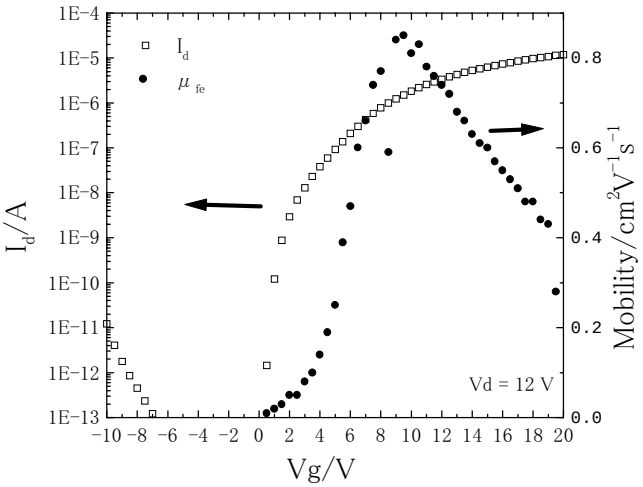

図　TFT の I_d-V_g 特性

Keywords：　TFT、Cat-CVD、電界効果移動度、チャネルエッチ、高速堆積、ボトムゲート