

Title	CMOS動作をする三値メモリシステムの実現とその設計体系の研究
Author(s)	塩田, 達彦
Citation	
Issue Date	2008-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/4301
Rights	
Description	Supervisor:日比野 靖, 情報科学研究科, 修士

修士論文

CMOS動作をする三値メモリシステムの実現と
その設計体系の研究

北陸先端科学技術大学院大学
情報科学研究科情報システム学専攻

塩田 達彦

2008年3月

修士論文

CMOS動作をする三値メモリシステムの実現と その設計体系の研究

指導教官 日比野 靖 教授

審査委員主査 日比野 靖 教授
審査委員 田中 清史 准教授
審査委員 井口 寧 准教授

北陸先端科学技術大学院大学
情報科学研究科情報システム学専攻

610702 塩田 達彦

提出年月：2008年2月

概要

本論文では、大規模集積回路のさらなる高機能化、高集積化を実現するために、内部での配線量の削減と計算機の計算効率向上の期待ができる三値論理回路を取り上げ、三値メモリステムの実現を図る。また、その動作は、低消費電力の実現、現在の集積回路製造プロセスの利用という観点から、ゲート電圧の閾値によりスイッチングする CMOS で行われる。

はじめに、三値論理回路の内、インバータ回路(NOT回路)を実現する。続いて、三値ラッチ回路を実現する。次に、その三値ラッチ回路をマスタ・スレーブ方式で実現し、そのラッチ回路を用いて、三値 SRAM メモリセルを実現する。そして、最後にその SRAM メモリセルを格子状に配置し、アドレスデコーダを付随し、三値メモリステムを実現する。その一連の流れ、設計法を提案する。

それら動作は、SPICE シミュレーションにより確認した。

目次

第1章 はじめに	1
1.1 背景と目的.....	1
1.2 本論文の構成.....	2
第2章 多値論理	3
2.1 多値論理とは.....	3
2.2 三値論理の採用.....	3
第3章 三値論理回路	6
3.1 二値の CMOS 動作.....	6
3.2 三値インバータ回路(NOT 回路).....	6
3.3 Olson 法による一変数三値論理回路.....	7
3.4 TG 法による二変数三値論理回路.....	9
第4章 三値の記憶素子	11
4.1 三値メモリシステム実現法.....	11
4.2 三値のラッチ.....	11
4.3 三値 SRAM メモリセル.....	13
第5章 実験結果	14
5.1 シミュレーション環境.....	14
5.2 MOS 閾値の決定.....	14
5.3 三値インバータ回路(NOT 回路).....	18
5.4 三値ラッチ回路.....	19

5.5	三値メモリセル.....	20
5.6	考察.....	22
第 6 章	三値 SRAM メモリシステムの検討	23
6.1	メモリシステムの構成.....	23
6.2	二値メモリシステムとの比較.....	24
第 7 章	結論	26
付録 A	SPICE パラメータ	27
付録 B	リーク電流	33
謝辞		

目 次

2.1	二値インバータ回路(NOT 回路).....	5
2.2	三値インバータ回路(NOT 回路).....	5
3.1	三値論理回路の概要図.....	7
3.2	トランスファージェート.....	9
3.3	TG 法によるトランスファージェート.....	10
4.1	二値ラッチ回路.....	12
4.2	三値ラッチ回路.....	12
4.3	二値 SRAM メモリセル.....	13
4.4	三値 SRAM メモリセル.....	13
5.1	V _{gs} -I _{ds} 特性.....	16
5.2	三値インバータ回路(NOT 回路)実験結果.....	18
5.3	三値ラッチ回路実験結果.....	19
5.4	三値 SRAM メモリセル実験結果.....	20
6.1	三値 SRAM メモリシステム.....	23
B.1	三値 SRAM メモリリーク電流.....	33

表 目 次

2.1	二値構成、三値構成の比較.....	4
3.1	SW(n)、 $n \in \{-1,0,1\}$ を構成するスイッチ.....	8
3.2	MOS トランジスタの名称、種類、閾値.....	8
5.1	閾値調整結果.....	15
6.1	アドレスデコーダの真理値表.....	24
6.2	検討した SRAM メモリシステムの二値、三値構成比較.....	25

第 1 章 はじめに

1.1 背景と目的

携帯電話や、家電製品、ゲーム機、自動車、ロボットなどの製品は、人間社会にまさに馴染んできたと言っていい。それだけ、人々の様々な要求をストレスなく処理し、社会に溶け込んできているからである。これから、さらに今以上、その要求も多種・多様化していき、社会はますます製品に対し、利便性を要求することになるだろう。

一方、その利便性のある様々な製品を支えているのは組み込みシステムと呼ばれるものである。ユビキタス社会と言われるようになって久しくなってしまったが、身近な製品には必ず、専用の CPU や OS が搭載され、より知的な製品へと生まれ変わった。その組み込みシステムを実現するハードウェアの最もコア技術となっているのが大規模集積回路、VLSI や ULSI と呼ばれるものである。それらの高集積化の技術はめざましい発展を遂げている。それにより、CPU や OS までもワンチップに組み込んだ SoC(System on a Chip) と呼ばれるシステム搭載の大規模集積回路をそれら製品に使用することは既定の事実となった。人々は製品の利便性を、より高機能、より小型化に求め、大規模集積回路には、一層の多機能集積化が求められている。

しかし、現在の二値信号での構成では、多機能集積化において、処理する情報量の増加とともにチップの内部配線量の増大や入出力ピンの不足などの問題が避けられなくなってしまった。とくに、その配線面積はチップ内部の約 70%を占めるとも言われている[1]。

そこで、その課題の解決策の一つが、集積回路への多値論理の導入した、多値集積回路である。多値論理は、当初、ヒューマンライクな処理が可能であるとして様々な処理、アルゴリズムの一つとして研究されてきたが、最近では、集積回路への応用としての期待も高くなっている。多値集積回路は、多値信号を取り扱うことにより、一信号線当たりの情報量を増やすことで、内部配線量や入出力ピンの削減を図ることができる。それにより、さらなる集積度の向上が期待できる。

本論文では、計算効率の向上、計算機構成の簡素化が最も期待できる三値論理を採用し、三値メモリシステムの実現をするものである。また、三値論理回路の設計からメモリシステムの実現までの流れも提示する。これにより、三値論理回路、多値集積回路の実用化が近づくものと考えている。

1.2 本論文の構成

本論文の構成については、以下の通りである。

第2章では、多値論理についてと、その中から、なぜ三値論理に注目したのかを述べる。第3章では、二値でも使用されている CMOS 動作について述べ、三値論理回路、とくにその中でもメモリで使用する、インバータ回路(NOT 回路)の実現法について述べる。三値論理回路の実現する基になっている Olson 法[2]、TG 法[3]について述べる。第4章では、三値の記憶素子を実現するにあたり、その手順を示し、ラッチ回路と SRAM メモリセルの構成について述べる。第5章では、第3章、第4章で作った回路を SPICE シミュレーションした結果とその考察を行う。第6章では、三値 SRAM メモリシステムとしての検討結果を述べる。第7章では、まとめを行い、実用化への展望と課題について述べる。

第 2 章 多値論理

2.1 多値論理とは

多値論理は、二値論理以外のもの、すなわち、三値以上の論理すべてをさすことになる。現在、コンピュータ、電子計算機の主流である二値論理であるが、その後継として、二値論理では表現できない曖昧性を含んだ、よりヒューマンライクな処理が実現可能だとして、より人間の処理に近づいたコンピュータを目指し、人工知能分野として研究されてきた。

集合境界の曖昧性を持った理論であるファジィ理論や、神経細胞網をもとにしたニューラルネットワークも多値閾値のニューロンを使用したものであり、多値論理として捉える。そのほか、多値符号化に適した演算方式が見出されている。

このようなアルゴリズム、演算方法の研究が進むと必然的に、ハードウェア化、回路化への要望が大きくなる。しかし、素子自体が多値化され、人間に近いアルゴリズムが実現できる人工知能プロセッサというより、現実的には、単純に次のような点が多値論理導入の大きな効果と考える。

- ・信号線の多値符号化による配線量の削減
- ・計算機構成の簡素化
- ・多値符号に適した演算処理が可能

本論文でも、この 3 点の効果を採用し、大規模集積回路への適用を図った。

2.2 三値論理の採用

多値論理の中でも、三値論理は、計算効率の向上や、計算機構成の簡素化など研究報告がされている。とくに、情報セキュリティにおける主要な技術である暗号化の分野における楕円曲線暗号や XTR の暗号処理効率化に標数 3 の体を用いた演算に利用され、とくに、 $\{-1,0,1\}$ の対称三進表現を用いた符号付きバイナリ表現での暗号化演算の効率化が報告されている[4]。

三値論理では、 $L = \{0,1,2\}$ を用いることが一般的だが、本論文では、以上の報告から、次の対称三進表現を考える。

$$L = \{-1,0,1\}$$

また、回路を実現した。回路で使用する三値論理演算は次の通りである。

$$\begin{aligned} OR(x, y) &= \max\{x, y\} \\ AND(x, y) &= \min\{x, y\} \\ NOT(x) &= -x \pmod{3} \\ ADD(x, y) &= x + y \pmod{3} \\ PRO(x, y) &= x \cdot y \pmod{3} \end{aligned}$$

とくに、今回、設計するインバータ回路(NOT 回路)を例にとると、対称三進表現を使用するので、

$$\begin{aligned} NOT(-1) &= -(-1) \pmod{3} = 1 \\ NOT(0) &= -(0) \pmod{3} = 0 \\ NOT(1) &= -(1) \pmod{3} = -1 \end{aligned}$$

となる。

次に、回路を作成した場合の二値論理回路、三値論理回路の MOS トランジスタ数、情報量などを比較する。図 2.1 に、二値インバータ回路(NOT 回路)を、図 2.2 に本論文で設計した三値インバータ回路(NOT 回路)を示してある。回路詳細については第 3 章で述べる。

ここで、三値における信号線 1 本当たりの情報量[bit]は、

$$\log_2 R^n \quad (R \text{ は進数、} n \text{ は取り扱う変数の数あるいは桁数})$$

で表される。たとえば、4 桁を考える。二値の場合は素直に $\log_2 2^4 = 4[\text{bit}]$ 、三値の場合は、 $\log_2 3^4 = 6.340[\text{bit}]$ となる。以上より、インバータ回路(NOT 回路)について比較した。表 2.1 に示す。

表 2.1: 二値構成、三値構成の比較

	二値インバータ回路(NOT 回路)	三値インバータ回路(NOT 回路)
値の数 [個]	2	3
MOS トランジスタ数[個]	2	4
1 本当たりの情報量[bit]	1	1.585

表からは、トランジスタ数が倍になり、一見、三値構成には不利な点のように見えるが、信号線 1 本あたりの情報量は増えている。大規模集積回路では、配線量の方が大きな問題となっている。とくに、桁数が増えれば増えるほど、その差は歴然としてくる。その差は信号線数、配線数の差となる。大規模集積回路で高集積になればなるほど、三値構成での配線量削減の効果が大きいことがわかる。

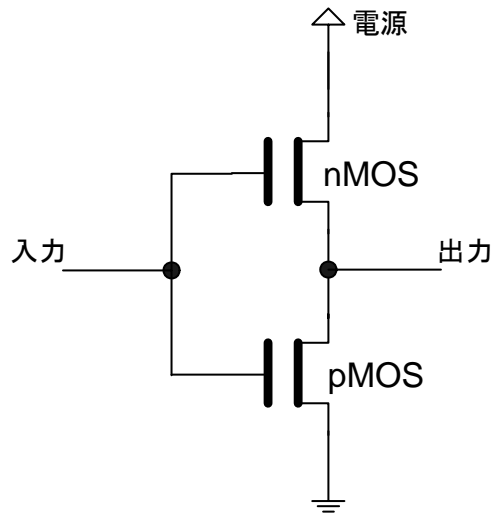


図 2.1:二値インバータ回路(NOT 回路)

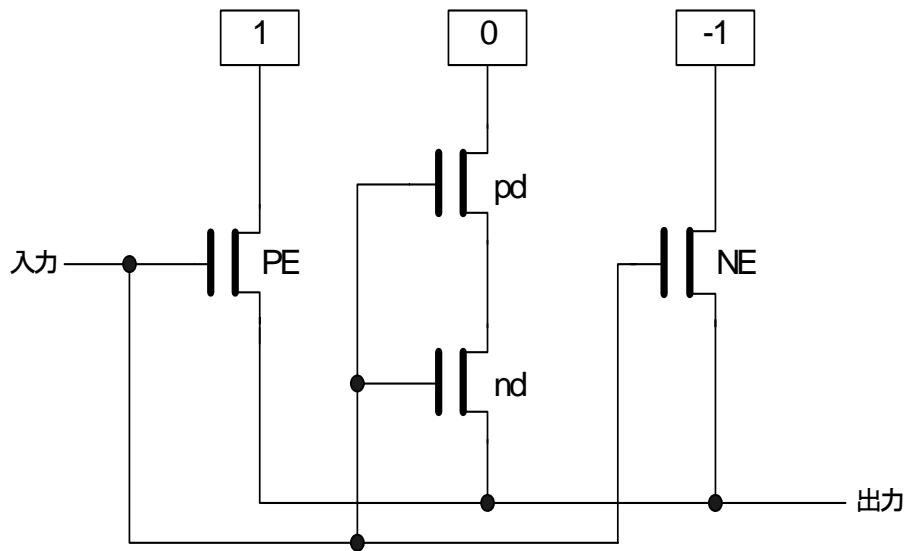


図 2.2:三値インバータ回路(NOT 回路)

第3章 三値論理回路

3.1 二値の CMOS 動作

三値論理回路の構成を述べる前に、その基本構成となる素子や動作について説明する。素子、構成、動作ともに、次に挙げる二値構成で採用されているものを基本としている。これにより、現在、確立されている MOS 製造プロセスを使用でき、実用化へ近づける。

- MOS トランジスタを使用し、ゲート電圧の変化でスイッチング動作する
- 2 種類の p チャネル MOS、n チャネル MOS を使用した CMOS 構成
- その 2 種類は相補対称的に組み合わせられ、動作する

では、二値の CMOS 動作について説明する。MOS トランジスタはチャネルの種類を問わず、いずれもゲート電圧の閾値によりスイッチング動作をする。ゲートにかかるゲート電圧 $V_{gs}[V]$ が MOS トランジスタの閾値を超えると、MOS トランジスタのドレイン・ソース間に電流 I_{ds} が流れる。これがスイッチ ON の状態である。また、n チャネル MOS はゲート電圧が+で ON 状態になり、p チャネル MOS は-で ON 状態になる。

第2章、図 2.1 の二値インバータ回路(NOT 回路)をもう一度見てみる。この 2 種類のトランジスタを直列に接続すること、ゲート電圧の信号線を共通にし、共通駆動することで、一方の MOS トランジスタが ON 状態のときは、もう一方の MOS トランジスタは OFF 状態、また、一方のトランジスタが OFF 状態のとき、もう一方は ON 状態になる。さらに、定常時には電流は流れず、スイッチ動作時のみ電流が流れる。このように、2つの MOS トランジスタが相補対称的動作し、組み合わせられた CMOS 構成となる。この構成では回路に流れる電流量も最小限にすることができ、低消費電力での集積回路の実現を可能にしている。

本論文でいう CMOS 動作とは、二値での CMOS 動作と同じであり、あくまでもゲート電圧の大きさにより、MOS トランジスタのスイッチが動作し、そのスイッチ動作時のみ電流が流れ、定常時には流れない。こういう動作をさす。

3.2 三値インバータ回路(NOT 回路)

第2章、図 2.2 は、三値インバータ回路(NOT 回路)である。Olson 法を適用し、構成したものである。この回路も 2 種類の MOS トランジスタを相補対称的に動作するように

CMOS 構成されている。このように、三値論理回路においても二値論理同様、この CMOS 動作を適用することができる。

また、この回路は一変数三値論理回路である。その一変数三値論理回路には、Olson 法を適用する。また、対称三進表現を採用する。ここでいう NOT は、第 2 章 2.2 の三値論理演算で、 $\{-1,0,1\} \rightarrow \{1,0,-1\}$ となる。

Olson 法では、MOS トランジスタの閾値調整が必要である。ここでは、エンハンスメント型の p チャネル MOS(PE)と、n チャネル MOS(NE)。また、ディプリーション型の p チャネル MOS チャネル MOS(pd)と n チャネル MOS(nd)を使用する。対称三進表現を使用するので、電源が三つ、0 を中心に、正負の電圧が必要になる。ここでは、説明がしやすいように、論理値-1、0、1 をそれぞれ、-1[V]、0[V]、1[V]とする。

-1[V]側に接続される NE はゲート・ソース間電圧 V_{gs} が 1.0[V]を超えるプラス側の閾値となる。同様に、1[V]側に接続される PE は-1.0[V]以下の閾値となる。これは、ゲート・ソース電圧が 0V 前後のときは、0[V]に接続されている MOS のみがスイッチ動作しなくてはならず、PE、NE がスイッチ動作をしてしまうと相補対称動作が崩れてしまうからである。したがって、PE、NE は十分余裕を持って閾値を設定する必要がある。

0[V]側に直列接続される pd,nd は 0[V]時に共にスイッチング動作し、十分電流が流れるよう閾値設定をしなければいけない。ゲート電圧が-1[V]、1[V]のときでも、片側だけがスイッチ動作をすることは問題にならない。そのことから、通常の p チャネル、n チャネルの通常の閾値とは逆の、p チャネルはプラス側、n チャネルはマイナス側に閾値を持ち、それぞれ、1[V]、-1[V]を超えない閾値を設定しなければならない。

3.3 Olson 法による一変数三値論理回路

インバータ回路(NOT 回路)は、一変数三値論理回路と呼ばれる。その一変数三値論理には、OLSON EDGAR DANNY 氏が提案した方法(Olson 法)[2]で設計することができる。

三値論理回路を考えると、図 3.1 に示すように、3 つの電源にそれぞれ SW(-1)、SW(0)、SW(1)の MOS トランジスタのスイッチが接続される概要図ができる。その 3 つのスイッチは、必ずどれか一つのみしか ON 状態になることができない。これは、3.1 二値の CMOS 動作で述べた。

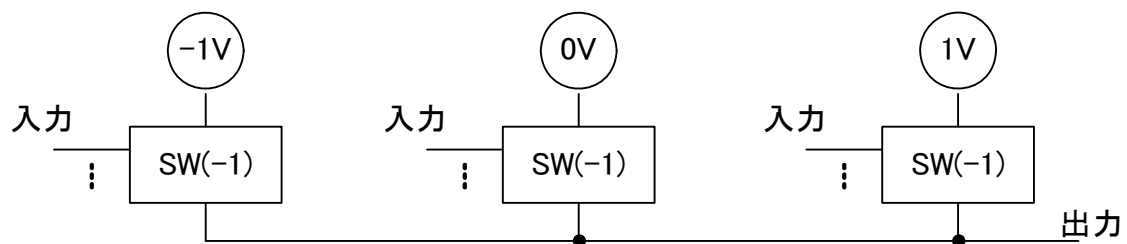


図 3.1:三値論理回路の概要図

一変数三値論理関数は $3^3 = 27$ 種類あり、二値論理関数の一変数関数と比べて、かなり多い数ではあるが、設計できないほどの数ではない。また、どんな入力でも、出力が-1、どんな入力でも出力が0、どんな入力でも出力が1の場合の三種、また、入力が-1のとき出力が1、入力が0のとき出力が0、入力が1のとき出力が1と入出力の値が同じになる場合の一種、の4種はスイッチを必要としないので除かれる。

各スイッチ $SW(n)$ 、 $n \in \{-1, 0, 1\}$ はいくつかの p チャンネル MOS と n チャンネル MOS を直列あるいは並列に接続することで構成される。スイッチを構成したい関数が、どんな入力の値に対しても n を返さない場合、スイッチは必要ない。

以上から、各 $SW(n)$ を構成する場合は、表 3.1 の 6 種類のスイッチが必要になる。

表 3.1: $SW(n)$ 、 $n \in \{-1, 0, 1\}$ を構成するスイッチ

入力	I	II	III	IV	V	VI
-1	off	off	on	on	on	off
0	off	on	on	off	off	on
1	on	on	off	off	on	off

例えば、I の場合、入力が -1、0 が入った場合、off 状態になり、入力が 1 の場合、on 状態になるスイッチである。V は I と IV のスイッチを並列に接続すれば実現できる。VI が II と III のスイッチを並列に接続すれば実現できる。

Olson 法では、このスイッチ、実際には MOS トランジスタになるが、閾値の異なる p チャンネル MOS トランジスタを 3 種類、 p チャンネル MOS トランジスタを 3 種類、合わせて 6 種類で、図 3.1 の各スイッチを構成できるとある。

表 3.2 に、その 6 種類の MOS トランジスタを示す。P、p は p チャンネル MOS トランジスタを、N、n は n チャンネル MOS トランジスタをさす。大文字は小文字より閾値の絶対値が大きいことを意味する。E、e はエンハンスメント型、d はディプリーション型を表す。ここでは、前項同様、説明がしやすいように、論理値 -1、0、1 をそれぞれ、 $-1[V]$ 、 $0[V]$ 、 $1[V]$ とする。

表 3.2: MOS トランジスタの名称、種類、閾値

名称	閾値と種類
PE	閾値が $-2V$ と $-1V$ の間(例えば $-1.5V$)のエンハンスメント型 p チャンネル
pe	閾値が $-1V$ と $0V$ の間(例えば $-0.5V$)のエンハンスメント型 p チャンネル
pd	閾値が $0V$ と $1V$ の間(例えば $0.5V$)のディプリーション型 p チャンネル
NE	閾値が $1V$ と $2V$ の間(例えば $1.5V$)のエンハンスメント型 n チャンネル
ne	閾値が $0V$ と $1V$ の間(例えば $0.5V$)のエンハンスメント型 n チャンネル
nd	閾値が $-1V$ と $0V$ の間(例えば $-0.5V$)のディプリーション型 n チャンネル

これを組み合わせれば、一変数三値論理回路を実現できる。図 2.2 のインバータ回路

(NOT 回路) はここまでの Olson 法で実現できる。

3.4 TG 法による二変数三値論理回路

では、二変数三値論理関数であると、 $3^3 = 19,683$ 種類あり、各関数のスイッチを作成するのは簡単ではない。このため、Olson 法の一変数三値論理回路とトランスファーゲート(Tゲート)を組み合わせることで実現できる方法(TG 法、トランスファーゲート法)が提案されている[3]。この方法について説明する。

まず、ここで使用するトランスファーゲートとは

$$T(p_{-1}, p_0, p_1; s) = p_i \quad (s = i \text{ のとき})$$

の動作となり、図 3.2 のようになる。

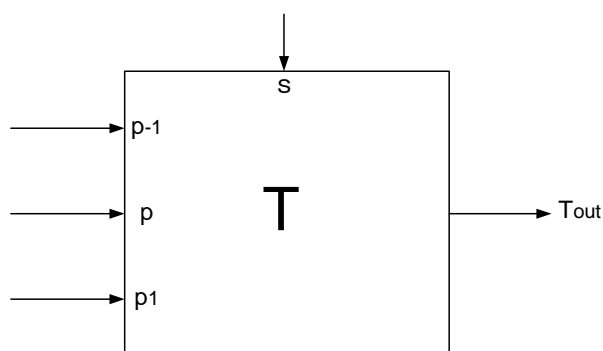


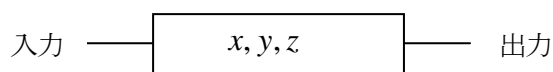
図 3.2: トランスファーゲート

次に、 $x, y, z \in \{-1, 0, 1\}$ に対して、引数が -1 のときに x を、引数が 0 のときに y を、引数が 1 のときに z を返す一変数関数を

$$(x, y, z)$$

と表記する。

また、 (x, y, z) を実現するための三値論理ゲートを



と図示すると、カルノー図は、

		a		
		-1	0	1
	-1	r	s	t
	b 0	u	v	w
	1	x	y	z

で定義される二変数関数のゲートは一変数関数 (r, s, t) 、 (u, v, w) 、 (x, y, z) のゲートとトランスファーゲートから構成できる。図 3.3 に示す。

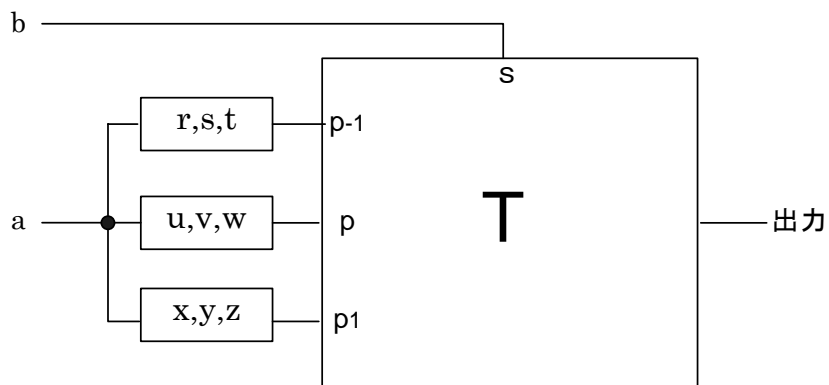


図 3.3 TG 法によるトランスファーゲート

一変数関数 (r, s, t) 、 (u, v, w) 、 (x, y, z) の部分に、前述の Olson 法による一変数三値論理回路の設計法を適用する。これが、TG 法で、二変数三値論理回路を実現できる。

第 4 章 三値の記憶素子

4.1 三値メモリシステムの実現法

三値メモリシステムの実現にあたっては、次の手順で進める。この一連の流れは、二値メモリシステムが実現された過程をもとに考えたものである。

- 1.三値論理回路におけるインバータ回路(NOT 回路)を実現する。
- 2.完成したインバータ回路を利用して、ラッチ回路を実現する。
- 3 完成したラッチ回路を利用して SRAM メモリセルを実現する。
- 4.SRAM メモリセルを配置し、SRAM メモリシステムを実現する。

まず、メモリを実現するために、記憶保持回路を考える。二値でも同様に使われているラッチ回路である。このラッチ回路の実現がメモリシステム実現につながる。ラッチ回路は、二値同様、インバータ回路(NOT 回路)を 2 個ループさせ、そのデータの流れをループ状態にすることで、記憶を保持させられると考えた。その実現のためには、まず、ラッチ回路を構成するインバータ回路(NOT 回路)の高速で、正確な動作が必要である。

SRAM を構成する最小単位はセルである。セルはラッチ回路のインバータ回路(NOT 回路)のループでの記憶保持が基本構成になっているので、これもラッチ回路での動作を十分な確認すればいい。あとは、SRAM の記憶容量に応じたセルを格子状に配置し、これにアドレス線、アドレスデコーダを付加すれば、SRAM メモリシステムが完成する。インバータ回路(NOT 回路)と、ラッチ回路での十分な動作確認がメモリシステムの実現の鍵を握る。

4.2 三値のラッチ

通常、二値構成で使用されているラッチ回路を図 4.1 に示す。通常、インバータ回路(NOT)のループは、1 個あれば、記憶保持することができ、ラッチ回路となるが、ここでは、安定した動作が可能な 2 個のループを持つマスタ・スレーブ形を採用する。入力の前段と、次の後段で、2 度ラッチするものである。 ϕ 、 $\bar{\phi}$ はクロック入力となる。ここには p チャネル MOS、n チャネル MOS を使用したトランスファークラップゲートが設けられる。

三値構成も二値構成のマスタ・スレーブ形のラッチ回路を使用する。インバータ回路が三値インバータ回路に変わり、トランスファークラップゲートには閾値調整をした p チャネル MOS(p_e)と n チャネル MOS を使用する。それぞれ、インバータ回路(NOT 回路)で使用さ

れた PE、NE よりも 0[V]側に閾値がある。論理の中で、相補対称的に動作するものではなく、クロックによる信号の伝達の役割である。

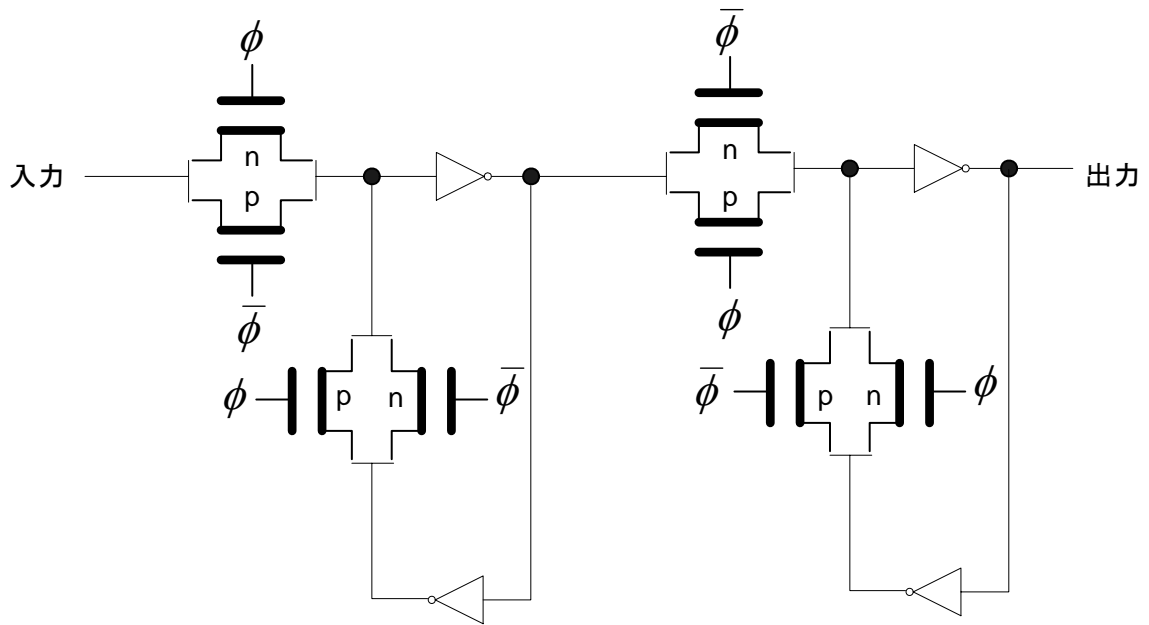


図 4.1:二値ラッチ回路

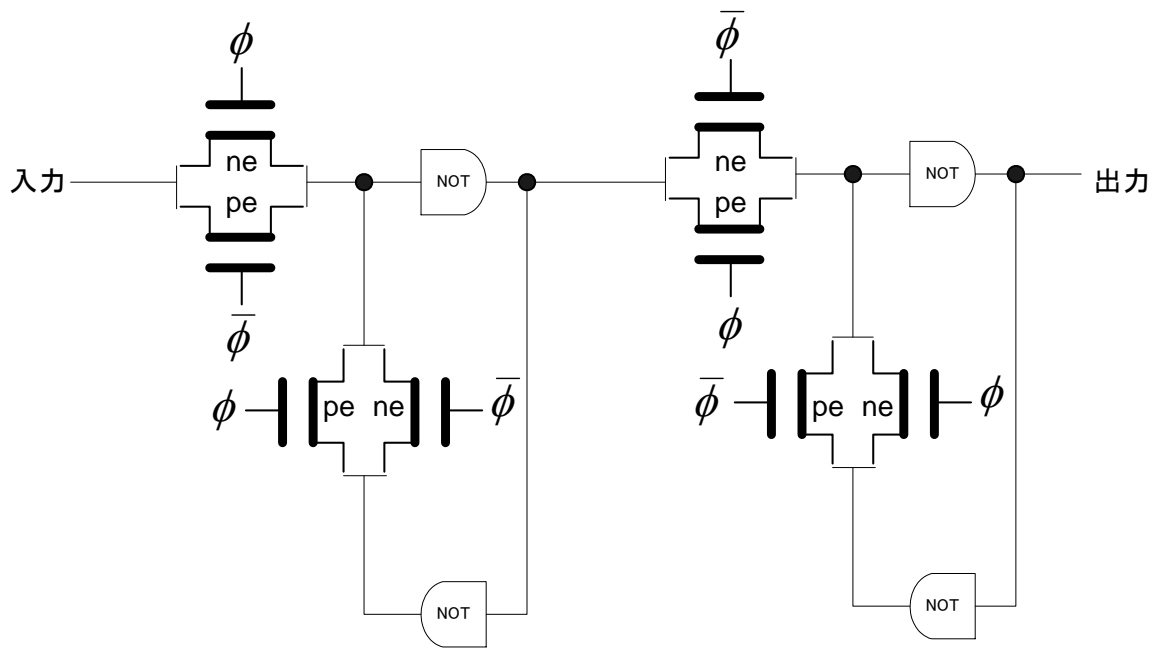


図 4.2:三値ラッチ回路

4.3 三値 SRAM メモリセル

現在、二値構成で使用されている SRAM メモリセルを図 4.3 に示す。インバータ回路 (NOT 回路) のループで、記憶を保持、SEL(選択信号)で 2 個のパストランジスタで切り替え、データ線と信号の伝達を行う。

三値 SRAM メモリセルは、図 4.4 に示す。二値と違い、インバータ (NOT 回路) がラッチ回路同様、三値となっている。また、パストランジスタに p チャンネル MOS と n チャンネルの 2 種類が必要で、三択信号も 2 本必要となる。選択信号には {1,1} の信号が入る。

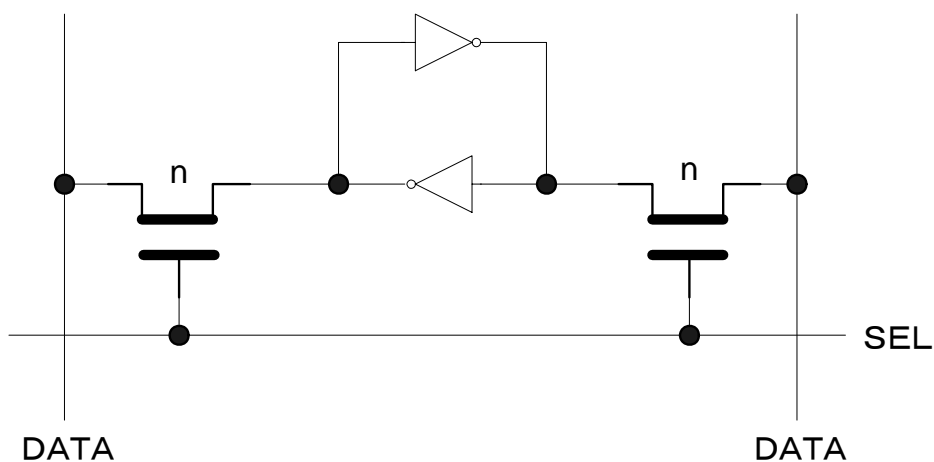


図 4.3:二値 SRAM メモリセル

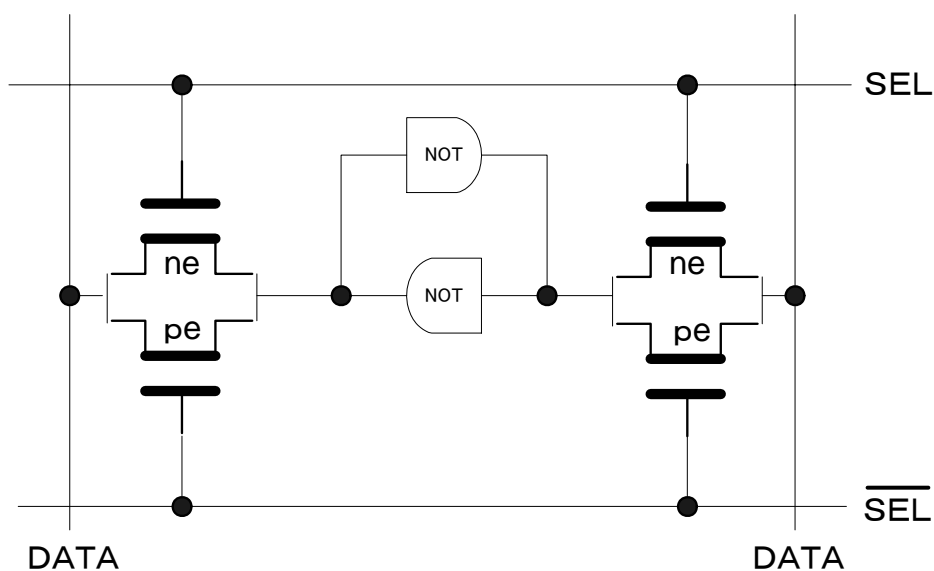


図 4.4:三値 SRAM メモリセル

第 5 章 実験結果

5.1 シミュレーション環境

回路動作シミュレーションツールとして、リュブリャナ大学(スロベニア)で開発された SPICE OPUS ver2.2[5]を使用した。これは Spice3f5(米国カリフォルニア大学バークレイ校)[6]と XSPICE(米国ジョージア工科大学)を基盤に作られたものである。

モデルは、bsim4 MOSFET device model ver4.6.1 [7]、レベル 60 を使用した。トランジスタのゲート長(L)は $0.09\mu\text{m}$ (90nm)とし、ゲート幅(W)は、p チャネル MOS、n チャネル MOS それぞれ、 $1.0\mu\text{m}$ 、 $0.5\mu\text{m}$ とした。p チャネル MOS と n チャネル MOS のゲート幅比は 2:1 である。

電源は、論理値-1、0、1 に対して、-0.5[V]、0[V]、0.5[V]を使用した。

5.2 MOS 閾値の決定

MOS の閾値調整は、おもに、MOS の n サブストレートの不純物濃度(ドーピング量)を変化させることになる。そのためのパラメータを調整する。以下に、そのパラメータを示す。(パラメータ値詳細は付録 A を参照)

```
.model pche pmos Level=60
+VERSION = 4.0
+BINUNIT = 1
+PARAMCHK = 1
+MOBMOD = 0
+CAPMOD = 2

+DVTP1 = 0.05
+LPE0 = 5.75E-008
+LPEB = 2.3E-010
+XJ = 2E-008
+NGATE = 5E+020
+NDEP = 1.4E+017 ← N サブストレートのドーピング量
+NSD = 1E+020
```

表 5.1: 閾値調整結果

	チャネル	MOS の種類	閾値[V]	チャネルドーピング量[atom/cm ³]
エンハンスメント形	Pチャネル	PE	-0.6	1.4×10^{17}
		pe	-0.2	1.4×10^{16}
ディプリーション形		pd	0.1	7.0×10^{15}
エンハンスメント形	Nチャネル	NE	0.6	1.4×10^{16}
		ne	0.2	5.6×10^{15}
ディプリーション形		nd	-0.1	3.5×10^{15}

表 5.1 に閾値調整結果を示す。Olson 法に基づき、6 種類の MOS を用意した。また、閾値調整に関わる SPICE シミュレーション結果ゲート・ソース間電圧-ドレイン・ソース間電流特性(V_{gs} - I_{ds} 特性)を図 5.1-a~図 5.1-f に示す。

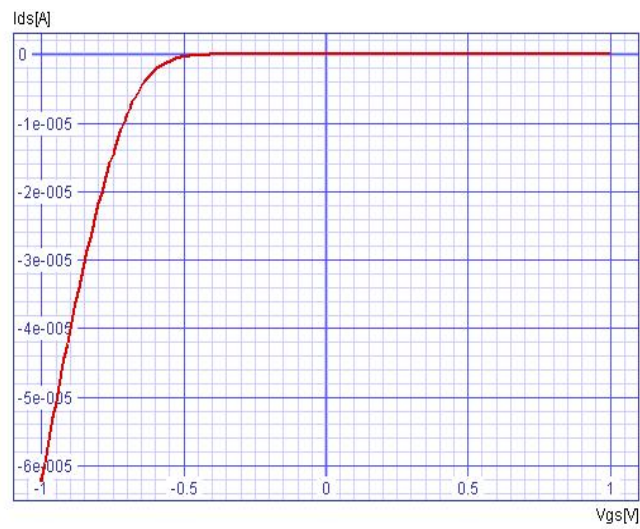


図 5.1-a PE の V_{gs} - I_{ds} 特性



図 5.1-b pe の V_{gs} - I_{ds} 特性



図 5.1-c pd の V_{gs} - I_{ds} 特性



図 5.1-d NE の V_{gs} - I_{ds} 特性



図 5.1-e ne の V_{gs} - I_{ds} 特性



図 5.1-f nd の V_{gs} - I_{ds} 特性

5.3 三値インバータ回路(NOT 回路)

5.2 MOS 閾値の決定結果の MOS トランジスタを使用し、三値インバータ回路(NOT 回路)を設計した。その SPICE シミュレーション結果を図 5.2-a、図 5.2-b に示す。



図 5.2-a:入力信号

t[s]

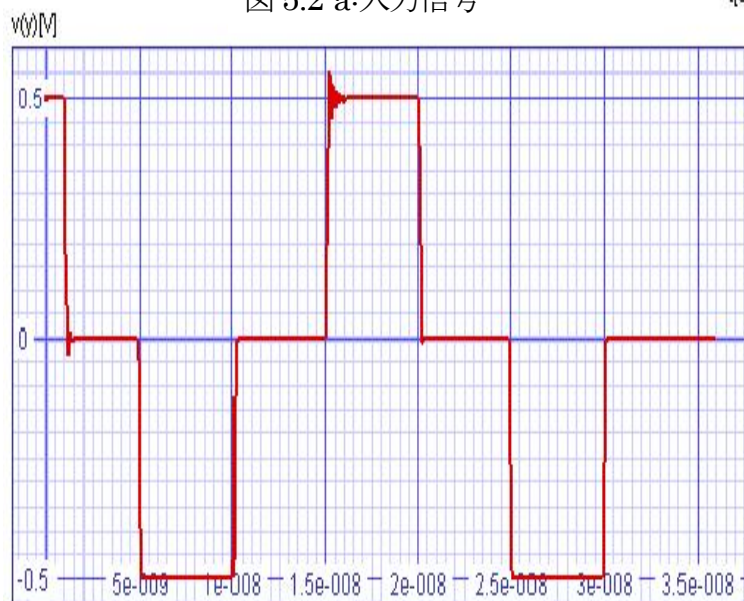


図 5.2-b:出力信号

t[s]

5.4 三値ラッチ回路

5.2 三値インバータ回路(NOT回路)を利用し、三値ラッチ回路を設計した。そのSPICEシミュレーション結果を図5.3-a～図5.3-cに示す。

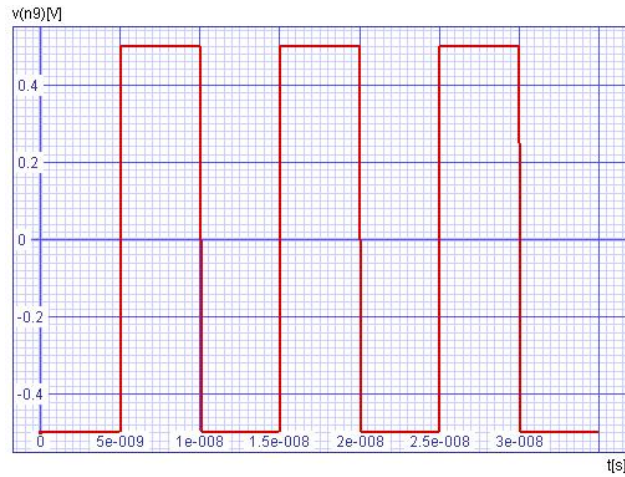


図 5.3-a: 入力クロック信号



図 5.3-b: 入力データ



図 5.3-c: 出力データ

5.5 三値 SRAM メモリセル

5.4 三値ラッチ回路で動作確認をした結果を利用し、三値 SRAM メモリセルを設計した。その SPICE シミュレーション結果を図 5.4-a~図 5.4-f に示す。

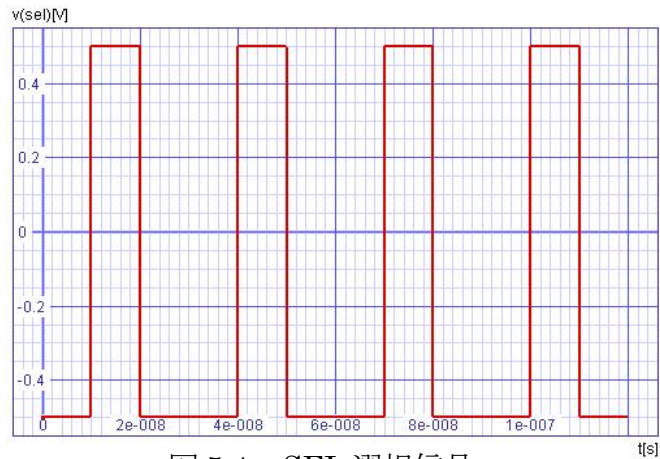


図 5.4-a:SEL 選択信号



図 5.4-b:データ信号(左側)



図 5.4-c:記憶データ信号(左側)

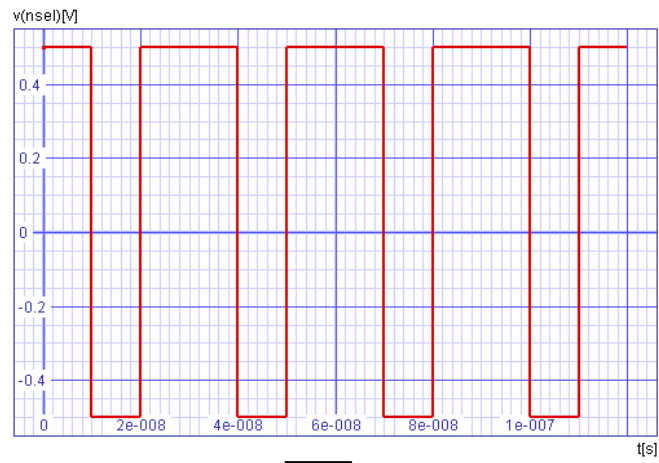


図 5.4-d:SEL 選択信号



図 5.4-e:データ信号(右側)



図 5.4-f:記憶データ信号(右側)

5.6 考察

MOS 閾値の調整については、6 種類の MOS の中で、PE 及び NE については、0.5[V] を超えるということでは、問題なさそうだが、0[V] でスイッチ動作する pd、nd と確実に区分けするという意味では、さらに、もう少し、高い閾値 0.8[V] 位の閾値調整を想定していた。本論文では、追及しきれていないが、記憶素子、ループ回路でのリーク電流の増幅を恐れていたためである。しかし、SPICE パラメータのドーピング量の調整だけでは、限界であった。その他のパラメータについて理解し、調整することが必要である。

三値インバータ回路(NOT 回路)では、結果は 5[ns] のデータ保持間隔での動作を示しているが、スイッチングは 2[ns] 程度で動作可能である。

三値ラッチ回路については、10[ns] 周期のクロックで動作を確認できた。インバータ回路(NOT 回路)の動作結果から、妥当な結果である。出力特性も安定した波形になっている。マスタ・スレーブ形のラッチ回路の動作の安定の確認が最終目的であるメモリシステムの実現に大きく左右する。

三値 SRAM メモリセルについては、10[ns] 間隔の選択信号での書き込み動作、記憶動作を確認できた。データ保持についても安定動作している。

全体的には、CMOS 構成については、動作的に問題なく、この実現法が実用可能であることが証明された。さらなる高速化とリーク電流の削減を追求するには、MOS デバイス自体の様々な SPICE パラメータ調整が駆使できることが不可欠である。

第6章 三値SRAMメモリシステムの検討

6.1 メモリシステムの構成

シミュレーション結果で得られた三値SRAMメモリセルをもとに、メモリシステムとして検討した。

図6.1に検討した三値SRAMメモリシステムを示す。

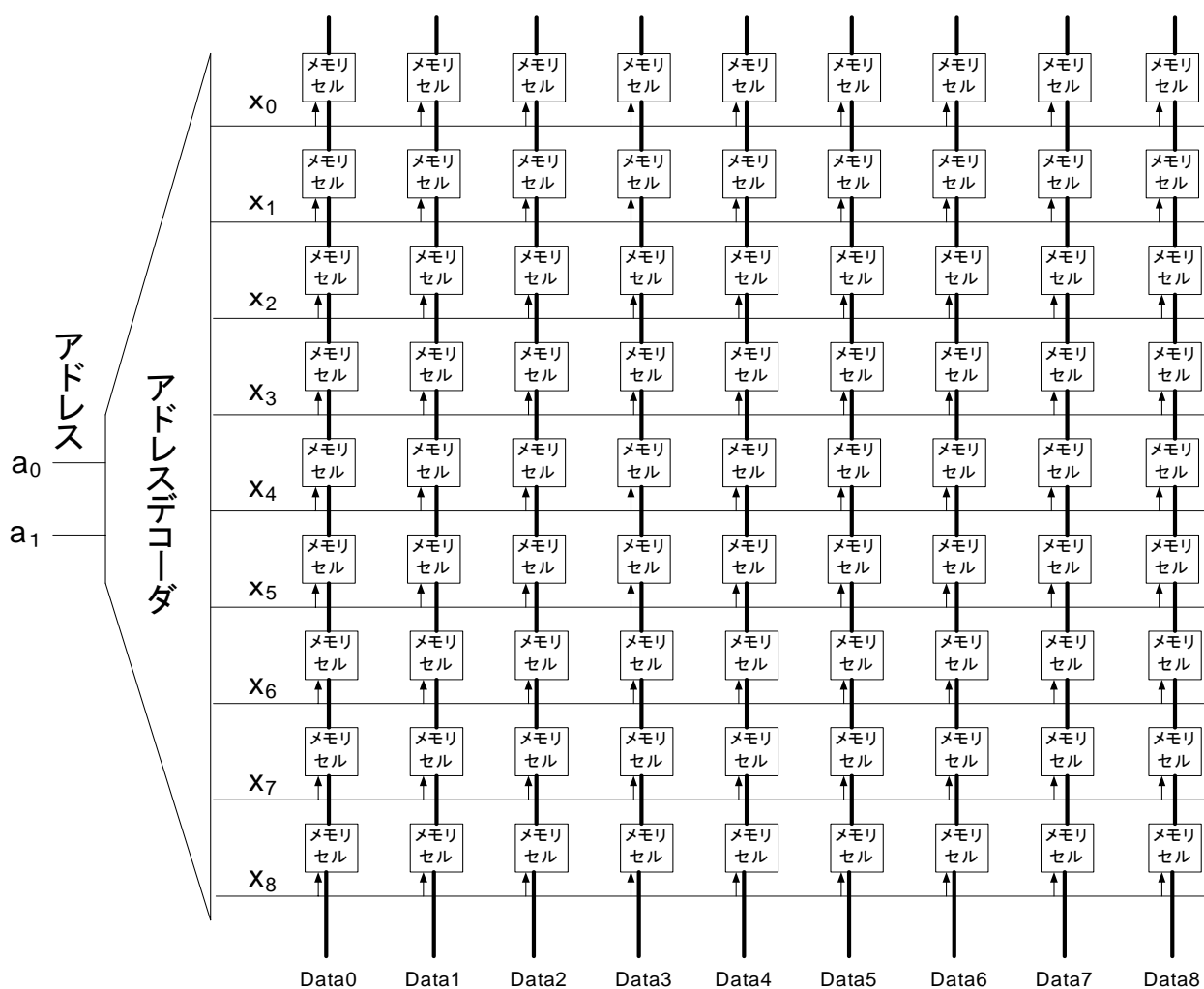


図 6.1: 三値SRAMメモリシステム

9digit/1wordで、9word×9digit構成、アドレス線は2本である。当然、このアドレス信号も三値信号である。これを例として検討してみる。アドレス信号の入力により、アドレスデコーダは、9本の選択信号(SEL信号、X₀~X₈)のうち1本を選択して、1word分のメモリセルを選択する。そして、9digitのデータの読み書きがされる。基本的には、こういった動作である。このことから、アドレスデコーダの真理値表は、表6.1のようになる。

表 6.1:アドレスデコーダの真理値表

アドレス信号		選択信号(SEL 信号)								
a ₀	a ₁	X ₀	X ₁	X ₂	X ₃	X ₄	X ₅	X ₆	X ₇	X ₈
-1	-1	1*	0	0	0	0	0	0	0	0
-1	0	0	1*	0	0	0	0	0	0	0
-1	1	0	0	1*	0	0	0	0	0	0
0	-1	0	0	0	1*	0	0	0	0	0
0	0	0	0	0	0	1*	0	0	0	0
0	1	0	0	0	0	0	1*	0	0	0
1	-1	0	0	0	0	0	0	1*	0	0
1	0	0	0	0	0	0	0	0	1*	0
1	1	0	0	0	0	0	0	0	0	1*

*パストランジスタ(pe,ne)には実際は(-1,1)の両電圧が両端にかかり動作

6.2 二値メモリシステムとの比較

この構成を二値構成と比較した場合、二値では、トランジスタ数が1メモリセルで、インバータ回路(NOT回路)で2個×2回路=4個とパストランジスタで2個、1メモリセルで6個のトランジスタが必要。この構成では、9word×9digit構成なので、6×81セルで、合計486個。また、信号線はパストランジスタが片方のチャンネルのみなので、選択信号(SEL信号)は、各wordに対して信号線は1本、データ線は各2本、合計9本+18本=27本。

三値では、トランジスタ数が1メモリセルで、インバータ回路(NOT回路)で4個×2回路=8個。パストランジスタで4個、1メモリセルで12個のトランジスタが必要。9word×9digit構成なので、12×81セルで、合計972個。また、信号線はパストランジスタがp,n両チャンネル必要なので、選択信号(SEL信号)は、各wordに対して信号線は2本、データ線は2本、合計18本+18本=36本。三値では、選択信号には、1と、反転信号の-1が必要になるので二値インバータ相当の2個のトランジスタが各wordに必要な。よって、さらに2個×9個=18個のトランジスタがさらに必要になる、トランジスタ数は最終的に合計927個+18個=945個が必要になる。

アドレスデコーダ部は、アドレス線が、三値では、2本に対し、二値では4本のアドレス線がないと9word扱うことができない。アドレスデコーダ部についての内部の比較については省くが、表6.1の真理値表から、三値は三値論理回路でのOlson法、TG法で実現

が可能である。

表 6.2 は、アドレスデコーダを除く、メモリシステムの二値、三値の比較を示す。

表 6.2: 検討した SRAM メモリシステムの二値、三値構成比較

	二値	三値
値の数 [個]	512	19683
MOS トランジスタ数[個]	486	945
信号線の数 [本]	27	36
アドレス線の数[本]	4	2
データ線の情報量 [bit]	9	14.265

三値の方が、トランジスタ数が約倍、信号線の数も増えている。しかし、取り扱える値の大きさや、情報量を比較すると、三値の方が大容量記憶の SRAM を実現できることがわかる。アドレス線も二値は倍必要である。アドレスデコーダは、組み合わせ回路となり、三値論理回路が適用される。表 2.1 より、回路規模が大きくなるほど、信号線量を削減できる。このことから、アドレスデコーダでは、三値で信号線の削減、配線量の削減が期待できる。

以上から、三値 SRAM メモリシステムが総合的な高集積、大容量なメモリシステムの実現が可能であることがわかる。

第7章 結論

二値の CMOS 動作、二値の CMOS 構成の考え方を基本とし、三値メモリシステムの実現法を提案することができた。インバータ回路(NOT 回路)、ラッチ回路、SRAM メモリセルいずれも、二値構成をベースに三値構成を実現した。

まず、三値インバータ回路(NOT 回路)は一変数三値論理回路の一つとして、Olson 法を適用し、閾値調整した MOS トランジスタを二値同様、相補対称的にゲート電圧でスイッチング動作するように配置し、実現した。動作速度的に、まだ、改善の余地もあるが安定した動作を確認できた。

そのインバータ回路を利用し、三値ラッチ回路も二値同様のマスタ・スレーブ形ラッチ回路を採用し、安定した動作を確認できた。

次に、三値メモリセルも、二値構成を基本に検討し、構成した。これも安定した動作を確認できた。

以上のシミュレーションの動作から、現状存在しない、完全 CMOS 動作による多値メモリセルの実現が確認できた。これで三値大規模集積回路の実用化へ近づけた。また、セルを格子状に配置した SRAM メモリシステムとしての検討をした結果、三値構成により、配線量も少ない上で大容量のデータ記憶ができるメモリシステム実現の可能性が高まった。

また、三値論理回路の設計を通し、SRAM メモリセルまでを実際にシミュレーション上で作りこみ、動作確認できたことで、一連の設計の流れを体系的に示すことができた。この体系化したことが、設計自動化を促し、三値大規模集積回路の設計が現実的なものとなり、実用化に近づける。

では、今後の課題を整理する。ラッチ回路、SRAM メモリセルといった三値記憶素子は二値の CMOS 動作、構成で一定の安定動作できることが確認できた。さらなる高速動作、リーク電流の最少化の実現のためには、三値記憶素子の構成しているインバータ回路(NOT 回路)が、高速スイッチング動作をし、リーク電流の最少化を実現しない限り、高速、大容量で、低消費電力を実現した大規模集積回路の実現は望めない。今後は、地味ではあるが、より多くのパラメータを使いこなした最適な MOS 閾値調整と、インバータ回路での高速動作と、リーク電流の確認を続けることである。

最後に、検討したメモリシステムを実際に動作確認し、レイアウトまで行うことで初めて大規模集積回路としての実用化が図れる。実際の集積化後の確認と、そこからわかる新たな課題の整理と解決の繰り返しも不可欠である。

付録 A SPICE パラメータ

SPICE シミュレーションで使用した MOS モデルパラメータを示す。モデルは BSIM4 MOSFET device model ver4.6.1[7] 90nm level=60 を使用した。MOS トランジスタのゲート長(L)は $0.09\mu\text{m}$ (90nm)とし、ゲート幅(W)は、pMOS、nMOS それぞれ、 $1.0\mu\text{m}$ 、 $0.5\mu\text{m}$ とした。pMOS と nMOS のゲート幅比は 2:1 である。ソース領域の拡散容量は pMOS で $AS=4.1E13$ 、nMOS で、 $AS=2.7E13$ ドレイン領域の拡散容量は pMOS で、 $AD=4.1E13$ 、nMOS で $AD=2.7E13$ である。残りのパラメータは次に示すとおりである。

(MOS モデルパラメータ(6 種共通部分、下記は例として PE))

```
.model pche pmos Level=60
+VERSION = 4.0
+BINUNIT = 1
+PARAMCHK = 1
+MOBMOD = 0
+CAPMOD = 2
+IGCMOD = 1
+IGBMOD = 1
+GEOMOD = 1
+DIOMOD = 1
+RDSMOD = 0
+RBODYMOD = 0
+RGATEMOD = 1
+PERMOD = 1
+ACNQSMOD = 0
+TRNQSMOD = 0
+TNOM = 27
+TOXE = 6.0E-009
+TOXP = 6.0E-009
+TOXM = 1.8E-009
+DTOX = 0
+EPSROX = 3.9
+WINT = 5E-009
+LINT = 1E-009
```

+LL = 0
+WL = 0
+LLN = 1
+WLN = 1
+LW = 0
+WW = 0
+LWN = 1
+WWN = 1
+LWL = 0
+WWL = 0
+XPART = 1
+TOXREF = 1.4E-009
+VTH0 = 0.25
+K1 = 0.35
+K2 = 0.05
+K3 = 0
+K3B = 0
+W0 = 2.5E-006
+DVT0 = 1.8
+DVT1 = 0.52
+DVT2 = -0.032
+DVT0W = 0
+DVT1W = 0
+DVT2W = 0
+DSUB = 2
+MINV = 0.05
+VOFFL = 0
+DVTP0 = 1E-007
+DVTP1 = 0.05
+LPE0 = 5.75E-008
+LPEB = 2.3E-010
+XJ = 2E-008
+NGATE = 5E+020
+NSD = 1E+020
+PHIN = 0
+CDSC = 0.0002
+CDSCB = 0
+CDSCD = 0
+CIT = 0
+VOFF = -0.15
+NFACTOR = 1.2

+ETA0 = 0.05
+ETAB = 0
+UC = -3E-011
+VFB = -0.55
+U0 = 0.032
+UA = 5.0E-011
+UB = 3.5E-018
+A0 = 2
+AGS = 1E-020
+A1 = 0
+A2 = 1
+B0 = -1E-020
+B1 = 0
+KETA = 0.04
+DWG = 0
+DWB = 0
+PCLM = 0.08
+PDIBLC1 = 0.028
+PDIBLC2 = 0.022
+PDIBLCB = -0.005
+DROUT = 0.45
+PVAG = 1E-020
+DELTA = 0.01
+PSCBE1 = 8.14E+008
+PSCBE2 = 5E-008
+FPROUT = 0.2
+PDITS = 0.2
+PDITSD = 0.23
+PDITSL = 2.3E+006
+RSH = 0
+RDSW = 50
+RSW = 50
+RDW = 50
+RDSWMIN = 0
+RDWMIN = 0
+RSWMIN = 0
+PRWG = 0
+PRWB = 6.8E-011
+WR = 1
+ALPHA0 = 0.074
+ALPHA1 = 0.005

+BETA0 = 30
+AGIDL = 0.0001
+BGIDL = 2.1E+009
+CGIDL = 0.0001
+EGIDL = 0.8
+AIGBACC = 0.012
+BIGBACC = 0.0028
+CIGBACC = 0.002
+NIGBACC = 1
+AIGBINV = 0.014
+BIGBINV = 0.004
+CIGBINV = 0.004
+EIGBINV = 1.1
+NIGBINV = 3
+AIGC = 0.012
+BIGC = 0.0028
+CIGC = 0.002
+POXEDGE = 1
+PIGCD = 1
+NTOX = 1
+XRCRG1 = 12
+XRCRG2 = 5
+CGSO = 6.238E-010
+CGDO = 6.238E-010
+CGBO = 2.56E-011
+CGDL = 2.495E-10
+CGSL = 2.495E-10
+CKAPPAS = 0.03
+CKAPPAD = 0.03
+ACDE = 1
+MOIN = 15
+NOFF = 0.9
+VOFFCV = -0.02
+KT1 = -0.37
+KT1L = 0.0
+KT2 = -0.042
+UTE = -1.5
+UA1 = 1E-009
+UB1 = -3.5E-019
+UC1 = 0
+PRT = 0

+AT = 53000
+FNOIMOD = 1
+TNOIMOD = 0
+JSS = 0.0001
+JSWS = 1E-011
+JSWGS = 1E-010
+NJS = 1
+IJTHSFWD = 0.01
+IJTHSREV = 0.001
+BVS = 10
+XJBVS = 1
+JSD = 0.0001
+JSWD = 1E-011
+JSWGD = 1E-010
+NJD = 1
+IJTHDFWD = 0.01
+IJTHDREV = 0.001
+BVD = 10
+XJBVD = 1
+PBS = 1
+CJS = 0.0005
+MJS = 0.5
+PBSWS = 1
+CJSWS = 5E-010
+MJSWS = 0.33
+PBSWGS = 1
+CJSWGS = 3E-010
+MJSWGS = 0.33
+PBD = 1
+CJD = 0.0005
+MJD = 0.5
+PBSWD = 1
+CJSWD = 5E-010
+MJSWD = 0.33
+PBSWGD = 1
+CJSWGD = 5E-010
+MJSWGD = 0.33
+TPB = 0.005
+TCJ = 0.001
+TPBSW = 0.005
+TCJSW = 0.001

+TPBSWG = 0.005
+TCJSWG = 0.001
+XTIS = 3
+XTID = 3
+DMCG = 0E-006
+DMCI = 0E-006
+DMDG = 0E-006
+DMCGT = 0E-007
+DWJ = 0.0E-008
+XGW = 0E-007
+XGL = 0E-008
+RSHG = 0.4
+GBMIN = 1E-010
+RBPB = 5
+RBPB = 15
+RBPS = 15
+RBDB = 15
+RBSB = 15
+NGCON = 1
.end

付録 B リーク電流

三値 SRAM メモリセルの各電源部でのリーク電流を示す。

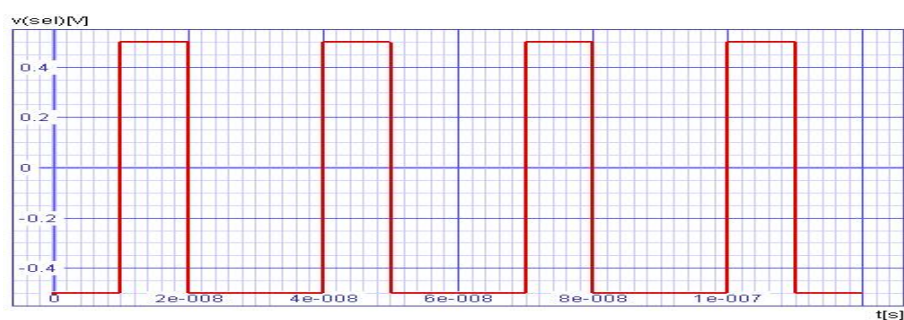


図 B.1-a:SEL 選択信号



図 B.1-b:データ信号(左側)

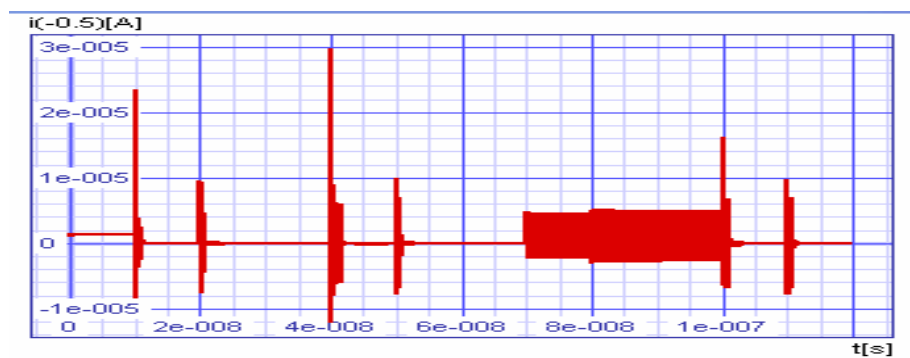


図 B.1-c:-0.5[V]電源リーク電流

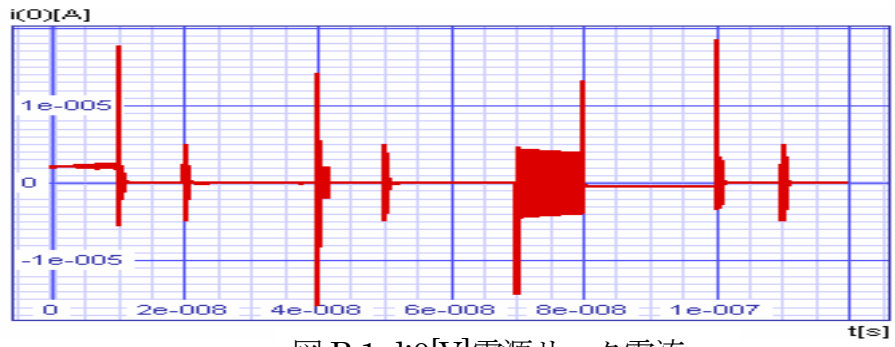


図 B.1-d:0[V]電源リーク電流

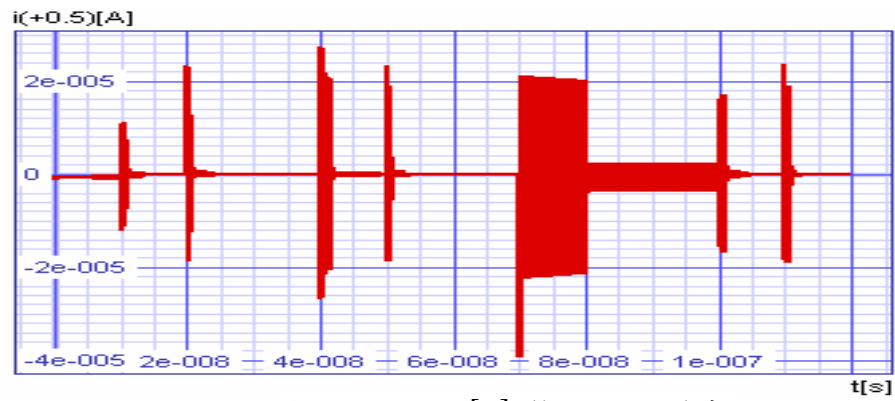


図 B.1-e:+0.5[V]電源リーク電流

謝辞

本研究を進めるにあたり、終始懇切なご指導と的確なご助言をいただきました日比野靖 教授に心から感謝いたします。

また、適切なご助言をいただきました田中 清文 准教授、井口 寧 准教授に深く感謝いたします。

社会人としての入学のため、当初より勉学上での悩みや、あるいは、集積回路をはじめとした専門的な知識まで、いろいろなご相談に親身に応じていただいた金子 峰雄 教授に心から感謝いたします。

さらに、無理なく、勉学、研究に励めることができたのは、東京サテライトキャンパスの職員、スタッフの皆様のご支援のおかげです。ありがとうございました。

最後に、職場の皆様、家族、そして、私を支えていただいたすべての方に感謝いたします。

参考文献

- [1]樋口龍雄, 亀山充隆, ”多値情報処理”, 昭晃堂, 東京, 1989
- [2]OLSON EDGAR DANNY 氏による発明
発明の名称 “多値論理回路構成”
特願 2000-552777(P2000-552777)
公表特許公報 特表 2002-517937 (P2002-517937A)
- [3]白勢政明, 日比野靖, ”CMOS トランスファークロークによる三値論理回路とその構成法”, 多値技法, Vol.MVL-05,No.1,pp80-89, 2005.1
- [4]白勢政明, 博士論文”3 値論理による公開鍵暗号ハードウェアの研究”, 2006.2
- [5]SPICE OPUS (SPICE with integrated OPTimization UTILities) by CACD Group at University of Ljubljana
- [6]SPICE3 User’s Manual (University California ,Berkeley)
- [7]BSIM4 MOSFET device model ver4.6.1(University California ,Berkeley)
(http://www-device.eecs.berkeley.edu/~bsim3/bsim4/bsim4_intro.html)