

Title	キャッシュメモリの消費電力削減に適した圧縮ハードウェアに関する研究
Author(s)	川村, 俊介
Citation	
Issue Date	2008-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/4342
Rights	
Description	Supervisor: 田中清史, 情報科学研究科, 修士

キャッシュメモリの消費電力削減に適した圧縮ハードウェア に関する研究

川村 俊介 (0610028)

北陸先端科学技術大学院大学 情報科学研究科

2008 年 2 月 7 日

キーワード: 電力削減, キャッシュメモリ, データ圧縮, 浮動小数点数データ.

1 はじめに

近年, プロセッサの消費電力が増大しモバイルコンピュータのバッテリー駆動時間や高性能プロセッサの発熱の問題から, 消費電力の削減は重要な課題となっている. 特にトランジスタの微細化に伴い, トランジスタがオフの場合にも電流が持続的に流れるリーク電流が増大している. キャッシュメモリが増加傾向にある高性能プロセッサでは, 電力削減の一つとしてキャッシュメモリの消費電力削減が注目されている.

本研究では, データ圧縮と電圧制御を用いたキャッシュメモリの消費電力削減方式 [1, 2] を再検討する. 特に未検証である浮動小数点数データ向けのデータ圧縮に注目し, 最適な圧縮アルゴリズムを調査する.

2 関連研究

2.1 Gated-Vdd[3]

キャッシュメモリの消費電力を削減する一手法として, Gated-Vdd[3] を使用した Cache Decay[4] が挙げられる. この手法は, キャッシュメモリに用いられる SRAM セルと GND との間に高い閾値を持つ Gated-Vdd トランジスタを設け, キャッシュブロック単位で電力供給をオフにすることで消費電力を削減する.

2.2 整数データにおけるキャッシュブロック圧縮アルゴリズム [1, 2]

キャッシュブロックの電力供給をオフにするとキャッシュ内のデータが損失し, キャッシュミス増加による性能ペナルティが発生する可能性がある. この問題の解決策として, キャッシュブロック内に格納されるデータを圧縮し, 圧縮により空いた部分に対して電力

供給をオフにすることにより，データ損失を防ぎつつ電力を削減する手法がある [1] ．

この研究の方式はまず，L2 キャッシュメモリに格納されるブロックのデータに対して圧縮を試みる．ブロックサイズの $1/2$ 以下にデータが圧縮できた場合には，圧縮した形でキャッシュにデータを格納する．圧縮により空いた領域に対して Gated-Vdd を用い，電力供給をオフにすることで，消費電力を削減する．データを圧縮して格納することで，キャッシュブロックの電力をオフにすることによるデータの損失を回避できる．

文献 [2] においては 4 つの圧縮アルゴリズムについて調査している．その中で SPECint95 に対するシミュレーション結果では X-RL アルゴリズム [5] が効率がよく，非圧縮時と比較して平均約 27 % 電力を削減している．

3 浮動小数点数データ向けのデータ圧縮

文献 [1, 2] では浮動小数点数データに対しては未検証である．よって浮動小数点数データへの有効性や，浮動小数点数データに適したアルゴリズムを調査する必要がある．

本研究では，データ圧縮と電圧制御を用いたキャッシュメモリの消費電力削減方式 [1, 2] を再検討する．特に未検証である浮動小数点数データ向けのデータ圧縮に注目し，最適な圧縮アルゴリズムを調査する．これらについて調査を行うことで，L2 キャッシュの低消費電力化を目指す．

本研究では浮動小数点数向けデータを圧縮するに際して新たに FPC (Floating-Point Compression) アルゴリズム [6] に注目し，導入した．FPC アルゴリズムは圧縮対象となるデータ値を 2 つのコンテキスト予測機構 (FCM [7], DFCM [8]) を用いて圧縮する．圧縮対象データの 1 つ前の対象データは値予測機構である FCM, DFCM に入る．この値予測機構で対象データ以前のデータ値群を元に圧縮対象データ値を予測した値を出力する．FCM, DFCM による予測値との排他的論理和を行い，結果の下位側の連続する 0 部分がより多い方を選択する．この連続する 0 部分を省略し，FCM, DFCM のどちらを使用したか，何ビット省略したかを記したコードを省略後のデータの先頭に付ける．これにより圧縮データを得る．

4 評価

シミュレーションの結果を評価する．評価対象プログラムには，SPECfp95 ベンチマーク [9] を用いた．ベンチマークプログラムごとに各圧縮アルゴリズムを用いた際の電力削減率，圧縮サイズ別のブロック数，実行クロックサイクルを示した．実験の結果，X-RL アルゴリズムが非圧縮実行時と比べて平均で約 14% 電力を削減した．この時の平均実行速度は最も電力削減できた X-RL アルゴリズムで 5% の増加であった．

5 まとめ

本研究では、データ圧縮と電圧制御を用いたキャッシュメモリの消費電力削減方式を再検討した。特に未検証である浮動小数点数データ向けのデータ圧縮に注目し、最適な圧縮アルゴリズムを調査することで、L2 キャッシュの低消費電力化を目指した。また、従来の4つのアルゴリズムに加えてFloating-Point Compression アルゴリズムを追加して検証した。SPECfp95 ベンチマークを対象に、複数のデータ圧縮アルゴリズムを用いて電力削減率の評価を行った。

参考文献

- [1] 松田愛子. “データ圧縮を用いたキャッシュメモリの消費電力削減に関する研究”, 北陸先端科学技術大学院大学修士論文 2006.
- [2] 川原貴裕. “消費電力削減に適したキャッシュブロック圧縮アルゴリズムに関する研究”, 北陸先端科学技術大学院大学修士論文 2007.
- [3] M.Powell, S.Yang, B.Falsafi, K.Roy, T.N.Vijaykumar. “Gated-Vdd: A Circuit Technique to Reduce Leakage in Deep-Submicron Cache Memories”, Proc. of ISLPED, pp.90–95, 2000.
- [4] S.Kaxiras, Z.Hu, M.Martonosi. “Cache Decay: Exploiting Generational Behavior to Reduce Cache Leakage Power”, Proc. of ISCA, pp.240–251, 2001.
- [5] M.Kjelso, M.Gooch, S.Jones. “Design and Performance of a Main Memory Hardware Data Compressor”, Proc.of EuroMicro, pp.423–430, 1996.
- [6] M.Burtscher, P.Ratanaworabhan. “High Throughput Compression of Double-Precision Floating-Point Data”, Data Compression Conference, pp.293–302. 2007.
- [7] Y. Sazeides and J. E. Smith. “The Predictability of Data Values”, Proc. of 30th International Symposium on Microarchitecture, pp.248–258. 1997.
- [8] B. Goeman, H. Vandierendonck and K. Bosschere. “Differential FCM: Increasing Value Prediction Accuracy by Improving Table Usage Efficiency”, Proc. of HPCA, pp.207–216. 2001.
- [9] Standard Performance Evaluation Corporation. ‘SPEC CFP95 Benchmarks’, <http://www.spec.org/cpu95/CFP95/>.