JAIST Repository
https://dspace.jaist.ac.jp/

Title	不連続再収斂順序回路の遅延故障に対するテスト生成法
Author(s)	岩垣, 剛; 大竹, 哲史; 藤原, 秀雄
Citation	電子情報通信学会論文誌 D, J86-D1(12): 872-883
Issue Date	2003-12-01
Type	Journal Article
Text version	publisher
URL	http://hdl.handle.net/10119/4721
Rights	Copyright (C)2003 IEICE. 岩垣 剛, 大竹 哲史, 藤原 秀雄, 電子情報通信学会論文誌 D, J86-D1(12), 2003, 872-883. http://www.ieice.org/jpn/trans_online/
Description	

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY

Japan Advanced Institute of Science and Technology

論　文

不連続再収斂順序回路の遅延故障に対するテスト生成法

岩垣　剛[†]　　大竹　哲史[†]　　藤原　秀雄[†]

A Test Generation Method for Delay Faults in Sequential Circuits with Discontinuous Reconvergence Structure

Tsuyoshi IWAGAKI[†], Satoshi OHTAKE[†], and Hideo FUJIWARA[†]

あらまし　本論文では，遅延故障に対してテスト生成が容易な順序回路の構造として，不連続再収斂構造を定義し，不連続再収斂順序回路の遅延故障に対するテスト生成問題が，その時間展開モデルの遅延故障に対するテスト生成問題に帰着できることを示す．これに基づき，不連続再収斂順序回路の遅延故障に対するテスト生成法を提案する．提案手法は，2 パターンテストでテストできる遅延故障のモデル（パス遅延故障，セグメント遅延故障，トランジション故障など）に対して適用できる．また，本論文では，一般の順序回路に対して提案手法を適用するために，不連続再収斂構造に基づく部分拡張スキャン設計を行う．最後に提案手法をベンチマーク回路に適用し，本手法がハードウェアオーバヘッド，テスト生成時間，故障検出効率の点で有効であることを示す．

キーワード　遅延故障，テスト生成，不連続再収斂構造，時間展開モデル，部分拡張スキャン設計

1. まえがき

近年の半導体製造技術の進歩により，VLSI（Very Large Scale Integration）の集積度，動作速度が目覚ましく向上している．そのため，従来から広く用いられている故障モデルである縮退故障をテストの対象とするだけでなく，回路のタイミングに関する故障モデルである遅延故障もテストの対象とすることが重要になっている．遅延故障のモデルとしては，パス遅延故障 [16]，トランジション故障，セグメント遅延故障 [8] などが提案されており，その中でもパス遅延故障は最も一般性のある遅延故障のモデルとして知られている [13].

一般に，順序回路中のフリップフロップ（以下，FF と略す）は，直接制御，観測できないため，順序回路の遅延故障に対するテスト生成は困難な問題である．この問題を解決する手法の一つとして，拡張スキャン設計法 [3], [6], [15] がある．これは，順序回路中の FF を二つの値を保持でき，かつ連続して印加できるようなスキャン FF（拡張スキャン FF）に置き換えることで，遅延故障に対するテスト生成を容易にするものである．拡張スキャン設計法としては，順序回路中のすべての FF を拡張スキャン FF に置き換える完全拡張スキャン設計法 [6] や一部の FF を拡張スキャン FF に置き換える部分拡張スキャン設計法 [3], [15] が提案されている．完全拡張スキャン設計では，完全拡張スキャン設計を行った回路の核回路(注1)が組合せ回路となるため，組合せ回路用の遅延テスト生成アルゴリズム（以下，組合せ ATPG と略す）でテスト生成を行うことができるが，ハードウェアオーバヘッドが非常に大きくなる．一方，部分拡張スキャン設計では，一部の FF のみが拡張スキャン FF に置き換えられるため，小さいハードウェアオーバヘッドでテスト生成が容易な回路を実現できる．文献 [3] では，核回路が無閉路構造となるような部分拡張スキャン設計を行っているが，核回路が依然として順序回路であるため，順序回路用の遅延テスト生成アルゴリズム（以下，順序 ATPG と略す）が必要となる．そこで，文献 [15] では，組合せ ATPG でテスト生成が可能な順序回路の構造である平衡構造 [7] に基づく部分拡張スキャン設計法を提案している．この手法では，平衡順序回路の

[†] 奈良先端科学技術大学院大学情報科学研究科，生駒市
Graduate School of Information Science, Nara Institute of Science and Technology, 8916–5 Takayama-cho, Ikoma-shi, 630–0192 Japan

(注1)：回路中のすべての拡張スキャン FF を外部入出力に置き換えた回路のこと．

組合せ等価回路(注2)のセグメント遅延故障に対して組合せ ATPG を適用することによって，もとの順序回路のパス遅延故障に対するテスト系列を生成する．そのため，順序 ATPG を用いた場合と比べて，テスト生成時間を大幅に削減することができる．

本論文では，遅延故障に対してテスト生成が容易な順序回路の構造として，不連続再収斂構造を定義し，不連続再収斂順序回路の遅延故障に対するテスト生成問題が，その時間展開モデルの遅延故障に対するテスト生成問題に帰着できることを示す．これに基づき，不連続再収斂順序回路の遅延故障に対するテスト生成法を提案する．本論文では，一般の順序回路に対して提案手法を適用するために，部分拡張スキャン設計を行うことを考える．不連続再収斂構造は平衡構造を真に含むような回路構造であるので，不連続再収斂構造に基づく部分拡張スキャン設計は，従来の部分拡張スキャン設計 [15] よりもハードウェアオーバヘッドが小さい．最後に，提案手法をベンチマーク回路に適用し，その有効性を示す．

2. 諸 定 義

本論文で扱う順序回路は，複数の組合せ論理部（以下，論理部と略す）が直接あるいは FF を介して接続されているものとする．ここで，論理部とは，複数の論理ゲートからなる組合せ回路を表す．順序回路は，以下で定義するトポロジーグラフによってモデル化できる．

［定義 1］（トポロジーグラフ） 以下のような重み付き有向グラフを順序回路 S のトポロジーグラフという．

$$G = (V, A, w)$$

- V は S の外部入力，外部出力，論理部を頂点とする集合．
- A は S の外部入力と論理部，論理部同士，論理部と S の外部出力を直接または FF を介して接続する信号線を辺とする集合．
- $w : A \to \{0\} \cup N$（N は自然数を表す）は辺の重みであり，$w(u, v)$ $(u, v \in V)$ は $(u, v) \in A$ に存在する FF 数を表す． □

［例 1］ 順序回路とそのトポロジーグラフの例をそれぞれ図 1，図 2 に示す．図 1 において，四角の 1〜6 は論理部を表し，黒塗りの四角は FF を表す． □

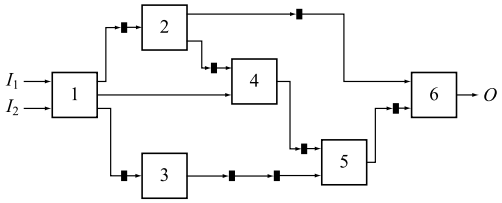

図 1 順序回路 S
Fig. 1 Sequential circuit S.

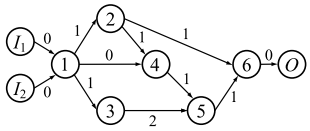

図 2 トポロジーグラフ G
Fig. 2 Topology graph G.

2.1 遅延故障モデル

本論文で対象とする故障モデルは遅延故障である．遅延故障のモデルとしては，パス遅延故障，セグメント遅延故障，トランジション故障などがある．ここでは，それらのモデルについて説明する．以下の議論では便宜上，外部入力，外部出力，FF の入力，FF の出力をゲートとみなす．

2.1.1 パス遅延故障

回路において，ゲートの系列 $(g_0, g_1, \ldots, g_n)$ をパスという．ここで，g_i $(1 \leqq i \leqq n-1)$ はゲート，g_0 は外部入力または FF の出力，g_n は外部出力または FF の入力を表し，g_j $(0 \leqq j \leqq n-1)$ は g_{j+1} に接続されている．このとき，パス p の始点で発生した立上り，または立下りの信号の変化が，規定時間内に，p に沿って p の終点まで到達しないような故障をパス遅延故障という．パス遅延故障は，パス外入力(注3)の条件によって，ロバスト，ノンロバスト，機能的活性化可能，機能的活性化不可能の四つに分類できる [13]．ロバスト，ノンロバスト，機能的活性化可能なパス遅延故障は，回路の動作に影響を与えるため，機能的非冗長故障と呼ばれる．逆に，機能的活性化不可能なパス遅延故障は，回路の動作に影響を与えないため，機能的冗長故障と呼ばれる．

(注2)：平衡順序回路中のすべての FF を信号線に置き換えた回路のこと．
(注3)：テスト対象パス上のゲートの入力で，パス上の入力以外の入力のこと．

2.1.2 セグメント遅延故障

回路において，ゲートの段数が L であるようなゲートの系列 $(g_1, g_2, \cdots, g_L)$ をセグメントという．ただし，g_i $(1 \leqq i \leqq L-1)$ は g_{i+1} に接続されている．このとき，セグメント s の始点で発生した立上り，または立下りの信号の変化が，規定時間内に，s に沿って s の終点まで到達しないような故障をセグメント遅延故障という．ただし，s にセグメント遅延故障が起こると，s には十分に大きい遅延が発生し，s を含むすべてのパスにパス遅延故障が発生するものとする．また，セグメント遅延故障は，パス遅延故障と同様に分類されるものとする．

2.1.3 トランジション故障

セグメント遅延故障において，セグメントとして一つのゲートを考えた場合を特にトランジション故障という．

ここで，セグメント遅延故障とパス遅延故障及びトランジション故障との関係をまとめる．セグメントとして，外部入力または FF の出力から外部出力または FF の入力まで至るゲートの系列を考えた場合，セグメント遅延故障はパス遅延故障とみなせる．また，セグメントとして一つのゲートを考えた場合は，セグメント遅延故障はトランジション故障とみなせる．このように，セグメント遅延故障モデルは，パス遅延故障モデルとトランジション故障モデルの両方を表現することができる．よって，以下ではセグメント遅延故障モデルを対象として議論を行う．

2.2 テスト可能性

ここでは，セグメント遅延故障に対して，順序回路と組合せ回路におけるテスト可能性を定義する．

[定義 2]（テスト可能性：順序回路） 定格クロックの周期が t である順序回路 S のセグメントを s とし，S_f を s に存在するセグメント遅延故障 f によって故障した回路とする．また，s 上のすべての論理部からなる組合せ回路を C とする．可変クロック（variable-clock）テスト [4] において，S 及び S_f に対する入力系列 T が以下の条件をすべて満たすとき，T を f のテスト系列といい，セグメント遅延故障 f は T でテスト可能であるという．

（1） C に対するある入力ベクトル対 (v_1, v_2) によって，s の始点に所望の信号の変化を発生させ，それを s に沿って s の終点へ伝搬することができ，かつ，S において，時間 t 後に s の終点に現れる v_2 の応答と，S_f において，時間 t 後に s の終点に現れる v_2 の応答が異なる．

（2） S_f に T を印加することにより，外部入力から C の入力に (v_1, v_2) を正当化でき，s の終点に現れた故障影響をある外部出力まで伝搬できる． □

以下，本論文では，テスト実行の方式として，可変クロックテストを想定する(注4)．これにより，順序回路のテスト実行において，故障初期化と故障影響伝搬の際に，回路にセグメント遅延故障が存在しないとみなすことができる．

[定義 3]（テスト可能性：組合せ回路） 組合せ回路 C のセグメントを s とし，C_f を s に存在するセグメント遅延故障 f によって故障した回路とする．また，規定時間を t とする．C 及び C_f に対する入力ベクトル対 (v_1, v_2) が以下の条件をすべて満たすとき，(v_1, v_2) を f の 2 パターンテストといい，f は (v_1, v_2) でテスト可能であるという．

（1） s の始点に所望の信号の変化を発生させ，それを s に沿って s の終点まで伝搬でき，かつ，C において，時間 t 後に s の終点に現れる v_2 の応答と，C_f において，時間 t 後に s の終点に現れる v_2 の応答が異なる．

（2） s の終点に現れた故障影響をある外部出力まで伝搬できる． □

2.3 回路変換

4. で提案するテスト生成法では，テスト対象の順序回路を時間展開モデル [11] と呼ばれる組合せ回路に変換する．以下では，時間展開グラフ [11]，時間展開モデルを定義する．

[定義 4]（時間展開グラフ [11]） 無閉路順序回路 S のトポロジーグラフ $G = (V, A, w)$ に対して，有向グラフ $E = (V_E, A_E, t, l)$ を考える．ここで，V_E は頂点集合，A_E は有向辺集合，t は V_E から整数への写像，l は V_E から V への写像を表す．以下の四つの条件をすべて満たす E を G の時間展開グラフという．

- 条件 1（外部入出力及び論理部の保存）

写像 l は全射である．すなわち，任意の頂点 $v \in V$ について，$v = l(u)$ なる $u \in V_E$ が存在する．

- 条件 2（入力の保存）

有向グラフ E の任意の頂点を $u \in V_E$ とする．このとき，頂点 u に対応するトポロジーグラフ G の頂点

(注4)：本論文で提案するテスト生成法は，部分拡張スキャン設計を指向しているため，定格クロック（rated-clock）テスト [1] による実動作速度でのテスト実行は考えない．定格クロックテストで検出可能な故障はすべて，可変クロックテストでも検出可能である [14].

$l(u)$ に隣接する任意の祖先 $v \in pre(l(u))$ に対して，$v = l(u')$ かつ $u' \in pre(u)$ を満たす頂点 $u' \in V_E$ が存在する．ここで，$pre(v)$ は頂点 v に隣接する祖先の集合を表す．

- 条件 3（時刻の無矛盾性）

有向グラフ E の任意の辺 $(u,v) \in A_E$ について，トポロジーグラフ G に $t(v) - t(u) = w(l(u), l(v))$ を満たす辺 $(l(u), l(v)) \in A$ が存在する．

- 条件 4（時刻の単一性）

有向グラフ E の任意の頂点 $u, v \in V_E$ について，$t(u) = t(v)$ かつ $l(u) = l(v)$ ならば，u と v は同一の頂点 $u = v$ である． □

［例 2］ 図 2 のトポロジーグラフ G の時間展開グラフ E を図 3 に示す．各頂点 u に記した文字は，対応する G の頂点 $l(u)$ を表し，グラフの上部に記した数は，その列にある頂点 u のラベル $t(u)$ を表す． □

［定義 5］（時間展開モデル [11]） 無閉路順序回路 S のトポロジーグラフを $G = (V, A, w)$，G の任意の時間展開グラフを $E = (V_E, A_E, t, l)$ とする．以下の手続きによって得られる組合せ回路を E に基づく S の時間展開モデル $C_E(S)$ という．

（1） 各頂点 $u \in V_E$ について，$l(u)$ に対応する外部入力，外部出力または論理部をそれぞれ u に対応する外部入力，外部出力または論理部とする．

（2） 各有向辺 $(u,v) \in A_E$ について，$(l(u), l(v)) \in A$ に対応する信号線を，u と v に対応する外部入力，外部出力または論理部間の接続信号線とする．このとき，$(l(u), l(v)) \in A$ に対応する信号線上に存在する FF は除去する．

（3） 各論理部内の信号線及び論理ゲートについて，他の論理部の入力または外部出力に到達不可能なとき，その信号線及び論理ゲートを除去する． □

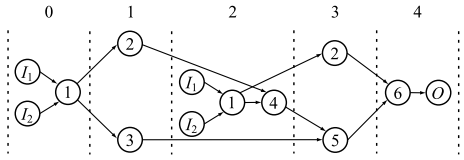

図 3 時間展開グラフ E
Fig. 3 Time-expansion graph E.

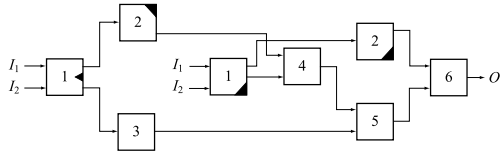

図 4 時間展開モデル $C_E(S)$
Fig. 4 Time-expansion model $C_E(S)$.

［例 3］ 図 3 の時間展開グラフ E に基づく S の時間展開モデル $C_E(S)$ を図 4 に示す．図 4 の黒塗りの部分は，他の論理部の入力に到達不可能な信号線及び論理ゲートを除去していることを表す． □

2.4 故障の対応と系列変換

ここでは，無閉路順序回路 S のセグメント遅延故障とその時間展開モデル $C_E(S)$ のセグメント遅延故障の対応を表すために，故障変換を定義する．また，$C_E(S)$ に対する入力ベクトル対と S の入力系列の対応を表すために，系列変換を定義する．

［定義 6］（故障変換 σ） 無閉路順序回路 S のトポロジーグラフを $G = (V, A, w)$，G の任意の時間展開グラフを $E = (V_E, A_E, t, l)$，E に基づく S の時間展開モデルを $C_E(S)$ とし，S におけるすべてのセグメント遅延故障の集合を F とする．また，ある $f \in F$ が存在するセグメント s 上のすべての論理部からなる組合せ回路を C とし，$C_E(S)$ において，C の各論理部同士の接続関係と同じ接続関係をもつような，C の論理部に対応する論理部からなる組合せ回路の集合を B とする．更に，B の組合せ回路のうち，s の終点に対応するゲートが削除されていない組合せ回路からなる集合を B' とする．このとき，$B' = \mu(C)$ なる変換を部分回路変換 μ という(注5)．また，B' の各組合せ回路において，s に対応するセグメントに存在するセグメント遅延故障を考えたとき，それらすべてのセグメント遅延故障からなる集合を F_E とする．このとき，$F_E = \sigma(f)$ なる変換を故障変換 σ という(注6)． □

［例 4］ 図 5 において，無閉路順序回路 S のセグメント遅延故障は，故障変換 σ によって，S の時間展開モデル $C_E(S)$ のセグメント遅延故障に対応する．定義 4 より，S のセグメント遅延故障に対応する $C_E(S)$ のセグメント遅延故障は必ず存在し，一般に複数個存在する． □

［定義 7］（系列変換 τ） 無閉路順序回路 S のトポロジーグラフを $G = (V, A, w)$，G の任意の時間展開グラフを $E = (V_E, A_E, t, l)$，E に基づく S の時間展開モデルを $C_E(S)$，E のラベル t の最小値を $t_{\min}$，S の順序深度(注7) を d とする．このとき，$C_E(S)$ の各

(注5)：逆に，$b' \in B'$ から C への変換は，μ^{-1} のように表記する．
(注6)：逆に，$f_e \in F_E$ から f への変換は，σ^{-1} のように表記する．
(注7)：回路の外部入力から外部出力へ至る経路に存在する FF の最大数のこと．

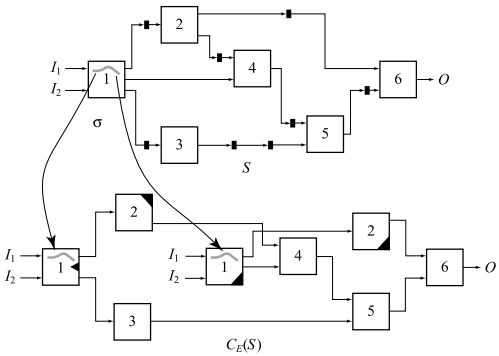

図 5　故障変換 σ
Fig. 5　Fault transformation σ.

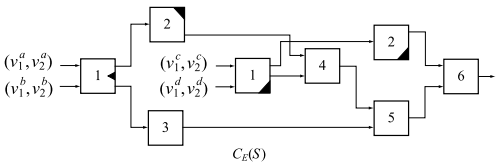

図 6　入力ベクトル対
Fig. 6　Input vector pairs.

表 1　2 パターン系列
Table 1　Two-pattern sequences.

外部入力	時刻					
	0	1	2	3	4	5
I_1	v_1^a	v_2^a	v_1^c	v_2^c	X	X
I_2	v_1^b	v_2^b	v_1^d	v_2^d	X	X

外部入力 $u \in V_E$ への入力ベクトル対 $I_u = (v_1, v_2)$ に対して，以下のような外部入力 $l(u) \in V$ への時刻 $k\ (= 0, 1, \ldots, d+1)$ の入力パターン $I_{l(u)}(k)$ に変換する手続きを系列変換 τ という．ただし，X はドントケアを表す．

$$I_{l(u)}(k) = \begin{cases} v_1 & (k = t(u) - t_{\min} \text{ のとき}) \\ v_2 & (k = t(u) - t_{\min} + 1 \text{ のとき}) \\ X & (\text{上記以外のとき}) \end{cases}$$

また，このような系列長 $d+2$ の入力系列のことを 2 パターン系列という．　□

［例 5］　$C_E(S)$ に対して，図 6 のような入力ベクトル対 (v_1^a, v_2^a)，(v_1^b, v_2^b)，(v_1^c, v_2^c)，(v_1^d, v_2^d)　が与えられたとする．このとき，それらの入力ベクトル対は系列変換 τ によって，表 1 のような，図 1 の S に対する 2 パターン系列に変換される．　□

3.　不連続再収斂構造

本章では，遅延故障に対してテスト生成が容易な順序回路の構造として，以下のような回路構造を提案する．

［定義 8］（不連続再収斂構造）　無閉路順序回路 S のトポロジーグラフを $G = (V, A, w)$，頂点 $u, v \in V$ の u から v への経路の集合を $P_{u,v}$，経路 $p \in P_{u,v}$ に存在する FF 数を $n(p)$ とする．任意の頂点 $u, v \in V$ について，その間のすべての経路対 $p_i, p_j \in P_{u,v}$ が，以下の条件を満たすとき，S は不連続再収斂構造であるという．

$$|n(p_i) - n(p_j)| \neq 1$$

□

無閉路構造と不連続再収斂構造の違いは，不連続再収斂構造の順序回路 S では，$C_E(S)$ に対する任意の入力ベクトル対が，系列変換 τ によって，もとの S に対する入力系列に，パターンの衝突を起こすことなく変換できることが保証されている点である．

定義 8 の条件において，$|n(p_i) - n(p_j)| = 0$ の場合が平衡構造に対応する．これは，不連続再収斂構造が平衡構造を真に含むような回路構造であることを示している．よって，一般の順序回路に対して部分拡張スキャン設計を行うことを考えると，核回路を平衡構造でなく不連続再収斂構造にすることで，スキャン化に伴うハードウェアオーバヘッドをより小さくできる．

［例 6］　図 1 の無閉路順序回路 S は定義 8 を満たす．よって，S は不連続再収斂構造である．　□

4.　テスト生成

この章では，不連続再収斂順序回路のセグメント遅延故障に対するテスト生成法を提案し，その正当性について考察する．

4.1　テスト生成法

提案するテスト生成法は，以下の 5 ステップからなり，不連続再収斂順序回路 S の各外部出力に関する出力錐(注8) S_o ごとに行う．

（1）　S_o のセグメント遅延故障リスト F を作成する．

（2）　S_o をトポロジーグラフ G で表す．

(注8)：ある外部出力に到達可能なすべての素子からなる部分回路のこと．

（3） G から時間展開グラフ E に変換する．

（4） E に基づく S_o の時間展開モデル $C_E(S_o)$ を生成する．

（5） 各セグメント遅延故障 $f \in F$ に対して以下の処理を行う．

（5-a） $C_E(S_o)$ に対して，f に対応するセグメント遅延故障の集合 $F_E = \sigma(f)$ を求め，ある $f_e \in F_E$ に対し，組合せ ATPG を用いて，2 パターンテスト t_e を生成する．

（5-b） t_e から S_o の f に対するテスト系列 $T = \tau(t_e)$ に変換する．

（5-c） T から S の f に対するテスト系列 T' に変換する．

時間展開グラフの定義より，単一出力の無閉路順序回路の時間展開グラフは一意に決定できる [11]．よって，ステップ（3）において，S_o の時間展開グラフ E も一意に決定できる．本論文では，テスト方式として可変クロックテストを想定しているため，定格クロックを与える時刻以外は，遅延故障がないと考えることができる．よって，ステップ（5-a）において，複数あるセグメント遅延故障のうち，どれか一つに対してのみ 2 パターンテストを生成できれば十分である．また，同ステップにおいて，f に対応するすべてのセグメント遅延故障が冗長故障と判明すれば，f も冗長故障である．ステップ（5-c）において，S_o の外部入力に対応する S の外部入力に T を入力し，それ以外の S の外部入力に 0 または 1 を入力することによって，T は T' に変換できる．

4.2 正当性の証明

［補題 1］（不連続再収斂構造の性質） 単一出力の順序回路 S のトポロジーグラフを $G = (V, A, w)$，G の時間展開グラフを $E = (V_E, A_E, t, l)$ とする．S が不連続再収斂構造ならば，$l(u) = l(v)$ なる任意の頂点 $u, v \in V_E$ について，以下の条件が成り立つ．

$$|t(u) - t(v)| \neq 1$$

（証明） $l(u) = l(v)$ かつ $|t(u) - t(v)| = 1$ を満たすような $u, v \in V_E$ が存在するならば，S は不連続再収斂構造でないことを示す（題意の対偶）．

頂点 u，$v \in V_E$ が $l(u) = l(v)$，$|t(u) - t(v)| = 1$ $(t(u) = t,\ t(v) = t + 1)$ を満たすとする．S は単一出力であるので，u と v は，外部出力に対応する頂点へ至る経路上で，ある頂点 $w \in V_E$ $(t(w) = t')$ を共有する．定義 4 の条件 1 より，$l(w) \in V$ が存在し，定義 4 の条件 2, 3 より，$l(u) = l(v)$ から $l(w)$ への経路で，$t(w) - t(u) = t' - t$ 個の FF をもつ経路と，$t(w) - t(v) = t' - t - 1$ 個の FF をもつ経路が存在する．よって，$(t' - t) - (t' - t - 1) = 1$ となり，これは不連続再収斂構造の定義 8 に反する．以上より，補題 1 は成り立つ． □

補題 1 より，S は $|t(u) - t(v)| \neq 1$ を満たすので，$l(u) = l(v)$ を満たす $C_E(S)$ の外部入力 u, v に対する入力ベクトル対として，それぞれ (v_1, v_2)，(v_1', v_2') を考えたとき，v_2 と v_1' が系列変換 τ によって，もとの S の同じ時刻のパターンに変換されることはない．よって，**3.** でも述べたように，$C_E(S)$ に対する任意の入力ベクトル対が，系列変換 τ によって，もとの S に対する入力系列に，パターンの衝突を起こすことなく変換できることが保証される．

［補題 2］（テスト系列の存在：2 パターン系列） 単一出力である不連続再収斂順序回路 S の任意のセグメント遅延故障 f について，f がテスト可能ならば，f のテスト系列として，2 パターン系列が存在する．ここで，d は S の順序深度を表す．

（証明） S のトポロジーグラフを $G = (V, A, w)$，G の時間展開グラフを $E = (V_E, A_E, t, l)$，E に基づく S の時間展開モデルを $C_E(S)$，E のラベル t の最小値を $t_{\min}$ とし，f が存在するセグメント s 上のすべての論理部からなる組合せ回路を C とする．f がテスト可能ならば，系列長が $d+2$ 以下のテスト系列 T が存在する(注9)．また，定義 2 より，s の始点に f を活性化するための信号の変化を発生させ，それを s に沿って s の終点に伝搬するための C の入力ベクトル対 (v_1, v_2) が存在する．C の入力に到達可能な任意の外部入力を $v_{\mathrm{PI}} \in V$ とすると，定義 4 の条件 1 より，対応する $C_E(S)$ の外部入力 $\{u_{\mathrm{PI}} | u_{\mathrm{PI}} \in l^{-1}(v_{\mathrm{PI}})\}$ が存在する．よって，定義 4 の条件 3 より，(v_1, v_2) を正当化するための値を v_{PI} へ印加する時刻は，時刻 $t(u_{\mathrm{PI}}) - t_{\min}$ 及びその次の時刻に限られる．更に，故障影響を伝搬する外部出力を $v_{\mathrm{PO}} \in V$ とし，v_{PO} に到達可能な任意の外部入力を $v_{\mathrm{PI}}' \in V$ とすると，先と同様の理由により，対応する $C_E(S)$ の外部入力 $\{u_{\mathrm{PI}}' | u_{\mathrm{PI}}' \in l^{-1}(v_{\mathrm{PI}}')\}$ が存在し，故障影響を伝搬させるための値を v_{PI}' へ印加する時刻は，$t(u_{\mathrm{PI}}') - t_{\min} + 1$

(注9)：S には閉路がないため，任意の外部入力に印加された値の影響は，たかだか d 時刻後に外部出力へ現れる．よって，たかだか系列長 $d+2$ のテスト系列を外部入力に与えれば，その故障影響が外部出力で観測できる．

に限られる．また，値が入力されない時刻の外部入力については，0 または 1 を印加すればよいので，T は系列長 $d+2$ のテスト系列（2 パターン系列）になる．以上より，補題 2 が成り立つ． □

［補題 3］（出力値の一致） 単一出力の不連続再収斂順序回路 S のトポロジーグラフを $G=(V,A,w)$，G の時間展開グラフを $E=(V_E,A_E,t,l)$，E に基づく S の時間展開モデルを $C_E(S)$，E のラベル t の最小値を $t_{\min}$，S の順序深度を d とする．また，$C_E(S)$ への任意の入力ベクトル対を $I_C=(v_1,v_2)$，系列変換 τ によって得られる S への 2 パターン系列を $\tau(I_C)$ とする．このとき，v_2 に対する $C_E(S)$ の任意の外部出力 $u\in V_E$ における応答 O_u は，2 パターン系列 $\tau(I_C)$ に対する S の外部出力 $l(u)\in V$ の時刻 $t(u)-t_{\min}+1$ の応答 $O_{l(u)}(t(u)-t_{\min}+1)$ と等しい．

（証明） $C_E(S)$ の外部出力 u に到達可能な任意の外部入力を $u'\in V_E$ とする．u' に対応する S の外部入力 $l(u')\in V$ は，定義 4 の条件 2 より，$l(u)$ に到達可能である．u' への任意の入力ベクトル対 $I_{u'}=(v_1^{u'},v_2^{u'})$ の $v_2^{u'}$ は，系列変換 τ によって，時刻 $t(u')-t_{\min}+1$ の外部入力 $l(u')$ への入力パターン $I_{l(u')}(t(u')-t_{\min}+1)$ に変換される．このとき，補題 1 及び定義 4 の条件 4 より，$l(u')$ の時刻 $t(u')-t_{\min}+1$ に印加されるパターンはただ一つである．u' から u への経路に対応する $l(u')$ から $l(u)$ への経路を p，p に存在する FF 数を $n(p)$ とすると，$I_{l(u')}(t(u')-t_{\min}+1)$ の影響は，$n(p)$ 時刻後に外部出力 $l(u)$ に到達する．このとき，定義 4 の条件 3 より，$(t(u')-t_{\min}+1)+n(p)=t(u)-t_{\min}+1$ となる．また，定義 4 の条件 2 より，u' から u への経路と $l(u')$ から $l(u)$ の経路は，同じ論理からなる組合せ回路を通過する．以上より，補題 3 が成り立つ． □

［定理 1］（テスト生成問題帰着性） 単一出力の不連続再収斂順序回路 S のトポロジーグラフを $G=(V,A,w)$，G の時間展開グラフを $E=(V_E,A_E,t,l)$，E に基づく S の時間展開モデルを $C_E(S)$ とする．また，S におけるすべてのセグメント遅延故障の集合を F，$C_E(S)$ における F に対応するセグメント遅延故障の集合を F_E とする．このとき，S は以下の条件をすべて満たす．

（1） 任意の $f\in F$ がテスト可能であるとき，かつそのときに限り，f に対応するある $f_e\in F_E$ がテスト可能である．

（2） f_e に対する 2 パターンテストは，f_e に対応する f に対するテスト系列に変換できる．

（証明） 任意のセグメント遅延故障 f によって故障した回路を S_f，f に対応するあるセグメント遅延故障 $f_e\in\sigma(f)$ によって故障した回路を $C_{E_{f_e}}(S)$ とし，f が存在するセグメント s 上のすべての論理部からなる組合せ回路を C とする．また，E のラベル t の最小値を $t_{\min}$，S の順序深度を d とし，系列変換 τ の逆変換を τ^{-1} とする．

f がテスト可能ならば，補題 2 より，2 パターン系列 T_f が存在する．更に，定義 2 より，s の始点に f を活性化するための信号の変化を発生させ，それを s に沿って s の終点に伝搬するためのベクトル対が存在し，T_f で正当化できる．ここで，このようなベクトル対が C の入力に正当化される時刻をそれぞれ $i,i+1$ とし，時刻 $i,i+1$ に正当化されるパターンをそれぞれ v_1,v_2 とする．また，$C_{E_{f_e}}(S)$ において，$\mu(C)$ の組合せ回路のうち，$t(c)=i+t_{\min}$ を満たすすべての論理部 $c\in V_E$ からなる組合せ回路を $C'\in\mu(C)$ とする．定義 4 及び補題 3 より，$\tau^{-1}(T_f)$ を $C_{E_{f_e}}(S)$ に印加することにより，C' の入力へ (v_1,v_2) を正当化できる．また，s に対応する C' のセグメントを s_e としたとき，定義 4 より，s と s_e は同じ論理からなる組合せ回路を通るので，S_f に T_f を印加したときの s の終点における時刻 $i+1$ の値と，$C_{E_{f_e}}(S)$ に $\tau^{-1}(T_f)$ を印加したときの，$\tau^{-1}(T_f)$ の 2 番目のベクトルに対する s_e の終点の値は同じである．これと補題 3 より，可変クロックテストにおいて，S_f に T_f を印加したときの任意の外部出力 $l(u)\in V$ の時刻 $t(u)-t_{\min}+1$ の値と，$C_{E_{f_e}}(S)$ に $\tau^{-1}(T_f)$ を印加したときの $\tau^{-1}(T_f)$ の 2 番目のベクトルに対する外部出力 $u\in V_E$ の応答は一致する．f_e は，s に対応する s_e に存在するセグメント遅延故障なので，$C_{E_{f_e}}(S)$ は時間展開グラフ E に基づく S_f の時間展開モデル $C_E(S_f)$ と同形である．よって，$\tau^{-1}(T_f)$ を $C_E(S)$ に印加したときに外部出力で観測される $\tau^{-1}(T_f)$ の 2 番目のベクトルに対する応答と $C_E(S_f)$ に印加したときに外部出力で観測される $\tau^{-1}(T_f)$ の 2 番目のベクトルに対する応答が異なる．ゆえに，任意の f がテスト可能ならば，ある $f_e\in\sigma(f)$ がテスト可能である．

逆に，ある f_e がテスト可能ならば，2 パターンテスト t_{f_e} が存在する．f_e が存在するセグメント s'_e について，s'_e 上のすべての論理部からなる組合せ回路を $C_{s'_e}$ とし，$C_{s'_e}$ を構成する論理部のラベルを $t_{s'_e}$ と

する．ここで，$C_{s'_e}$ の入力に正当化されるベクトル対を (v'_1, v'_2) とすると，定義 4 及び補題 3 より，$\tau(t_{f_e})$ を S_f に印加することにより，$C_{s'_e}$ に対応する S_f の組合せ回路 $\mu^{-1}(C_{s'_e})$ の入力へ (v'_1, v'_2) を正当化できる．また，定義 4 より，s'_e と s'_e に対応するセグメント s' は同じ論理からなる組合せ回路を通るので，$C_{E_{f_e}}(S)$ に t_{f_e} を印加したときの 2 番目のベクトルに対する s'_e の終点の値と，S_f に $\tau(t_{f_e})$ を印加したときの s' の終点における時刻 $t_{s'_e} - t_{\min} + 1$ の値は一致する．これと補題 3 より，$C_{E_{f_e}}(S)$ に t_{f_e} を印加したときの t_{f_e} の 2 番目のベクトルに対する任意の外部出力 $u' \in V_E$ の応答と，可変クロックテストにおいて，S_f に $\tau(t_{f_e})$ を印加したときの外部出力 $l(u') \in G$ の時刻 $t(u') - t_{\min} + 1$ の値は一致する．先と同様の理由により，$C_{E_{f_e}}(S)$ は，時間展開グラフ E に基づく S_f の時間展開モデル $C_E(S_f)$ と同形である．よって，$\tau(t_{f_e})$ を S に印加したときに外部出力で観測される応答と S_f に印加したときに外部出力で観測される応答が異なる．ゆえに，ある f_e がテスト可能であるならば，$f = \sigma^{-1}(f_e)$ がテスト可能である．

最後に，補題 1 より，f_e に対する 2 パターンテストは，系列変換 τ によって，f_e に対応する f に対するテスト系列に変換できる．

以上より，定理 1 は成り立つ． □

定理 1 の（1）の対偶より，任意の f に対して，f に対応するすべての f_e がテスト可能でないとき，かつそのときに限り，f がテスト可能でないことがいえる．よって，提案したテスト生成法が，テスト可能なすべてのセグメント遅延故障に対するテスト系列を生成できるだけでなく，すべての冗長故障も識別できることがわかる．

以上の議論では，説明を簡単にするために，セグメント遅延故障のテスト可能性の分類（ロバスト，ノンロバスト，機能的活性化可能）を区別しなかった．しかし，時間展開モデルのセグメント遅延故障に対してテスト生成を行う際に，テスト可能性の分類を考慮することで，もとの順序回路のセグメント遅延故障が，テスト可能性のどの分類に属するかを識別できる．また，以上ではセグメント遅延故障モデルを対象として議論を行ったが，**2. 1. 3** で述べたように，セグメント遅延故障モデルは，パス遅延故障モデルとトランジション故障モデルの両方を表すことができる．よって，それらの遅延故障モデルに対しても，定理 1 は成り立つ．

5. テスト容易化設計

5. 1 部分拡張スキャン設計

一般の順序回路に対して，**4.** のテスト生成法を適用するためには，以下の 2 ステップのように部分拡張スキャン設計を行えばよい．

（1） 与えられた順序回路に対して，その回路中の FF を取り除いたとき，残りの回路部分が不連続再収斂構造となるように FF を選択する．

（2） ステップ（1）で選択された各 FF を拡張スキャン FF に置き換える．

テスト生成の際には，ステップ（1）で選択された FF を外部入出力に置き換え，不連続再収斂順序回路（核回路）のみをテスト生成の対象とすることで，**4.** のテスト生成法を適用できる．

5. 2 テスト実行

生成されたテスト系列は，拡張スキャン FF を用いて印加する．ここではテスト実行時間について考察する．順序回路 S の核回路 S^{DR} の時間展開モデル $C_E(S^{DR})$ に対して生成された 2 パターンテスト集合を T，S^{DR} の順序深度を d_{DR} としたとき，系列変換によって得られる S^{DR} のテスト系列長は，$|T| \cdot (d_{DR}+2)$ となる．よって，S の拡張スキャン FF 数を n_{ESFF} とすると，スキャンチェーンが 1 本である場合の S に対するテスト実行時間は，

$$|T| \cdot (d_{DR} + 2)(n_{\mathrm{ESFF}} + 1) + n_{\mathrm{ESFF}} \qquad (1)$$

となる．ただし，単位はクロックサイクル（CC）である．$C_E(S^{DR})$ において，任意の 2 パターンテスト $t \in T$ によって検出されるすべてのセグメント遅延故障からなる集合を F，$f \in F$ をもつ論理部のラベルを l，ラベルの最小値を $l_{\min}$ としたとき，可変クロックテストにおいて定格クロックを与えるタイミングは，系列変換 τ によって得られる F のテスト系列 $\tau(t)$ の $l - l_{\min} + 2$ 番目のパターンを印加する時刻である．それ以外のパターンを印加する時刻では，回路を低速クロックで動作させる．ただし，各 f の l が取り得る値は，$l_{\min}, l_{\min}+1, \ldots, l_{\min}+d_{DR}$ である．すべての f の l が同じ値である場合は，式 (1) のテスト実行時間となる．しかし，$\tau(t)$ を回路に印加するときの定格クロックを与えるタイミングが，各 f で異なる場合は，最悪 $d_{DR}+1$ 回，$\tau(t)$ を回路に印加しなければならない．その場合の S に対するテスト実行時間は，

$$|T| \cdot (d_{DR} + 2)(d_{DR} + 1)(n_{\mathrm{ESFF}} + 1) + n_{\mathrm{ESFF}} \qquad (2)$$

となる．

6. 提案手法の評価

6.1 テスト生成時間とハードウェアオーバヘッド

定義 8 より，無閉路順序回路，不連続再収斂順序回路，平衡順序回路の間には，{ 無閉路順序回路 } ⊃ { 不連続再収斂順序回路 } ⊃ { 平衡順序回路 } のような包含関係が成り立つ．以下では，それらの順序回路に対するテスト生成時間と，一般の順序回路の核回路を各構造（無閉路構造，不連続再収斂順構造，平衡構造）にするために必要な，スキャン化に伴うハードウェアオーバヘッドについて議論する．

（a） 無閉路構造

一般の順序回路の核回路を無閉路構造にするために必要なハードウェアオーバヘッドは，他の構造と比べて小さい．しかし，順序 ATPG がテスト生成の際に必要となるため，テスト生成時間は三つの構造の中で最も長くなる．

（b） 平衡構造

文献 [15] の手法を用いてテスト生成を行うことができる．この手法では，平衡順序回路が与えられたとき，その組合せ等価回路に対して，組合せ ATPG を適用することによって，テスト系列を生成する．よって，平衡順序回路のテスト生成時間は，無閉路順序回路のテスト生成時間よりも著しく短くなる．しかし，一般の順序回路の核回路を平衡構造にするために必要なハードウェアオーバヘッドは，三つの構造の中で最も大きくなる．

（c） 不連続再収斂構造

一般の順序回路を不連続再収斂構造にするために必要なハードウェアオーバヘッドは，平衡構造より小さい．更に，不連続再収斂順序回路は，平衡順序回路と同様に，組合せ ATPG でテスト生成が可能であるため，そのテスト生成時間は平衡順序回路のテスト生成時間と同程度であると考えられる．よって，不連続再収斂順序回路のテスト生成時間は，無閉路順序回路のテスト生成時間よりも短くなる．

6.2 ケーススタディ

このケーススタディでは，表 2 のような特性をもったベンチマーク回路（C1, C2, C3）に対して，提案手法を適用し，そのハードウェアオーバヘッド，テスト生成時間，故障検出効率，テスト実行時間を評価する．故障検出効率は，$100 \times (n + n')/N$（%）で表される．ここで，N は回路中の全故障数，n はテスト系列が生成された故障数，n' は冗長と判明した故障数である．表 2 の面積は，NOT ゲートの面積を 1 としたときの値である．以下の実験では，論理合成ツールとして Design Compiler （Synopsys 社），テスト生成ツールとして TetraMAX ATPG（Synopsys 社），計算機として Sun Blade 1000 を使用した．ただし，TetraMAX ATPG はセグメント遅延故障モデルを扱えないため，トランジション故障モデルを対象としてテスト生成を行った．トランジション故障モデルに対するテスト生成と他の遅延故障モデル（パス遅延故障モデル，セグメント遅延故障モデル）に対するテスト生成の違いは，テスト対象部分に存在するゲートの個数が一つか複数かの違いである．つまり，それらのテスト生成においては，テスト対象部分に沿って，所望の信号の変化をその始点から終点まで伝搬させるときに，値を正当化しなければならないゲートの個数のみが異なる．よって，他の遅延故障モデルに対しても，トランジション故障モデルと同じような傾向のテスト生成結果が得られると考える．

表 2 回路特性
Table 2 Circuit characteristics.

回路名	外部入力数	外部出力数	FF 数	面積
C1	16	24	80	5,528
C2	24	32	112	6,151
C3	128	96	288	20,239

最初に，部分拡張スキャン設計を行ったときの各構造（無閉路構造，平衡構造，不連続再収斂構造）間のハードウェアオーバヘッドを比較する．表 3 に，C1, C2, C3 の核回路を各構造にしたときの拡張スキャン FF 数（#ESFF），スキャン化率（Scan（%））を示す．ここで，スキャン化率とは，各構造を実現するために必要な拡張スキャン FF の割合を表す．また，表 3 の平均スキャン化率（%）は，表 2 の FF 数の総和に対する表 3 の各構造における拡張スキャン FF の総和の割合である．この実験では，各ベンチマーク回路から無閉路順序回路 S^A を抽出するために，文献 [5] のアルゴリズムを用いた．また，不連続再収斂順序回路 S^{DR} と平衡順序回路 S^B は，次の貪欲アルゴリズムを S^A に適用し，抽出した．ここで，貪欲アルゴリズムについて簡単に説明する．そのアルゴリズムは，S^A の外部入力側から外部出力側へ向かって深さ優先で処理を行う．ある外部入力からある外部出力へ至る際に，もし定義 8 を満たさない経路が存在すれば，その経路が定義 8 を満たすように，その経路上の FF を拡張

表 3　スキャン化率
Table 3　Percentages of enhanced scan FFs.

回路名	無閉路構造		不連続再収斂構造		平衡構造	
	#ESFF	Scan（%）	#ESFF	Scan（%）	#ESFF	Scan（%）
C1	24	30.0	32	40.0	48	60.0
C2	24	21.4	32	28.6	48	42.9
C3	128	44.4	160	55.6	192	66.7
平均スキャン化率（%）	36.7		46.7		60.0	

表 4　テスト生成時間と故障検出効率
Table 4　Test generation time and fault efficiency.

回路名	無閉路構造（順序 ATPG）		不連続再収斂構造（組合せ ATPG）		平衡構造（組合せ ATPG）	
	TGT（秒）	FE（%）	TGT（秒）	FE（%）	TGT（秒）	FE（%）
C1	3,797	99.55	51	99.98	14	99.98
C2	16,740	91.18	941	98.81	729	99.37
C3	54,750	98.20	1,814	99.98	1,553	99.95
平均加速率（倍）	1		26.8		32.8	

表 5　テスト実行時間
Table 5　Test application time.

回路名	無閉路構造（順序 ATPG）			不連続再収斂構造（組合せ ATPG）				平衡構造（組合せ ATPG）			
	#Vec	Depth	TAT（CC）	#Vec	Depth	TAT（CC）		#Vec	Depth	TAT（CC）	
						式 (1)	式 (2)			式 (1)	式 (2)
C1	268	4	33,524	229	4	45,374	226,742	204	3	50,028	199,968
C2	125	3	12,524	177	3	29,237	116,852	191	3	46,843	187,228
C3	152	2	58,952	390	2	251,320	753,640	377	2	291,236	873,324

スキャン FF に置き換える FF として選択する．以上の処理を，回路中のすべての経路が定義 8 を満たすまで繰り返す．ただし，平衡構造を抽出する際には，定義 8 の代わりに平衡構造の定義を用いる．表 3 からわかるように，不連続再収斂構造のスキャン化率は，無閉路構造よりも平均で 10.0% 大きくなった．しかし，平衡構造のスキャン化率に対しては，スキャン化率を平均で 13.3% 削減することができた．この結果から，不連続再収斂構造は平衡構造よりも，スキャン化に伴うハードウェアオーバヘッドが小さいことがわかる．

次に，提案手法のテスト生成時間，故障検出効率(注10)，テスト実行時間を評価する．表 4 は，先の方法で抽出した各構造の順序回路に対して，以下の 3 種類のテスト生成を行ったときのテスト生成時間（TGT（秒））, 故障検出効率（FE（%））である．

- 無閉路順序回路に対して，順序 ATPG を用いたテスト生成
- 不連続再収斂順序回路に対して，組合せ ATPG を用いたテスト生成（提案手法）
- 平衡順序回路に対して，組合せ ATPG を用いたテスト生成（文献 [15] の手法）

表 4 の平均加速率（倍）は T/T' で表され，無閉路順序回路のテスト生成に対して，不連続再収斂順序回路及び平衡順序回路のテスト生成が平均でどれだけ速くなったのかを意味する．ここで，T は無閉路順序回路のテスト生成時間の総和，T' は各構造の順序回路におけるテスト生成時間の総和である．表 4 からわかるように，提案手法は，無閉路順序回路に対するテスト生成と比べて，平均で約 27 倍速くテスト生成を行うことができ，更に故障検出効率も高くなっている．また，平衡順序回路に対するテスト生成と比較すると，提案手法がわずかなテスト生成時間の増加で，ほぼ同等の故障検出効率を得ていることがわかる．ただし，C3 に対しては，提案手法の方が平衡順序回路に対するテスト生成よりも故障検出効率が高くなった．これは，S^A から S^{DR} を抽出する際に拡張スキャン FF として選ばれる FF が，S^A から S^B を抽出する際には，必ずしも拡張スキャン FF として選ばれないことが一つの原因であると考える．つまり，拡張スキャン FF として選ばれる FF の違いによって，回路

(注10)：ノンロバストテスト可能なトランジション故障に対する故障検出効率である．

のテスト容易性が変化するため，そのような結果になったと考える．表 5 は，各構造の順序回路に対して得られたテスト系列を，もとの順序回路に印加するときに必要なテスト実行時間（TAT（CC））を表している．不連続再収斂順序回路と平衡順序回路のテスト実行時間は，**5. 2** の式 (1) と (2) に各順序回路の順序深度（Depth），拡張スキャン FF 数（#ESFF），生成された 2 パターンテスト数（#Vec）を代入して算出した．一方，無閉路順序回路のテスト実行時間は，$\#\mathrm{Vec} \times (d_A + 1)(\#\mathrm{ESFF} + 1) + \#\mathrm{ESFF}$ で算出した．ただし，ここでの $\#\mathrm{Vec}$ は S^A に対するテスト系列長を表し，d_A は S^A の順序深度を表す．ここで，上式でテスト実行時間が算出できる理由を以下に示す．一般に，順序回路に対して可変クロックテストを実行する場合には，生成されたテスト系列（系列長 l）中のある一つのパターン（先頭のパターンを除く）のみを定格クロックで印加し，それ以外のパターンについては低速クロックで印加する必要がある [2]．そのため，生成されたテスト系列で検出される各故障ごとに，定格クロックを与える時刻が異なった場合には，最悪 $l-1$ 回，同じテスト系列を回路に印加しなければならない．よって，実際のテスト系列長は $l(l-1)$ となる．しかし，無閉路順序回路の場合は，任意の外部入力に印加された値の影響は，たかだか d_A 時刻後に外部出力へ現れるため，d_A+1 回，同じテスト系列を回路に印加するだけでよい．以上の理由により先の式を用いた．表 5 からわかるように，テスト実行時間が無閉路順序回路，不連続再収斂順序回路，平衡順序回路の順に大きくなり，特に無閉路順序回路と不連続再収斂順序回路のテスト実行時間の差が大きくなった．しかし，この結果については，本手法とともに文献 [10] の手法を用いることでその差を軽減できると考える．

以上の結果より，提案手法は無閉路構造に基づく部分拡張スキャン設計よりも，ハードウェアオーバヘッドが大きくなるという欠点があるが，その代わりに，テスト生成時間を大幅に削減することができ，故障検出効率も向上させることができることがわかる．更に，提案手法は文献 [15] の手法に対して，わずかなテスト生成時間の増加で，ほぼ同等の故障検出効率を達成することができ，ハードウェアオーバヘッドも削減できることがわかる．

7. むすび

本論文では，遅延故障に対してテスト生成が容易な順序回路の構造として，不連続再収斂構造を定義し，不連続再収斂順序回路の遅延故障に対するテスト生成問題が，その時間展開モデルの遅延故障に対するテスト生成問題に帰着できることを示した．これに基づき，不連続再収斂順序回路の遅延故障に対するテスト生成法を提案した．本論文では，部分拡張スキャン設計を用いることによって，提案手法を一般の順序回路に対して適用した．最後に，ケーススタディによって，提案手法がハードウェアオーバヘッド，テスト生成時間，故障検出効率の点で有効であることを示した．

謝辞　本研究に関して，多くの貴重な意見を頂いた奈良先端科学技術大学院大学の井上美智子助教授，広島市立大学の井上智生助教授に深く感謝致します．本研究は一部，21 世紀 COE プログラム（研究拠点形成費補助金）及び日本学術振興会科学技術研究費補助金・基盤研究 B（2）（課題番号 15300018）の研究助成により実施されています．

文　献

[1] S. Bose, P. Agrawal, and V.D. Agrawal, “A rated-clock test method for path delay faults,” IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol.6, no.2, pp.323–331, June 1998.

[2] M.L. Bushnell and V.D. Agrawal, Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits, Kluwer Academic Publishers, Boston, 2000.

[3] T.J. Chakraborty, V.D. Agrawal, and M.L. Bushnell, “Design for testability for path delay faults in sequential circuits,” Proc. 30th ACM/IEEE Des. Automation Conf., pp.453–457, 1993.

[4] T.J. Chakraborty, V.D. Agrawal, and M.L. Bushnell, “On variable clock methods for path delay testing of sequential circuits,” IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol.16, no.11, pp.1237–1249, Nov. 1997.

[5] S.T. Chakradhar, A. Balakrishnan, and V.D. Agrawal, “An exact algorithm for selecting partial scan flip-flops,” Proc. 31st ACM/IEEE Des. Automation Conf., pp.81–86, 1994.

[6] B.I. Dervisoglu and G.E. Stong, “Design for testability: Using scanpath techniques for path-delay test and measurement,” Proc. Int. Test Conf., pp.365–374, 1991.

[7] R. Gupta, R. Gupta, and M.A. Breuer, “The BALLAST methodology for structured partial scan design,” IEEE Trans. Comput., vol.39, no.4, pp.538–544, April 1990.

[8] K. Heragu and V.D. Agrawal, “Segment delay faults: A new fault model,” Proc. 14th IEEE VLSI Test Symp., pp.32–39, 1996.

[9] K. Heragu, J.H. Patel, and V.D. Agrawal, “A test generator for segment delay faults,” Proc. 12th Int. Conf. VLSI Des., pp.484–491, 1999.
[10] T. Hosokawa, T. Inoue, T. Hiraoka, and H. Fujiwara, “Static and dynamic test sequence compaction methods for acyclic sequential circuits using a time expansion model,” Proc. 8th Asian Test Symp., pp.192–199, 1999.
[11] T. Inoue, T. Hosokawa, T. Mihara, and H. Fujiwara, “An optimal time expansion model based on combinational ATPG for RT level circuits,” Proc. 7th Asian Test Symp., pp.190–197, 1998.
[12] Y.C. Kim, V.D. Agrawal, and K.K. Saluja, “Combinational test generation for various classes of acyclic sequential circuits,” Proc. Int. Test Conf., pp.1078–1087, 2001.
[13] A. Krstić and K.-T. Cheng, Delay fault testing for VLSI circuits, Kluwer Academic Publishers, Boston, 1998.
[14] S. Majumder, V.D. Agrawal, and M.L. Bushnell, “Path delay testing: Variable-clock versus rated-clock,” Proc. 11th Int. Conf. VLSI Des., pp.470–475, 1998.
[15] S. Ohtake, S. Miwa, and H. Fujiwara, “A method of test generation for path delay faults in balanced sequential circuits,” Proc. 20th IEEE VLSI Test Symp., pp.321–327, 2002.
[16] G.L. Smith, “Model for delay faults based upon paths,” Proc. Int. Test Conf., pp.342–349, 1985.

（平成 14 年 12 月 16 日受付，15 年 4 月 18 日再受付）

岩垣　剛　（学生員）

平 12 阪工大・工・電子卒．平 14 奈良先端大・情報科学・博士前期課程了．現在同大博士後期課程在学中．テスト生成，テスト容易化設計に関する研究に従事．IEEE 会員．

大竹　哲史　（正員）

平 7 電通大・電通・情報工卒．平 9 奈良先端大・情報科学・博士前期課程了．平 11 同大博士後期課程了．現在奈良先端大・情報科学研究科助手．平 10 日本学術振興会特別研究員．VLSI CAD，テスト容易化設計，テスト生成アルゴリズムに関する研究に従事．平 13 年度本会情報システムソサイエティ論文賞受賞．IEEE Computer Society 会員．

藤原　秀雄　（正員：フェロー）

昭 44 阪大・工・電子卒．昭 49 同大大学院博士課程了．同大・工・電子助手，明大・工・電子通信助教授，情報科学教授を経て，現在奈良先端大・情報科学教授．昭 56 ウォータールー大客員助教授．昭 59 マッギル大客員準教授．論理設計論，フォールトトレランス，設計自動化，テスト容易化設計，テスト生成，並列処理，計算複雑度に関する研究に従事．著書「Logic Testing and Design for Testability」（MIT Press）など．大川出版賞，IEEE Computer Society Outstanding Contribution Award, IEEE Computer Society Meritorious Service Award など受賞．情報処理学会会員，IEEE Computer Society Golden Core Member，IEEE Fellow．