# **JAIST Repository**

https://dspace.jaist.ac.jp/

Title	不連続再収斂順序回路の遅延故障に対するテスト生成 法
Author(s)	岩垣,剛;大竹,哲史;藤原,秀雄
Citation	電子情報通信学会論文誌 D, J86-D1(12): 872-883
Issue Date	2003-12-01
Туре	Journal Article
Text version	publisher
URL	http://hdl.handle.net/10119/4721
Rights	Copyright (C)2003 IEICE. 岩垣 剛, 大竹 哲史, 藤原 秀雄, 電子情報通信学会論文誌 D, J86-D1(12), 2003, 872-883. http://www.ieice.org/jpn/trans_online/
Description	



Japan Advanced Institute of Science and Technology



# 不連続再収斂順序回路の遅延故障に対するテスト生成法

## 岩垣 剛† 大竹 哲史† 藤原 秀雄†

A Test Generation Method for Delay Faults in Sequential Circuits with Discontinuous Reconvergence Structure

Tsuyoshi IWAGAKI<sup>†</sup>, Satoshi OHTAKE<sup>†</sup>, and Hideo FUJIWARA<sup>†</sup>

あらまし 本論文では,遅延故障に対してテスト生成が容易な順序回路の構造として,不連続再収斂構造を定 義し,不連続再収斂順序回路の遅延故障に対するテスト生成問題が,その時間展開モデルの遅延故障に対するテ スト生成問題に帰着できることを示す.これに基づき,不連続再収斂順序回路の遅延故障に対するテスト生成法 を提案する.提案手法は,2パターンテストでテストできる遅延故障のモデル(パス遅延故障,セグメント遅延 故障,トランジション故障など)に対して適用できる.また,本論文では,一般の順序回路に対して提案手法を 適用するために,不連続再収斂構造に基づく部分拡張スキャン設計を行う.最後に提案手法をペンチマーク回路 に適用し,本手法がハードウェアオーバヘッド,テスト生成時間,故障検出効率の点で有効であることを示す. キーワード 遅延故障,テスト生成,不連続再収斂構造,時間展開モデル,部分拡張スキャン設計

## 1. まえがき

近年の半導体製造技術の進歩により,VLSI(Very Large Scale Integration)の集積度,動作速度が目覚 ましく向上している.そのため,従来から広く用いら れている故障モデルである縮退故障をテストの対象と するだけでなく,回路のタイミングに関する故障モデ ルである遅延故障もテストの対象とすることが重要に なっている.遅延故障のモデルとしては,パス遅延故 障[16],トランジション故障,セグメント遅延故障[8] などが提案されており,その中でもパス遅延故障は最 も一般性のある遅延故障のモデルとして知られてい る[13].

ー般に,順序回路中のフリップフロップ(以下,FF と略す)は,直接制御,観測できないため,順序回路 の遅延故障に対するテスト生成は困難な問題である. この問題を解決する手法の一つとして,拡張スキャン 設計法[3],[6],[15]がある.これは,順序回路中のFF を二つの値を保持でき,かつ連続して印加できるよう なスキャン FF(拡張スキャン FF)に置き換えるこ

とで、遅延故障に対するテスト生成を容易にするもの である.拡張スキャン設計法としては,順序回路中の すべての FF を拡張スキャン FF に置き換える完全拡 張スキャン設計法 [6] や一部の FF を拡張スキャン FF に置き換える部分拡張スキャン設計法[3],[15]が提案 されている.完全拡張スキャン設計では,完全拡張ス キャン設計を行った回路の核回路(注1)が組合せ回路と なるため,組合せ回路用の遅延テスト生成アルゴリズ ム(以下,組合せ ATPG と略す)でテスト生成を行 うことができるが, ハードウェアオーバヘッドが非常 に大きくなる.一方,部分拡張スキャン設計では,一 部の FF のみが拡張スキャン FF に置き換えられるた め,小さいハードウェアオーバヘッドでテスト生成が 容易な回路を実現できる. 文献 [3] では, 核回路が無 閉路構造となるような部分拡張スキャン設計を行って いるが,核回路が依然として順序回路であるため,順 序回路用の遅延テスト生成アルゴリズム (以下,順序 ATPG と略す)が必要となる.そこで,文献 [15] で は,組合せ ATPG でテスト生成が可能な順序回路の 構造である平衡構造 [7] に基づく部分拡張スキャン設 計法を提案している.この手法では,平衡順序回路の

<sup>&</sup>lt;sup>†</sup> 奈良先端科学技術大学院大学情報科学研究科,生駒市 Graduate School of Information Science, Nara Institute of Science and Technology, 8916–5 Takayama-cho, Ikoma-shi, 630–0192 Japan

<sup>(</sup>注1):回路中のすべての拡張スキャン FF を外部入出力に置き換えた 回路のこと.

組合せ等価回路<sup>(注2)</sup>のセグメント遅延故障に対して組 合せ ATPG を適用することによって,もとの順序回 路のパス遅延故障に対するテスト系列を生成する.そ のため,順序 ATPG を用いた場合と比べて,テスト 生成時間を大幅に削減することができる.

本論文では,遅延故障に対してテスト生成が容易な 順序回路の構造として,不連続再収斂構造を定義し, 不連続再収斂順序回路の遅延故障に対するテスト生成 問題が,その時間展開モデルの遅延故障に対するテス ト生成問題に帰着できることを示す.これに基づき, 不連続再収斂順序回路の遅延故障に対するテスト生成 法を提案する.本論文では,一般の順序回路に対して 提案手法を適用するために,部分拡張スキャン設計を 行うことを考える.不連続再収斂構造は平衡構造を真 に含むような回路構造であるので,不連続再収斂構造 に基づく部分拡張スキャン設計は,従来の部分拡張ス キャン設計[15]よりもハードウェアオーバヘッドが小 さい.最後に,提案手法をベンチマーク回路に適用し, その有効性を示す.

## 2. 諸 定 義

本論文で扱う順序回路は,複数の組合せ論理部(以下,論理部と略す)が直接あるいはFFを介して接続 されているものとする.ここで,論理部とは,複数の 論理ゲートからなる組合せ回路を表す.順序回路は, 以下で定義するトポロジーグラフによってモデル化で きる.

[定義1](トポロジーグラフ)以下のような重み付き有向グラフを順序回路 Sのトポロジーグラフという.

G = (V, A, w)

• V は S の外部入力,外部出力,論理部を頂点 とする集合.

A は S の外部入力と論理部,論理部同士,論
理部と S の外部出力を直接または FF を介して接続
する信号線を辺とする集合.

•  $w: A \rightarrow \{0\} \cup N (N \text{ は自然数を表す}) は辺の$  $重みであり, <math>w(u, v) (u, v \in V) \text{ t} (u, v) \in A$  に存在 する FF 数を表す.  $\Box$ [例1] 順序回路とそのトポロジーグラフの例をそれ



図 1 順序回路 SFig. 1 Sequential circuit S.



図 2 トポロジーグラフ GFig. 2 Topology graph G.

2.1 遅延故障モデル

本論文で対象とする故障モデルは遅延故障である. 遅延故障のモデルとしては,パス遅延故障,セグメン ト遅延故障,トランジション故障などがある.ここで は,それらのモデルについて説明する.以下の議論で は便宜上,外部入力,外部出力,FFの入力,FFの出 力をゲートとみなす.

2.1.1 パス遅延故障

回路において,ゲートの系列  $(g_0, g_1, \ldots, g_n)$  をパ スという.ここで, $g_i$   $(1 \le i \le n-1)$  はゲート, $g_0$ は外部入力またはFF の出力, $g_n$  は外部出力または FF の入力を表し, $g_j$   $(0 \le j \le n-1)$  は $g_{j+1}$  に接 続されている.このとき,パス p の始点で発生した立 上り,または立下りの信号の変化が,規定時間内に, p に沿って p の終点まで到達しないような故障をパス 遅延故障という.パス遅延故障は,パス外入ガ<sup>(注3)</sup>の 条件によって,ロバスト,ノンロバスト,機能的活性 化可能,機能的活性化不可能の四つに分類できる[13]. ロバスト,ノンロバスト,機能的活性化可能なパス遅 延故障は,回路の動作に影響を与えるため,機能的非 冗長故障と呼ばれる.逆に,機能的活性化不可能なパ ス遅延故障は,回路の動作に影響を与えないため,機 能的冗長故障と呼ばれる.

<sup>(</sup>注2): 平衡順序回路中のすべての FF を信号線に置き換えた回路のこと.

<sup>(</sup>注3):テスト対象バス上のゲートの入力で,バス上の入力以外の入力のこと.

2.1.2 セグメント遅延故障

回路において、ゲートの段数が L であるようなゲートの系列  $(g_1, g_2, \cdots, g_L)$ をセグメントという.ただし、 $g_i$   $(1 \le i \le L-1)$ は $g_{i+1}$ に接続されている.このとき、セグメント s の始点で発生した立上り、または立下りの信号の変化が、規定時間内に、sに沿ってsの終点まで到達しないような故障をセグメント遅延故障が起こると、sには十分に大きい遅延が発生し、sを含むすべてのパスにパス遅延故障が発生するものとする.また、セグメント遅延故障は、パス遅延故障と同様に分類されるものとする.

2.1.3 トランジション故障

セグメント遅延故障において,セグメントとして一つのゲートを考えた場合を特にトランジション故障という.

ここで,セグメント遅延故障とパス遅延故障及びト ランジション故障との関係をまとめる.セグメントと して,外部入力またはFFの出力から外部出力または FFの入力まで至るゲートの系列を考えた場合,セグ メント遅延故障はパス遅延故障とみなせる.また,セ グメントとして一つのゲートを考えた場合は,セグメ ント遅延故障はトランジション故障とみなせる.この ように,セグメント遅延故障モデルは,パス遅延故障 モデルとトランジション故障モデルの両方を表現する ことができる.よって,以下ではセグメント遅延故障 モデルを対象として議論を行う.

2.2 テスト可能性

ここでは,セグメント遅延故障に対して,順序回路 と組合せ回路におけるテスト可能性を定義する.

[定義 2](テスト可能性:順序回路) 定格クロックの 周期が t である順序回路 S のセグメントを s とし,  $S_f$ を s に存在するセグメント遅延故障 f によって故障し た回路とする.また, s 上のすべての論理部からなる組 合せ回路を C とする.可変クロック(variable-clock) テスト [4] において, S 及び  $S_f$  に対する入力系列 Tが以下の条件をすべて満たすとき, T を f のテスト 系列といい, セグメント遅延故障 f は T でテスト可 能であるという.

(1) C に対するある入力ベクトル対  $(v_1, v_2)$  に よって, s の始点に所望の信号の変化を発生させ,  $\epsilon$ れをs に沿ってs の終点へ伝搬することができ, か つ, S において, 時間 t 後にs の終点に現れる  $v_2$  の 応答と,  $S_f$  において, 時間 t 後にs の終点に現れる v2 の応答が異なる.

(2) S<sub>f</sub> に T を印加することにより,外部入力から C の入力に (v<sub>1</sub>, v<sub>2</sub>)を正当化でき, s の終点に現れた故障影響をある外部出力まで伝搬できる.□

以下,本論文では,テスト実行の方式として,可変 クロックテストを想定する<sup>(注4)</sup>.これにより,順序回 路のテスト実行において,故障初期化と故障影響伝搬 の際に,回路にセグメント遅延故障が存在しないとみ なすことができる.

[定義3](テスト可能性:組合せ回路) 組合せ回路 Cのセグメントをsとし, $C_f$ をsに存在するセ グメント遅延故障fによって故障した回路とする.ま た,規定時間をtとする.C及び $C_f$ に対する入力 ベクトル対 $(v_1, v_2)$ が以下の条件をすべて満たすと き, $(v_1, v_2)$ をfの2パターンテストといい,fは  $(v_1, v_2)$ でテスト可能であるという.

(1) *s* の始点に所望の信号の変化を発生させ,それを*s* に沿って*s* の終点まで伝搬でき,かつ,*C* において,時間 *t* 後に*s* の終点に現れる *v*<sub>2</sub> の応答と, *C<sub>f</sub>* において,時間 *t* 後に*s* の終点に現れる *v*<sub>2</sub> の応答と, 答が異なる.

(2) *s* の終点に現れた故障影響をある外部出力ま で伝搬できる. □

2.3 回路変換

4. で提案するテスト生成法では,テスト対象の順序 回路を時間展開モデル[11]と呼ばれる組合せ回路に変 換する.以下では,時間展開グラフ[11],時間展開モ デルを定義する.

[ 定義 4 ] (時間展開グラフ [11] ) 無閉路順序回路 Sのトポロジーグラフ G = (V, A, w) に対して,有向グ ラフ  $E = (V_E, A_E, t, l)$  を考える.ここで, $V_E$  は頂 点集合, $A_E$  は有向辺集合,t は  $V_E$  から整数への写 像,l は  $V_E$  から V への写像を表す.以下の四つの条 件をすべて満たす E を G の時間展開グラフという.

条件1(外部入出力及び論理部の保存)

写像 l は全射である.すなわち,任意の頂点  $v \in V$ について,v = l(u) なる  $u \in V_E$  が存在する.

条件2(入力の保存)

有向グラフ E の任意の頂点を  $u \in V_E$  とする.この とき,頂点 u に対応するトポロジーグラフ G の頂点

<sup>(</sup>注4):本論文で提案するテスト生成法は,部分拡張スキャン設計を指向しているため,定格クロック(rated-clock)テスト[1]による実動作 速度でのテスト実行は考えない.定格クロックテストで検出可能な故障 はすべて,可変クロックテストでも検出可能である[14].

l(u) に隣接する任意の祖先  $v \in pre(l(u))$  に対して, v = l(u') かつ  $u' \in pre(u)$  を満たす頂点  $u' \in V_E$  が 存在する.ここで, pre(v) は頂点 v に隣接する祖先 の集合を表す.

条件3(時刻の無矛盾性)

有向グラフ E の任意の辺  $(u,v) \in A_E$  について, トポロジーグラフ G に t(v) - t(u) = w(l(u), l(v)) を 満たす辺  $(l(u), l(v)) \in A$  が存在する.

条件4(時刻の単一性)

有向グラフ E の任意の頂点  $u, v \in V_E$  について, t(u) = t(v) かつ l(u) = l(v) ならば,  $u \ge v$  は同一 の頂点 u = v である.

[例 2] 図 2 のトポロジーグラフ G の時間展開グラ フ E を図 3 に示す.各頂点 u に記した文字は,対応 する G の頂点 l(u)を表し,グラフの上部に記した数 は,その列にある頂点 u のラベル t(u)を表す. □ [定義 5](時間展開モデル [11]) 無閉路順序回路 S のトポロジーグラフを G = (V, A, w), G の任意の時 間展開グラフを  $E = (V_E, A_E, t, l)$ とする.以下の手 続きによって得られる組合せ回路を E に基づく S の 時間展開モデル  $C_E(S)$ という.

(1) 各頂点  $u \in V_E$  について, l(u) に対応する外部入力, 外部出力または論理部をそれぞれ u に対応する外部入力, 外部出力または論理部とする.

(2) 各有向辺  $(u,v) \in A_E$  について,  $(l(u), l(v)) \in A$  に対応する信号線を,  $u \ge v$  に対応する外部入力, 外部出力または論理部間の接続信号 線とする.このとき,  $(l(u), l(v)) \in A$  に対応する信号 線上に存在する FF は除去する.

(3) 各論理部内の信号線及び論理ゲートについて,



Fig. 4 Time-expansion model  $C_E(S)$ .

他の論理部の入力または外部出力に到達不可能なとき, その信号線及び論理ゲートを除去する. [例3]図3の時間展開グラフ Eに基づくSの時間 展開モデル $C_E(S)$ を図4に示す.図4の黒塗りの部 分は,他の論理部の入力に到達不可能な信号線及び論 理ゲートを除去していることを表す.

2.4 故障の対応と系列変換

ここでは,無閉路順序回路 Sのセグメント遅延故 障とその時間展開モデル  $C_E(S)$ のセグメント遅延故 障の対応を表すために,故障変換を定義する.また,  $C_E(S)$ に対する入力ベクトル対と Sの入力系列の対 応を表すために,系列変換を定義する.

[定義 6](故障変換  $\sigma$ ) 無閉路順序回路 S のトポロ ジーグラフを G = (V, A, w), G の任意の時間展開グ ラフを  $E = (V_E, A_E, t, l)$ , E に基づく S の時間展開 モデルを  $C_E(S)$  とし, S におけるすべてのセグメン ト遅延故障の集合を F とする.また, ある  $f \in F$  が 存在するセグメント s 上のすべての論理部からなる組 合せ回路を C とし,  $C_E(S)$  において, C の各論理部 同士の接続関係と同じ接続関係をもつような, C の論 理部に対応する論理部からなる組合せ回路の集合を B とする.更に, B の組合せ回路のうち, s の終点に対 応するゲートが削除されていない組合せ回路からなる 集合を B'とする.このとき, $B' = \mu(C)$ なる変換を 部分回路変換  $\mu$  という<sup>(注5)</sup>. また, B' の各組合せ回 路において, s に対応するセグメントに存在するセグ メント遅延故障を考えたとき,それらすべてのセグメ ント遅延故障からなる集合を $F_E$ とする.このとき,  $F_E = \sigma(f)$  なる変換を故障変換  $\sigma$  という<sup>(注6)</sup>.  $\Box$ [例 4] 図 5 において, 無閉路順序回路 S のセグメ ント遅延故障は,故障変換 $\sigma$ によって,Sの時間展開 モデル C<sub>E</sub>(S) のセグメント遅延故障に対応する.定 義 4 より, S のセグメント遅延故障に対応する  $C_E(S)$ のセグメント遅延故障は必ず存在し,一般に複数個存 在する. 

[ 定義 7 ] ( 系列変換  $\tau$  ) 無閉路順序回路 S のトポロ ジーグラフを G = (V, A, w), G の任意の時間展開グ ラフを  $E = (V_E, A_E, t, l)$ , E に基づく S の時間展開 モデルを  $C_E(S)$ , E のラベル t の最小値を  $t_{\min}$ , Sの順序深度<sup>(注7)</sup> を d とする.このとき,  $C_E(S)$  の各

<sup>(</sup>注5): 逆に, $b' \in B'$ から Cへの変換は, $\mu^{-1}$ のように表記する. (注6): 逆に, $f_e \in F_E$ から fへの変換は, $\sigma^{-1}$ のように表記する. (注7): 回路の外部入力から外部出力へ至る経路に存在する FF の最大数のこと.



図 5 故障変換  $\sigma$ Fig.5 Fault transformation  $\sigma$ .



図 6 入力ベクトル対 Fig. 6 Input vector pairs.

	表	1	2 パク	ァーン	系列
Table	1	Τw	o-pat	tern	sequences

세 회 사 뉴	時刻						
21-即八八	0	1	2	3	4	5	
$I_1$	$v_1^a$	$v_2^a$	$v_1^c$	$v_2^c$	X	X	
$I_2$	$v_1^b$	$v_2^b$	$v_1^d$	$v_2^d$	X	X	

外部入力  $u \in V_E$  への入力ベクトル対  $I_u = (v_1, v_2)$ に対して,以下のような外部入力  $l(u) \in V$  への時刻 k (= 0, 1, ..., d + 1) の入力パターン  $I_{l(u)}(k)$  に変換 する手続きを系列変換  $\tau$  という.ただし,X はドン トケアを表す.

$$I_{l(u)}(k) = \begin{cases} v_1 & (k = t(u) - t_{\min} \text{ obs}) \\ v_2 & (k = t(u) - t_{\min} + 1 \text{ obs}) \\ X & (上記以外のとき) \end{cases}$$

また,このような系列長 d+2の入力系列のことを 2 パターン系列という. [例 5]  $C_E(S)$ に対して,図 6のような入力ベクト ル対  $(v_1^a, v_2^a), (v_1^b, v_2^b), (v_1^c, v_2^c), (v_1^d, v_2^d)$ が与えら れたとする.このとき,それらの入力ベクトル対は系 列変換  $\tau$ によって,表1のような,図1のSに対す

る2パターン系列に変換される.

### 3. 不連続再収斂構造

本章では,遅延故障に対してテスト生成が容易な順 序回路の構造として,以下のような回路構造を提案 する.

[ 定義 8 ] ( 不連続再収斂構造 ) 無閉路順序回路 S の トポロジーグラフを G = (V, A, w),頂点  $u, v \in V$ の u から v への経路の集合を  $P_{u,v}$ ,経路  $p \in P_{u,v}$  に 存在する FF 数を n(p) とする.任意の頂点  $u, v \in V$ について,その間のすべての経路対  $p_i, p_j \in P_{u,v}$  が, 以下の条件を満たすとき,S は不連続再収斂構造であ るという.

$$|n(p_i) - n(p_j)| \neq 1$$

無閉路構造と不連続再収斂構造の違いは,不連続再 収斂構造の順序回路 S では, $C_E(S)$ に対する任意の 入力ベクトル対が,系列変換 $\tau$ によって,もとのSに対する入力系列に,パターンの衝突を起こすことな く変換できることが保証されている点である.

定義 8 の条件において,  $|n(p_i) - n(p_j)| = 0$  の場合 が平衡構造に対応する.これは,不連続再収斂構造が 平衡構造を真に含むような回路構造であることを示し ている.よって,一般の順序回路に対して部分拡張ス キャン設計を行うことを考えると,核回路を平衡構造 でなく不連続再収斂構造にすることで,スキャン化に 伴うハードウェアオーバヘッドをより小さくできる. [例 6] 図 1 の無閉路順序回路 S は定義 8 を満たす. よって,S は不連続再収斂構造である.

4. テスト生成

この章では,不連続再収斂順序回路のセグメント遅 延故障に対するテスト生成法を提案し,その正当性に ついて考察する.

4.1 テスト生成法

提案するテスト生成法は,以下の5ステップからな り,不連続再収斂順序回路 S の各外部出力に関する出 力錐<sup>(注8)</sup> S<sub>o</sub> ごとに行う.

(1)  $S_o$ のセグメント遅延故障リスト F を作成 する.

(2)  $S_o$  をトポロジーグラフ G で表す.

<sup>(</sup>注8):ある外部出力に到達可能なすべての素子からなる部分回路のこと.

(3) Gから時間展開グラフ E に変換する.

(4) E に基づく S<sub>o</sub> の時間展開モデル C<sub>E</sub>(S<sub>o</sub>) を
生成する.

(5) 各セグメント遅延故障 *f* ∈ *F* に対して以下 の処理を行う.

(5-a)  $C_E(S_o)$  に対して, f に対応するセグメント 遅延故障の集合  $F_E = \sigma(f)$  を求め, ある  $f_e \in F_E$  に 対し, 組合せ ATPG を用いて, 2 パターンテスト  $t_e$ を生成する.

(5-b)  $t_e$  から  $S_o$  の f に対するテスト系列  $T = \tau(t_e)$  に変換する.

(5-c) *T* から *S* の *f* に対するテスト系列 *T'* に変換する.

時間展開グラフの定義より,単一出力の無閉路順序 回路の時間展開グラフは一意に決定できる[11].よっ て,ステップ(3)において, $S_o$ の時間展開グラフEも一意に決定できる.本論文では,テスト方式として 可変クロックテストを想定しているため,定格クロッ クを与える時刻以外は,遅延故障がないと考えること ができる.よって,ステップ(5-a)において,複数あ るセグメント遅延故障のうち,どれか一つに対しての み2パターンテストを生成できれば十分である.また, 同ステップにおいて,fに対応するすべてのセグメン ト遅延故障が冗長故障と判明すれば,fも冗長故障で ある.ステップ(5-c)において, $S_o$ の外部入力に対 応するSの外部入力にTを入力し,それ以外のSの 外部入力に0または1を入力することによって,Tは T'に変換できる.

4.2 正当性の証明

[補題 1](不連続再収斂構造の性質) 単一出力の順 序回路 S のトポロジーグラフを G = (V, A, w), G の 時間展開グラフを  $E = (V_E, A_E, t, l)$ とする.S が不 連続再収斂構造ならば, l(u) = l(v)なる任意の頂点  $u, v \in V_E$ について,以下の条件が成り立つ.

 $|t(u) - t(v)| \neq 1$ 

(証明) l(u) = l(v)かつ |t(u) - t(v)| = 1を満たす ような  $u, v \in V_E$ が存在するならば, Sは不連続再収 斂構造でないことを示す(題意の対偶).

頂点  $u, v \in V_E$  が l(u) = l(v), |t(u) - t(v)| = 11 (t(u) = t, t(v) = t + 1)を満たすとする. S は単 一出力であるので,  $u \ge v$  は, 外部出力に対応する頂 点へ至る経路上で, ある頂点  $w \in V_E$  (t(w) = t')を 共有する. 定義 4 の条件 1 より,  $l(w) \in V$  が存在し, 定義 4 の条件 2,3 より, l(u) = l(v) から l(w) への 経路で, t(w) - t(u) = t' - t 個の FF をもつ経路と, t(w) - t(v) = t' - t - 1 個の FF をもつ経路が存在す る.よって, (t' - t) - (t' - t - 1) = 1 となり, これ は不連続再収斂構造の定義 8 に反する.以上より,補 題 1 は成り立つ.

補題 1 より, S は  $|t(u) - t(v)| \neq 1$  を満たすので, l(u) = l(v) を満たす  $C_E(S)$  の外部入力 u, v に対す る入力ベクトル対として,それぞれ  $(v_1, v_2)$ ,  $(v'_1, v'_2)$ を考えたとき, $v_2 \ge v'_1$ が系列変換  $\tau$  によって,もと の S の同じ時刻のパターンに変換されることはない. よって,3. でも述べたように, $C_E(S)$  に対する任意 の入力ベクトル対が,系列変換  $\tau$  によって,もとの S に対する入力系列に,パターンの衝突を起こすことな く変換できることが保証される.

[補題 2](テスト系列の存在:2パターン系列)単一 出力である不連続再収斂順序回路 S の任意のセグメ ント遅延故障 f について, f がテスト可能ならば, f のテスト系列として,2パターン系列が存在する.こ こで, d は S の順序深度を表す.

(証明) S のトポロジーグラフを G = (V, A, w), G の時間展開グラフを  $E = (V_E, A_E, t, l)$ , E に基づく S の時間展開モデルを  $C_E(S)$ , E のラベル t の最小 値を  $t_{\min}$  とし, f が存在するセグメント s 上のすべ ての論理部からなる組合せ回路を C とする. f がテ スト可能ならば,系列長がd+2以下のテスト系列Tが存在する<sup>(注9)</sup>.また,定義2より,sの始点にfを 活性化するための信号の変化を発生させ,それを s に 沿って s の終点に伝搬するための C の入力ベクトル 対 (v1, v2) が存在する. C の入力に到達可能な任意の 外部入力を  $v_{\text{PI}} \in V$  とすると,定義4の条件1より, 対応する  $C_E(S)$  の外部入力  $\{u_{\rm PI}|u_{\rm PI} \in l^{-1}(v_{\rm PI})\}$ が存在する.よって,定義4の条件3より,(v1,v2) を正当化するための値を vPI へ印加する時刻は,時 刻  $t(u_{\rm PI}) - t_{\rm min}$  及びその次の時刻に限られる.更に, 故障影響を伝搬する外部出力を  $v_{PO} \in V$  とし,  $v_{PO}$ に到達可能な任意の外部入力を  $v'_{PI} \in V$  とすると, 先と同様の理由により,対応する  $C_E(S)$  の外部入力  $\{u'_{\rm PI}|u'_{\rm PI} \in l^{-1}(v'_{\rm PI})\}$ が存在し,故障影響を伝搬させ るための値を  $v'_{\rm PI}$  へ印加する時刻は ,  $t(u'_{\rm PI}) - t_{\rm min} + 1$ 

<sup>(</sup>注9): S には閉路がないため,任意の外部入力に印加された値の影響 は,たかだか d 時刻後に外部出力へ現れる.よって,たかだか系列長 d+2のテスト系列を外部入力に与えれば,その故障影響が外部出力で 観測できる.

に限られる.また,値が入力されない時刻の外部入力 については,0または1を印加すればよいので,Tは 系列長 d+2 のテスト系列(2パターン系列)になる. 以上より,補題2が成り立つ. [補題3](出力値の一致)単一出力の不連続再収斂 順序回路 S のトポロジーグラフを G = (V, A, w), G の時間展開グラフを  $E = (V_E, A_E, t, l)$ , E に基づく S の時間展開モデルを  $C_E(S)$ , E のラベル t の最小 値を  $t_{\min}$ , S の順序深度を d とする.また,  $C_E(S)$ への任意の入力ベクトル対を  $I_C = (v_1, v_2)$ , 系列変換  $\tau$  によって得られる S への 2 パターン系列を  $\tau(I_C)$ とする.このとき, $v_2$ に対する $C_E(S)$ の任意の外 部出力  $u \in V_E$  における応答  $O_u$  は, 2 パターン系 列  $\tau(I_C)$  に対する S の外部出力  $l(u) \in V$  の時刻  $t(u) - t_{\min} + 1$ の応答  $O_{l(u)}(t(u) - t_{\min} + 1)$ と等 しい.

(証明)  $C_E(S)$  の外部出力 u に到達可能な任意の 外部入力を  $u' \in V_E$  とする .u' に対応する S の 外部入力  $l(u') \in V$  は, 定義 4 の条件 2 より, l(u)に到達可能である. u'への任意の入力ベクトル対  $I_{u'}=(v_1^{u'},v_2^{u'})$ の $v_2^{u'}$ は,系列変換auによって, 時刻  $t(u') - t_{\min} + 1$  の外部入力 l(u') への入力パ ターン  $I_{l(u')}(t(u') - t_{\min} + 1)$  に変換される.このと き,補題1及び定義4の条件4より, l(u')の時刻  $t(u') - t_{\min} + 1$  に印加されるパターンはただ一つで ある.u'からuへの経路に対応するl(u')からl(u)への経路を p, p に存在する FF 数を n(p) とすると,  $I_{l(u')}(t(u') - t_{\min} + 1)$ の影響は, n(p)時刻後に外部 出力 l(u) に到達する.このとき,定義4の条件3よ り,  $(t(u') - t_{\min} + 1) + n(p) = t(u) - t_{\min} + 1$  とな る.また,定義4の条件2より,u'からuへの経路 と l(u') から l(u) の経路は,同じ論理からなる組合せ 回路を通過する.以上より,補題3が成り立つ.□ [定理1](テスト生成問題帰着性) 単一出力の不連 続再収斂順序回路 S のトポロジーグラフを G =(V, A, w), G の時間展開グラフを  $E = (V_E, A_E, t, l)$ , E に基づく S の時間展開モデルを  $C_E(S)$  とする.ま た, S におけるすべてのセグメント遅延故障の集合を F,  $C_E(S)$  における F に対応するセグメント遅延故 障の集合を  $F_E$  とする.このとき, S は以下の条件を すべて満たす.

(1) 任意の  $f \in F$  がテスト可能であるとき,か つそのときに限り,f に対応するある  $f_e \in F_E$  がテ スト可能である. (2) f<sub>e</sub> に対する 2 パターンテストは, f<sub>e</sub> に対応
する f に対するテスト系列に変換できる.

(証明) 任意のセグメント遅延故障 f によって故障し た回路を  $S_f$ , f に対応するあるセグメント遅延故障  $f_e \in \sigma(f)$  によって故障した回路を  $C_{E_{f_e}}(S)$  とし, fが存在するセグメント s 上のすべての論理部からなる 組合せ回路を C とする.また, E のラベル t の最小 値を  $t_{\min}$ , S の順序深度を d とし, 系列変換  $\tau$  の逆 変換を  $\tau^{-1}$  とする.

f がテスト可能ならば,補題2より,2パターン系 列 T<sub>f</sub> が存在する.更に,定義2より, s の始点に f を活性化するための信号の変化を発生させ,それを s に沿って s の終点に伝搬するためのベクトル対が存在 し, Tf で正当化できる.ここで, このようなベクトル 対がCの入力に正当化される時刻をそれぞれi, i+1とし,時刻i, i+1に正当化されるパターンをそれぞ れ  $v_1, v_2$  とする . また ,  $C_{{E}_{f_e}}(S)$  において ,  $\mu(C)$  の 組合せ回路のうち,  $t(c) = i + t_{\min}$  を満たすすべての 論理部  $c \in V_E$  からなる組合せ回路を  $C' \in \mu(C)$  と する. 定義 4 及び補題 3 より,  $\tau^{-1}(T_f)$  を  $C_{E_{f_e}}(S)$ に印加することにより, C'の入力へ  $(v_1, v_2)$  を正当 化できる.また,sに対応するC'のセグメントを $s_e$ としたとき, 定義 4 より, s と  $s_e$  は同じ論理からな る組合せ回路を通るので, $S_f$ に $T_f$ を印加したとき の s の終点における時刻 i+1 の値と,  $C_{E_{f_*}}(S)$  に  $au^{-1}(T_f)$  を印加したときの ,  $au^{-1}(T_f)$  の 2 番目のべ クトルに対する se の終点の値は同じである.これと 補題 3 より,可変クロックテストにおいて, $S_f$ に $T_f$ を印加したときの任意の外部出力  $l(u) \in V$  の時刻  $t(u) - t_{\min} + 1$ の値と, $C_{E_{f_e}}(S)$ に $\tau^{-1}(T_f)$ を印加 したときの  $\tau^{-1}(T_f)$  の 2 番目のベクトルに対する外 部出力  $u \in V_E$ の応答は一致する  $f_e$ は,sに対応す る  $s_e$  に存在するセグメント遅延故障なので,  $C_{E_{f_a}}(S)$ は時間展開グラフ E に基づく  $S_f$  の時間展開モデル  $C_E(S_f)$  と同形である.よって, $au^{-1}(T_f)$ を $C_E(S)$ に印加したときに外部出力で観測される  $au^{-1}(T_f)$  の 2 番目のベクトルに対する応答と  $C_E(S_f)$  に印加したと きに外部出力で観測される  $\tau^{-1}(T_f)$  の 2 番目のベク トルに対する応答が異なる.ゆえに,任意の f がテス ト可能ならば,ある  $f_e \in \sigma(f)$  がテスト可能である.

逆に, ある  $f_e$  がテスト可能ならば, 2 パターンテ スト  $t_{f_e}$  が存在する.  $f_e$  が存在するセグメント  $s'_e$  に ついて,  $s'_e$  上のすべての論理部からなる組合せ回路 を  $C_{s'_e}$  とし,  $C_{s'_e}$  を構成する論理部のラベルを  $t_{s'_e}$  と

する.ここで, C<sub>s'</sub>の入力に正当化されるベクトル対 を  $(v'_1, v'_2)$  とすると, 定義 4 及び補題 3 より,  $\tau(t_{f_e})$ を  $S_f$  に印加することにより ,  $C_{s'_s}$  に対応する  $S_f$  の 組合せ回路  $\mu^{-1}(C_{s'_e})$  の入力へ  $(v'_1,v'_2)$  を正当化でき る.また,定義4より, $s_e'$ と $s_e'$ に対応するセグメ ント s' は同じ論理からなる組合せ回路を通るので,  $C_{E_{f_e}}(S)$ に  $t_{f_e}$ を印加したときの 2 番目のベクトルに 対する  $s'_e$  の終点の値と,  $S_f$  に  $\tau(t_{f_e})$  を印加したと きの s' の終点における時刻  $t_{s'_a} - t_{\min} + 1$  の値は一致 する.これと補題 3 より,  $C_{E_{f_e}}(S)$  に  $t_{f_e}$  を印加した ときの t<sub>f</sub>の2番目のベクトルに対する任意の外部出 力  $u' \in V_E$  の応答と,可変クロックテストにおいて,  $S_f$  に  $\tau(t_{f_e})$  を印加したときの外部出力  $l(u') \in G$  の 時刻  $t(u') - t_{\min} + 1$  の値は一致する. 先と同様の理 由により,  $C_{E_{f_a}}(S)$ は,時間展開グラフ Eに基づく  $S_f$ の時間展開モデル $C_E(S_f)$ と同形である.よって,  $\tau(t_{f_e})$ を S に印加したときに外部出力で観測される 応答と Sf に印加したときに外部出力で観測される応 答が異なる. ゆえに, ある  $f_e$  がテスト可能であるな らば,  $f = \sigma^{-1}(f_e)$  がテスト可能である.

最後に,補題1より, $f_e$ に対する2パターンテストは,系列変換 $\tau$ によって, $f_e$ に対応するfに対するテスト系列に変換できる.

以上より,定理1は成り立つ. □

定理 1 の (1) の対偶より, 任意の f に対して, f に対応するすべての f<sub>e</sub> がテスト可能でないとき,か つそのときに限り, f がテスト可能でないことがいえ る.よって,提案したテスト生成法が,テスト可能な すべてのセグメント遅延故障に対するテスト系列を生 成できるだけでなく,すべての冗長故障も識別できる ことがわかる.

以上の議論では,説明を簡単にするために,セグメ ント遅延故障のテスト可能性の分類(ロバスト,ノン ロバスト,機能的活性化可能)を区別しなかった.しか し,時間展開モデルのセグメント遅延故障に対してテ スト生成を行う際に,テスト可能性の分類を考慮する ことで,もとの順序回路のセグメント遅延故障が,テ スト可能性のどの分類に属するかを識別できる.また, 以上ではセグメント遅延故障モデルを対象として議論 を行ったが,2.1.3で述べたように,セグメント遅延 故障モデルは,パス遅延故障モデルとトランジション 故障モデルの両方を表すことができる.よって,それ らの遅延故障モデルに対しても,定理1は成り立つ. 5. テスト容易化設計

5.1 部分拡張スキャン設計

一般の順序回路に対して,4.のテスト生成法を適用 するためには,以下の2ステップのように部分拡張ス キャン設計を行えばよい.

(1) 与えられた順序回路に対して,その回路中の FFを取り除いたとき,残りの回路部分が不連続再収 斂構造となるように FFを選択する.

(2) ステップ(1)で選択された各 FF を拡張ス キャン FF に置き換える.

テスト生成の際には,ステップ(1)で選択された FFを外部入出力に置き換え,不連続再収斂順序回路 (核回路)のみをテスト生成の対象とすることで,4. のテスト生成法を適用できる.

5.2 テスト実行

生成されたテスト系列は,拡張スキャン FF を用い て印加する.ここではテスト実行時間について考察 する.順序回路 S の核回路  $S^{DR}$  の時間展開モデル  $C_E(S^{DR})$ に対して生成された 2 パターンテスト集合 をT, $S^{DR}$ の順序深度を  $d_{DR}$ としたとき,系列変換に よって得られる  $S^{DR}$ のテスト系列長は, $|T| \cdot (d_{DR}+2)$ となる.よって,S の拡張スキャン FF 数を  $n_{ESFF}$  と すると,スキャンチェーンが 1 本である場合の S に 対するテスト実行時間は,

$$|T| \cdot (d_{DR} + 2)(n_{\text{ESFF}} + 1) + n_{\text{ESFF}} \tag{1}$$

となる.ただし,単位はクロックサイクル(CC)で ある. $C_E(S^{DR})$ において,任意の2パターンテスト  $t \in T$ によって検出されるすべてのセグメント遅延故 障からなる集合を  $F, f \in F$  をもつ論理部のラベル を l, ラベルの最小値を lmin としたとき, 可変クロッ クテストにおいて定格クロックを与えるタイミングは, 系列変換  $\tau$  によって得られる F のテスト系列  $\tau(t)$  の  $l - l_{\min} + 2$  番目のパターンを印加する時刻である.そ れ以外のパターンを印加する時刻では,回路を低速ク ロックで動作させる.ただし,各fのlが取り得る値 は ,  $l_{\min}, l_{\min} + 1, \ldots, l_{\min} + d_{DR}$  である . すべての fのlが同じ値である場合は,式(1)のテスト実行時 間となる.しかし, $\tau(t)$ を回路に印加するときの定格 クロックを与えるタイミングが,各f で異なる場合 は,最悪  $d_{DR} + 1$ 回, $\tau(t)$ を回路に印加しなければ ならない.その場合の S に対するテスト実行時間は,

 $|T| \cdot (d_{DR} + 2)(d_{DR} + 1)(n_{\text{ESFF}} + 1) + n_{\text{ESFF}}$  (2)

となる.

6. 提案手法の評価

6.1 テスト生成時間とハードウェアオーバヘッド 定義8より,無閉路順序回路,不連続再収斂順序 回路,平衡順序回路の間には,{無閉路順序回路}⊃ {不連続再収斂順序回路}⊃{平衡順序回路}のよう な包含関係が成り立つ.以下では,それらの順序回路 に対するテスト生成時間と,一般の順序回路の核回 路を各構造(無閉路構造,不連続再収斂順構造,平衡 構造)にするために必要な,スキャン化に伴うハード ウェアオーバヘッドについて議論する.

(a) 無閉路構造

一般の順序回路の核回路を無閉路構造にするために 必要なハードウェアオーバヘッドは,他の構造と比べ て小さい.しかし,順序 ATPG がテスト生成の際に 必要となるため,テスト生成時間は三つの構造の中で 最も長くなる.

(b) 平衡構造

文献 [15] の手法を用いてテスト生成を行うことが できる.この手法では,平衡順序回路が与えられたと き,その組合せ等価回路に対して,組合せ ATPG を 適用することによって,テスト系列を生成する.よっ て,平衡順序回路のテスト生成時間は,無閉路順序回 路のテスト生成時間よりも著しく短くなる.しかし, 一般の順序回路の核回路を平衡構造にするために必要 なハードウェアオーバヘッドは,三つの構造の中で最 も大きくなる.

(c) 不連続再収斂構造

一般の順序回路を不連続再収斂構造にするために必要なハードウェアオーバヘッドは,平衡構造より小さ い.更に,不連続再収斂順序回路は,平衡順序回路と 同様に,組合せATPGでテスト生成が可能であるた め,そのテスト生成時間は平衡順序回路のテスト生成 時間と同程度であると考えられる.よって,不連続再 収斂順序回路のテスト生成時間は,無閉路順序回路の テスト生成時間よりも短くなる.

6.2 ケーススタディ

このケーススタディでは,表2のような特性をもっ たベンチマーク回路(C1,C2,C3)に対して,提案 手法を適用し,そのハードウェアオーバヘッド,テス ト生成時間,故障検出効率,テスト実行時間を評価す る.故障検出効率は, $100 \times (n + n')/N(\%)$ で表さ れる.ここで,Nは回路中の全故障数,nはテスト

表 2 回 路 特 性 Table 2 Circuit characteristics.

回路名	外部入力数	外部出力数	FF 数	面積
C1	16	24	80	5,528
C2	24	32	112	6,151
C3	128	96	288	20,239

系列が生成された故障数, n' は冗長と判明した故障 数である.表2の面積は,NOTゲートの面積を1と したときの値である.以下の実験では,論理合成ツー ルとして Design Compiler (Synopsys 社), テスト 生成ツールとして TetraMAX ATPG (Synopsys 社), 計算機として Sun Blade 1000 を使用した.ただし, TetraMAX ATPG はセグメント遅延故障モデルを扱 えないため,トランジション故障モデルを対象として テスト生成を行った.トランジション故障モデルに対 するテスト生成と他の遅延故障モデル(パス遅延故障 モデル,セグメント遅延故障モデル)に対するテスト 生成の違いは,テスト対象部分に存在するゲートの個 数が一つか複数かの違いである.つまり,それらのテ スト生成においては,テスト対象部分に沿って,所望 の信号の変化をその始点から終点まで伝搬させるとき に,値を正当化しなければならないゲートの個数のみ が異なる.よって,他の遅延故障モデルに対しても, トランジション故障モデルと同じような傾向のテスト 生成結果が得られると考える.

最初に,部分拡張スキャン設計を行ったときの各構 造(無閉路構造,平衡構造,不連続再収斂構造)間の ハードウェアオーバヘッドを比較する.表3に,C1, C2, C3の核回路を各構造にしたときの拡張スキャン FF数(#ESFF),スキャン化率(Scan(%))を示す. ここで,スキャン化率とは,各構造を実現するために 必要な拡張スキャン FF の割合を表す.また,表3の 平均スキャン化率(%)は,表2のFF数の総和に対 する表 3 の各構造における拡張スキャン FF の総和 の割合である.この実験では,各ベンチマーク回路か ら無閉路順序回路 S<sup>A</sup> を抽出するために, 文献 [5] の アルゴリズムを用いた.また,不連続再収斂順序回路  $S^{DR}$ と平衡順序回路  $S^{B}$ は,次の貪欲アルゴリズム を S<sup>A</sup> に適用し,抽出した.ここで,貪欲アルゴリズ ムについて簡単に説明する.そのアルゴリズムは,S<sup>A</sup> の外部入力側から外部出力側へ向かって深さ優先で処 理を行う.ある外部入力からある外部出力へ至る際に, もし定義8を満たさない経路が存在すれば,その経 路が定義8を満たすように,その経路上のFFを拡張

		0					
回路名	無閉	路構造	不連続再	再収斂構造	平衡構造		
	#ESFF	Scan (%)	#ESFF	Scan ( % )	#ESFF	Scan ( % )	
C1	24	30.0	32	40.0	48	60.0	
C2	24	21.4	32	28.6	48	42.9	
C3	128	44.4	160	55.6	192	66.7	
平均スキャン化率(%)	36.7		46.7		60.0		

表 3 スキャン化率 Table 3 Percentages of enhanced scan FFs.

Table 4     Test generation time and fault efficiency.									
	無閉路	構造	不連続再収	又斂構造	平衡構造				
回路名	( 順序 A	TPG)	(組合せ)	ATPG )	(組合せ ATPG)				
	TGT(秒)	FE(%)	TGT(秒)	FE(%)	TGT(秒)	FE (%)			
C1	3,797	99.55	51	99.98	14	99.98			
C2	16,740	91.18	941	98.81	729	99.37			
C3	54,750	98.20	1,814	99.98	1,553	99.95			

表 4 テスト生成時間と故障検出効率

表 5 テスト実行時間 Table 5 Test application time.

1

26.8

回败夕	無閉路構造 (順序 ATPG)			不連続再収斂構造 (組合せ ATPG)				平衡構造 (組合せ ATPG)			
凹略石	型暗音 #Vec Depth	Depth TAT (CC)	#Vec	Depth	TAT (CC)		#Vec	Depth	TAT	(CC)	
# *0	// 100	Doptin		<i>#</i> <b>*</b> cc	Doptin	式 (1)	式 (2)	// 100	Doptin	式 (1)	式 (2)
C1	268	4	33,524	229	4	45,374	226,742	204	3	50,028	199,968
C2	125	3	12,524	177	3	29,237	$116,\!852$	191	3	46,843	187,228
C3	152	2	58,952	390	2	$251,\!320$	$753,\!640$	377	2	$291,\!236$	$873,\!324$

スキャン FF に置き換える FF として選択する.以上 の処理を,回路中のすべての経路が定義8を満たすま で繰り返す.ただし,平衡構造を抽出する際には,定 義8の代わりに平衡構造の定義を用いる.表3からわ かるように,不連続再収斂構造のスキャン化率は,無 閉路構造よりも平均で10.0%大きくなった.しかし, 平衡構造のスキャン化率に対しては,スキャン化率を 平均で13.3%削減することができた.この結果から, 不連続再収斂構造は平衡構造よりも,スキャン化に伴 う八ードウェアオーバヘッドが小さいことがわかる.

平均加速率(倍)

次に,提案手法のテスト生成時間,故障検出効 率<sup>(注10)</sup>,テスト実行時間を評価する.表4は,先の方 法で抽出した各構造の順序回路に対して,以下の3種 類のテスト生成を行ったときのテスト生成時間(TGT (秒)),故障検出効率(FE(%))である.

• 無閉路順序回路に対して,順序 ATPG を用い たテスト生成

• 不連続再収斂順序回路に対して,組合せ ATPG を用いたテスト生成(提案手法)

 平衡順序回路に対して,組合せ ATPG を用い たテスト生成(文献[15]の手法) 表 4 の平均加速率(倍)は T/T' で表され,無閉路 順序回路のテスト生成に対して,不連続再収斂順序回 路及び平衡順序回路のテスト生成が平均でどれだけ速 くなったのかを意味する.ここで,Tは無閉路順序 回路のテスト生成時間の総和, T' は各構造の順序回 路におけるテスト生成時間の総和である.表4から わかるように,提案手法は,無閉路順序回路に対する テスト生成と比べて,平均で約27倍速くテスト生成 を行うことができ,更に故障検出効率も高くなってい る.また,平衡順序回路に対するテスト生成と比較す ると,提案手法がわずかなテスト生成時間の増加で, ほぼ同等の故障検出効率を得ていることがわかる.た だし,C3に対しては,提案手法の方が平衡順序回路 に対するテスト生成よりも故障検出効率が高くなっ た.これは, $S^A$ から $S^{DR}$ を抽出する際に拡張スキャ ン FF として選ばれる FF が,  $S^A$  から  $S^B$  を抽出す る際には,必ずしも拡張スキャン FF として選ばれな いことが一つの原因であると考える.つまり,拡張ス キャン FF として選ばれる FF の違いによって,回路

32.8

<sup>(</sup>注10): ノンロバストテスト可能なトランジション故障に対する故障検 出効率である.

のテスト容易性が変化するため,そのような結果に なったと考える.表5は,各構造の順序回路に対し て得られたテスト系列を,もとの順序回路に印加する ときに必要なテスト実行時間(TAT(CC))を表し ている.不連続再収斂順序回路と平衡順序回路のテス ト実行時間は,5.2の式(1)と(2)に各順序回路の順 序深度 (Depth), 拡張スキャン FF 数 (#ESFF), 生 成された 2 パターンテスト数 (#Vec)を代入して算 出した.一方,無閉路順序回路のテスト実行時間は, #Vec ×  $(d_A + 1)(\#$ ESFF + 1) + #ESFF で算出し た.ただし,ここでの #Vec は  $S^A$  に対するテスト 系列長を表し,  $d_A$  は  $S^A$  の順序深度を表す.ここで, 上式でテスト実行時間が算出できる理由を以下に示す. 一般に,順序回路に対して可変クロックテストを実行 する場合には,生成されたテスト系列(系列長 l)中 のある一つのパターン(先頭のパターンを除く)のみ を定格クロックで印加し, それ以外のパターンについ ては低速クロックで印加する必要がある[2].そのた め,生成されたテスト系列で検出される各故障ごとに, 定格クロックを与える時刻が異なった場合には,最悪 l-1回,同じテスト系列を回路に印加しなければな らない.よって,実際のテスト系列長はl(l-1)とな る.しかし,無閉路順序回路の場合は,任意の外部入 力に印加された値の影響は,たかだか d<sub>A</sub>時刻後に外 部出力へ現れるため,  $d_A + 1$ 回, 同じテスト系列を回 路に印加するだけでよい.以上の理由により先の式を 用いた.表5からわかるように,テスト実行時間が無 閉路順序回路,不連続再収斂順序回路,平衡順序回路 の順に大きくなり,特に無閉路順序回路と不連続再収 斂順序回路のテスト実行時間の差が大きくなった.し かし,この結果については,本手法とともに文献[10] の手法を用いることでその差を軽減できると考える.

以上の結果より,提案手法は無閉路構造に基づく部 分拡張スキャン設計よりも,ハードウェアオーバヘッ ドが大きくなるという欠点があるが,その代わりに, テスト生成時間を大幅に削減することができ,故障検 出効率も向上させることができることがわかる.更に, 提案手法は文献 [15] の手法に対して,わずかなテスト 生成時間の増加で,ほぼ同等の故障検出効率を達成す ることができ,ハードウェアオーバヘッドも削減でき ることがわかる.

7. む す び

本論文では,遅延故障に対してテスト生成が容易な

順序回路の構造として,不連続再収斂構造を定義し, 不連続再収斂順序回路の遅延故障に対するテスト生成 問題が,その時間展開モデルの遅延故障に対するテス ト生成問題に帰着できることを示した.これに基づき, 不連続再収斂順序回路の遅延故障に対するテスト生成 法を提案した.本論文では,部分拡張スキャン設計を 用いることによって,提案手法を一般の順序回路に対 して適用した.最後に,ケーススタディによって,提 案手法がハードウェアオーバヘッド,テスト生成時間, 故障検出効率の点で有効であることを示した.

謝辞 本研究に関して,多くの貴重な意見を頂いた 奈良先端科学技術大学院大学の井上美智子助教授,広 島市立大学の井上智生助教授に深く感謝致します.本 研究は一部,21世紀 COE プログラム(研究拠点形 成費補助金)及び日本学術振興会科学技術研究費補助 金・基盤研究 B(2)(課題番号 15300018)の研究助 成により実施されています.

- 文 献
- S. Bose, P. Agrawal, and V.D. Agrawal, "A ratedclock test method for path delay faults," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol.6, no.2, pp.323–331, June 1998.
- [2] M.L. Bushnell and V.D. Agrawal, Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits, Kluwer Academic Publishers, Boston, 2000.
- [3] T.J. Chakraborty, V.D. Agrawal, and M.L. Bushnell, "Design for testability for path delay faults in sequential circuits," Proc. 30th ACM/IEEE Des. Automation Conf., pp.453–457, 1993.
- [4] T.J. Chakraborty, V.D. Agrawal, and M.L. Bushnell, "On variable clock methods for path delay testing of sequential circuits," IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol.16, no.11, pp.1237– 1249, Nov. 1997.
- [5] S.T. Chakradhar, A. Balakrishnan, and V.D. Agrawal, "An exact algorithm for selecting partial scan flip-flops," Proc. 31st ACM/IEEE Des. Automation Conf., pp.81–86, 1994.
- [6] B.I. Dervisoglu and G.E. Stong, "Design for testability: Using scanpath techniques for path-delay test and measurement," Proc. Int. Test Conf., pp.365– 374, 1991.
- [7] R. Gupta, R. Gupta, and M.A. Breuer, "The BAL-LAST methodology for structured partial scan design," IEEE Trans. Comput., vol.39, no.4, pp.538– 544, April 1990.
- [8] K. Heragu and V.D. Agrawal, "Segment delay faults: A new fault model," Proc. 14th IEEE VLSI Test Symp., pp.32–39, 1996.

- [9] K. Heragu, J.H. Patel, and V.D. Agrawal, "A test generator for segment delay faults," Proc. 12th Int. Conf. VLSI Des., pp.484–491, 1999.
- [10] T. Hosokawa, T. Inoue, T. Hiraoka, and H. Fujiwara, "Static and dynamic test sequence compaction methods for acyclic sequential circuits using a time expansion model," Proc. 8th Asian Test Symp., pp.192– 199, 1999.
- [11] T. Inoue, T. Hosokawa, T. Mihara, and H. Fujiwara, "An optimal time expansion model based on combinational ATPG for RT level circuits," Proc. 7th Asian Test Symp., pp.190–197, 1998.
- [12] Y.C. Kim, V.D. Agrawal, and K.K. Saluja, "Combinational test generation for various classes of acyclic sequential circuits," Proc. Int. Test Conf., pp.1078– 1087, 2001.
- [13] A. Krstić and K.-T. Cheng, Delay fault testing for VLSI circuits, Kluwer Academic Publishers, Boston, 1998.
- [14] S. Majumder, V.D. Agrawal, and M.L. Bushnell, "Path delay testing: Variable-clock versus ratedclock," Proc. 11th Int. Conf. VLSI Des., pp.470–475, 1998.
- [15] S. Ohtake, S. Miwa, and H. Fujiwara, "A method of test generation for path delay faults in balanced sequential circuits," Proc. 20th IEEE VLSI Test Symp., pp.321–327, 2002.
- [16] G.L. Smith, "Model for delay faults based upon paths," Proc. Int. Test Conf., pp.342-349, 1985.
  (平成 14 年 12 月 16 日受付, 15 年 4 月 18 日再受付)



岩垣 剛 (学生員)

平 12 阪工大・工・電子卒.平 14 奈良先端 大・情報科学・博士前期課程了.現在同大博 士後期課程在学中.テスト生成,テスト容 易化設計に関する研究に従事.IEEE 会員.



#### 大竹 哲史 (正員)

平7電通大・電通・情報工卒.平9奈良 先端大・情報科学・博士前期課程了.平11 同大博士後期課程了.現在奈良先端大・情 報科学研究科助手.平10日本学術振興会 特別研究員.VLSICAD,テスト容易化設 計,テスト生成アルゴリズムに関する研究

に従事.平13年度本会情報システムソサイエティ論文賞受賞. IEEE Computer Society 会員.



#### 藤原 秀雄 (正員:フェロー)

昭44 阪大・工・電子卒.昭49 同大大 学院博士課程了.同大・工・電子助手,明 大・工・電子通信助教授,情報科学教授を経 て,現在奈良先端大・情報科学教授.昭56 ウォータールー大客員助教授.昭59 マッ ギル大客員準教授.論理設計論,フォール

トトレランス,設計自動化,テスト容易化設計,テスト生成, 並列処理,計算複雑度に関する研究に従事.著書「Logic Testing and Design for Testability」(MIT Press)など.大川 出版賞,IEEE Computer Society Outstanding Contribution Award, IEEE Computer Society Meritorious Service Award など受賞.情報処理学会会員,IEEE Computer Society Golden Core Member, IEEE Fellow.