JAIST Repository
https://dspace.jaist.ac.jp/

Title	GaAs LSI用の高速で高ノイズマージンを有するSLCF回路の提案
Author(s)	井川，康夫；亀山，敦；川久，克江；佐々木，忠寛；豊田，信行
Citation	電子情報通信学会論文誌C，J70-C(5)：652-660
Issue Date	1987-05-20
Type	Journal Article
Text version	publisher
URL	http://hdl.handle.net/10119/5024
Rights	Copyright (C)1987 IEICE. 井川康夫，亀山敦，川久克江，佐々木忠寛，豊田信行，電子情報通信学会論文誌C，J70-C(5)，1987，652-660. http://www.ieice.org/jpn/trans_online/
Description	

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY

Japan Advanced Institute of Science and Technology

論　文

GaAs LSI用の高速で高ノイズマージンを有するSLCF回路の提案

正員　井川　康夫[†]　正員　亀山　敦[†]　正員　川久　克江[†]
正員　佐々木忠寛[†]　非会員　豊田　信行[†]

Proposal of SLCF Circuit with High-Speed and Large Noise Margin Performance for GaAs LSIs

Yasuo IKAWA[†], Atsushi KAMEYAMA[†], Katsue KAWAKYU[†], Tadahiro SASAKI[†], *Members and* Nobuyuki TOYODA[†], *Nonmember*

あらまし　GaAsLSI用の基本論理回路としてSLCF (Schottky Diode Level Shifter Capacitor Coupled FET Logic) を提案する．本回路は，論理段とレベルシフト段からなり，レベルシフト段に用いられるダイオードに，レベルシフトと容量結合による高速化の二役を兼ねさせた事を特徴とする．ゲート長1.5 μmのWN_xセルフアラインゲート型GaAsMESFETを前提として，回路シミュレータSPICEによって性能予測を行った．消費電力0.75 mW/ゲートで，無負荷t_{pd}は60 ps/ゲートであり，t_{pd}の負荷依存性は，Δt_{pdFI}=5.5 ps/F.I., Δt_{pdFO}=30～53 ps/F.O., Δt_{pdc}=0.93 ps/fFであった．この時ノイズマージンは0.35 Vと，10 kゲートレベルの集積度でも電気的歩留り100 %を確保できるので，GaAsLSI用基本回路として有望である．

1. まえがき

GaAsディジタルICが登場[1]してから，10年以上の歳月が経過し，その間の集積度の上昇は1年で約3倍と，SiICに比べてその進展は速い．その主たる理由は，製造に必要な各種設備としてSi用に既に開発された装置を利用できた点をあげることができる．今やGaAsICの集積度は，論理ICで3 kゲート程度[2],[3]，メモリICで16 kビットSRAM[4]とLSIのレベルに達しているが，システム設計の観点からは更に高集積のGaAsICの実現が期待されている[5]．

GaAsIC用の回路形式としては，各種のものが提案され，用いられてきている．大別すると2種類ある．一つは，ノーマリオン型MESFET (デプレション型FET：以下DFET) のみを用いる回路であり，BFL (Buffered FET Logic)[1]，SDFL (Schottky Diode FET Logic)[6]がその代表である．他の一つは，ノーマリオフ型MESFET (エンハンスメント型FET：以下EFET) も用いる回路で，DCFL (Direct Coupled FET Logic) がその代表であり，最近ではSBFL (Super Buffer FET Logic) の提案がある[7]．

論理ゲートの性能を比較するには，いろいろな方法が考えられるが，高集積化を念頭に置けば，いわゆる「標準負荷条件」下でのゲート遅延時間t_{pd}と消費電力P_dの関係に注目するのが妥当であろう．標準負荷条件をファンアウト＝3，配線長＝2 mmとした時，DCFL[8]～[10]，SBFL[11]，SDFL[12]，BFL[3],[13],[14]などの回路形式を用いても，t_{pd}＝200～300 ps/ゲートが実現されているが，そのための消費電力は回路形式によって異なる．高集積化のためには，ICチップの放熱限界を考慮する必要があり，数W/チップをその限界と考えれば，例えば，最も消費電力の小さいDCFLをもってしても10 kゲートレベルがその上限となろう．DCFLは，回路的にシンプルでレイアウト面積が小さいという特徴も併せ持っており，LSI化に最適の回路と考えられてきた．

ところが，LSIを安定に動作させるには，ノイズマージンの大きいことが要求され，DCFLにおけるノイズマージンの小ささが問題となってくる．ノイズマージンが小さいのは，論理振幅が小さいためであり，これはDCFLが高速・低消費電力であることと直接かかわっ

† ㈱東芝総合研究所超LSI研究所，川崎市
VLSI Research Center, TOSHIBA CORPORATION, Kawasaki-shi, 210 Japan

ており，本質的である．この観点からは，メモリ IC はメモリセル内でのマージン確保を主として考えればよいから DCFL が適用できるとしても，チップ内のどの位置にある単位ロジック同士が結線されるかを特定できない論理 IC，特にゲートアレーでは，LSI 化が実質的に困難ということになってしまう．

本論文は，このように GaAsIC の高集積化に関して，従来回路では対応が困難であることを指摘し，併せて，LSI 用の新たな回路として SLCF (Schottky Diode Level Shifter Capacitor Coupled FET Logic) を提案しようとするものである．

2. LSI 化に必要な回路的条件

ここでは，ディジタル IC の中でも，その動作について，より一般的な検討を必要とする論理 IC について考える．

論理 IC を一般的に取り扱うには，ゲートアレーを考えるのが便利である．回路性能を評価するパラメータとして，消費電力 P_d と動作保証の観点からノイズマージンを取り上げる．

2.1 消費電力

冷却技術によって異なるが，IC の消費電力には放熱限界によって決められる制限がある．通常，自然空冷の場合は，2 W/ チップ，強制空冷では 6 W/ チップが消費電力上限の目安と考えられている．

そこで，ゲート当りの消費電力とチップの消費電力の関係を求め，ゲートアレーの各集積度に対して許容される回路の消費電力を明らかにしてみる．

N_G をチップ内部のゲート数，P_d をゲート 1 段当りの消費電力とし，β を実際に使用される内部ゲートの割合とする．内部ゲートで消費される電力を P_i とすると，

$$P_i = P_d \cdot N_G \cdot \beta \qquad (1)$$

である．

一方，チップ内には内部ゲートとは別に，I/O バッファ回路が存在し，ここでも電力消費がある．ゲートアレーにおける I/O ピン数 p は経験的に

$$p \simeq 2\sqrt{N_G}$$

で与えられる．入力と出力のピン数の比を

入力：出力 $\simeq 2:1$

と仮定する．すると，

$$\text{入力バッファの回路数} = \frac{4}{3}\sqrt{N_G}$$

$$\text{出力バッファの回路数} = \frac{2}{3}\sqrt{N_G}$$

となる．

さて，入力バッファ回路は，内部の 5 ゲート分を使用するものと仮定する．また，出力バッファ回路は ECL 対応とし，50 Ω，10 pF の負荷を振幅 1 V，立上り/立下り時間 500 psec で駆動できるように設計すると，駆動電流 20 mA が必要である．チップ内での電位降下を最小 1 V とすると，出力バッファにおける消費電力は 20 mW となる．

I/O 回路の使用率も内部回路の使用率と等しいものとして β とすると，I/O における消費電力 $P_{I/O}$ は

$$P_{I/O} = \left(5P_d \cdot \frac{4}{3}\sqrt{N_G} + 20^{mW} \cdot \frac{2}{3} \cdot \sqrt{N_G}\right) \cdot \beta \qquad (2)$$

となる．

式(1)，(2)より，チップの全消費電力 P_t は，

$$P_t = P_i + P_{I/O} = \left(N_G \cdot P_d + \frac{20}{3} \cdot P_d \cdot \sqrt{N_G} + \frac{40^{mW}}{3} \cdot \sqrt{N_G}\right) \cdot \beta \qquad (3)$$

式(3)に従って，使用率 $\beta = 0.7$ とした時の P_d と P_t の関係を集積度 (N_G) をパラメータとして示したのが図 1 である．これより，DCFL の消費電力 (～0.5 mW/ゲート) をもってすれば，10 k ゲート程度の集積化が強制空冷 (6W/チップ) を前提に可能であるが，SDFL や BFL の消費電力 (2～3 mW/ゲート) では，集積度上限は 2～3 k ゲート程度であることがわかる．DCFL が数 k ゲート以上の GaAsLSI 用回路として最適と考えられてきたゆえんである．

2.2 ノイズマージン

ノイズマージンは，IC を安定に動作させるために必要である．小さすぎるノイズマージンは，特に集積度が増した時，回路的に動作が不可能となる事態を生じさせることになる．通常，IC の機能歩留りは，主として製造工程における各種欠陥の混入，デバイスパラメータの設定値からのずれによって決まる．回路設計はパラメータのばらつきによって起きる動作不能モードが実質的にないように行われる．すなわち，回路的・電気的歩留りは 100 %が前提である．

ところが，現在用いられている GaAsIC の製造プロセスは，この電気的歩留りを確保できないほど，デバイスパラメータをばらつかせてノイズマージンを維持できない場合を生じさせていることがある．例えば，FET のしきい値電圧ばらつきは，回路の論理しきい値ばらつきを引き起こしてノイズマージン以上にシフト

させることがあるし，また，電源系配線においてはそのシート抵抗の大きさのために電位降下量が回路のノイズマージンと同程度になることが容易に起こってしまう[8],[9]．

そこで，ノイズマージンがばらつくことによって，電気的歩留りが集積度に対してどのように変化するかを見積ってみる．

m を回路のノイズマージンとする．σ_m をノイズマージン m がばらつくときの標準偏差値とする．m は，論理振幅の 10 %，90 %の変化をもたらす入力のローレベル，ハイレベルの幅の小さい方をもって定義する．m は正規分布をなすものとし，統計解析上 m が零以下となるゲートが 1 個以上あれば，その回路は動作しないと仮定して，電気的歩留り Y_e を次のように求める．

m の確率密度関数 $y(m)$ は次式で与えられる．

$$y(m)=\frac{1}{\sqrt{2\pi}\,\sigma_m}\exp\left\{-\frac{(m-\overline{m})^2}{2\sigma_m^2}\right\} \qquad (4)$$

ここで，$\overline{m}$ は，ノイズマージンの平均値（設計中心）である．回路中の 1 ゲートのノイズマージンが正の値を持つ確率 f は，

$$f=\int_0^\infty y(m)dm \qquad (5)$$

である．回路中のすべてのゲートについてノイズマージンが正であることが電気的に機能する条件とすれば

$$Y_e=f^{N_G} \qquad (6)$$

である．

式(4)，(5)，(6)を用いて，電気的歩留り Y_e と集積度（N_G）との関係を，$R=\overline{m}/\sigma_m$ をパラメータとして示すと，図 2 のようになる．この図から，数 k ゲート/チップ以上の集積度を実現させるには，少なくとも $R>4$ であることが必要であると言えよう．ノイズマージンのばらつきについての標準偏差値は，用いる回路のデバイスによっても，回路形式によっても異なるが，E/D-FET 構成の DCFL を例にとれば，E，D-FET のしきい値電圧のバランスや，E，D-FET の各々のしきい値電圧のばらつきの相関度にも依存するものの，およそ FET のしきい値電圧 V_{th} ばらつきの標準偏差 $\sigma_{V_{th}}$ と同一であると一般的に考えてよい．現行の一般的プロセスにおいては，$\sigma_{V_{th}}=50$ mV と考えるのが妥当である．すると $R>4$ のためには，$\overline{m}>0.2$ V が必要ということになる．この条件は，ノイズマージンを低下させる他の要因，例えば，温度変化，電源配線における電位降下，クロストークノイズ等の影響を差し引いたあとのノイズマージンについてのものである．従って，ノイズマージンが最大でも 0.2 V 程度しかない DCFL については，現行の $\sigma_{V_{th}}$ を前提とする限り，数 k ゲート以上の集積度を実現するための解が，ノイズマージンの観点から存在しないことになる．

以上のように，消費電力の点から唯一の LSI 用回路と考えられてきた DCFL は，ノイズマージンの観点から，現状のプロセス技術を前提とする限り，実際の LSI を安定に動作させることは困難であるという結論が得られる．消費電力条件を満たして，ノイズマージンの

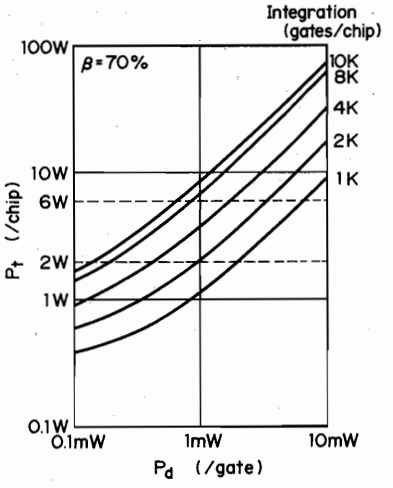

図 1　集積度をパラメータとした時のゲート当りの消費電力 P_d とチップ全体の消費電力 P_t との関係．ゲートアレーを想定し，ゲート使用率 $\beta=70\%$ を仮定．6 W/チップは強制空冷の限界，2 W/チップは自然空冷の限界を示す

Fig. 1　Power consumption per gate P_d versus power consumption in a chip P_t as a function of integration level. Gate array with $\beta=70\%$ is assumed. 6W/chip and 2W/chip are the power limits for forced air cooling and natural air cooling, respectively.

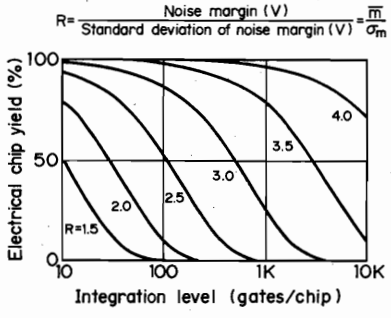

図 2　集積度による電気的歩留りの変化

Fig. 2　Electrical chip yield vs. integration level.

大きな新たな回路形式が必要である．

3. SLCF 回路

ここでは，前章における分析に基づき，GaAsLSI 用の新たな論理回路形式として SLCF 回路の提案を行う．本回路は，DCFL のノイズマージンを倍加する．そのため論理振幅も倍加し，消費電力も倍加するが，スピード特性は同等に保つことを特徴とする．GaAsLSI 化のために，スピード特性を犠牲にしないで，消費電力とノイズマージンとのバランスを図った回路である．

3.1 回路構成および基本動作

図 3 に，SLCF による 2 入力 NOR ゲートの回路構成を示す．負荷 DFET Q_1 およびドライバ DFET Q_2, Q_2' からなる論理段と，Q_2, Q_2' のゲート電極に接続されたダイオード D_1, D_1', プルダウン DFET Q_3, Q_3' からなるレベルシフト段とにより構成されている．電源は V_{DD} と V_{SS} の 2 種を必要とする．論理段の出力電位は 0 V から V_{DD} まで変化するので，これをそのまま次段のドライバ FET のゲート電極に接続したのでは，クランプ効果が発生し，論理振幅が小さくなり，従ってノイズマージンを十分確保できない．そこで，レベルシフト段を通して論理段に接続し，ショットキーダイオードの順方向立上り電圧（≃0.7 V）分だけ入力電位をマイナスにシフトさせて，ドライバ FET のゲート電極に接続することにより論理振幅を大きく保ち，ノイズマージンを大きくしている．消費電力をできるだけ抑えるために電源電圧は $V_{DD}=1.5$ V, $V_{SS}=-1.0$ V を典型値とする．また，負荷，ドライバ FET ともしきい値電圧はマイナスで，DFET である．

本回路の特徴は，上記レベルシフトダイオードの接合容量にフィードフォワードキャパシタとしての役割をもたせて，レベルシフト回路段の存在によるスピードの劣化を防いでいる点にある．ダイオードがレベルシフトと容量結合の二役を兼ねるので，Schottky Diode Level Shifter Capacitor Coupled FET Logic と名付け，その頭文字をとって，本回路を SLCF と呼ぶことにする．

本回路は，負荷 DFET Q_1 とドライバ DFET Q_2 からなる回路の手前にダイオードと電流源よりなるレベルシフト段を配する点で SDFL (Schottky Diode FET Logic) 回路[6]と似ている．しかし，SDFL 回路は，レベルシフト段の前部でダイオードによるワイアード OR 回路により論理を作り出している点，またダイオードに容量結合効果の役割を持たせるという発想が存在しない点で，本論文で提案する SLCF 回路と異なる．

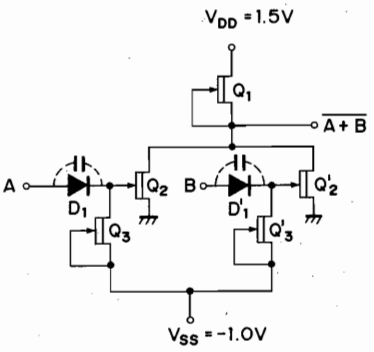

図 3　SLCF による 2 入力 NOR ゲートの回路構成
Fig. 3　2-input NOR gate implemented by SLCF circuitry.

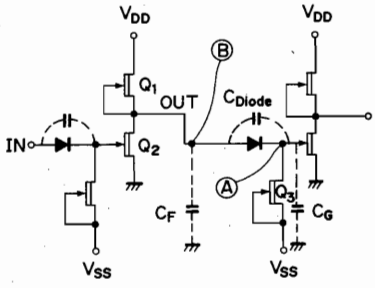

図 4　SLCF 回路における信号伝達を説明するための図
Fig. 4　Figure showing signal propagation in SLCF circuit.

3.2 容量結合による高速化

SLCF 回路では，容量結合による高速化が行われるが，この動作は次のように考えることができる．

ゲート伝達遅延時間 t_{pd} は，ドライバ FET 入力の立上り時間 t_{rise} と立下り時間 t_{fall} を用いて，次式で表される．

$$t_{pd}=\frac{t_{rise}+t_{fall}}{2}$$

図 4 は，信号伝達の遅延を考察するための図であり，インバータが二段接続された場合が示されている．まず，出力 OUT の電位が立ち上がる場合を考える．出力から見える負荷容量 C_L は，レベルシフトダイオードの容量 C_{Diode} と次段のドライバ FET のゲート電極のノードⒶと接地電位間に存在する容量 C_G との直列接続容量と，ダイオードの手前のノードⒷと接地電位との間の容量 C_F の和で表され，

$$C_L=\frac{C_{Diode}\cdot C_G}{C_{Diode}+C_G}+C_F$$

である．ノードⒷの電位 V_B の立上り時間 t_{rise1} は，論

理振幅を ΔV とすると，

$$t_{rise1}=\frac{C_L\cdot\Delta V}{I_L-i_{pd}}$$

で与えられる．ここで，I_L は前段負荷 FET (Q_1) の電流であり，i_{pd} は次段のプルダウン FET (Q_3) の電流である．ノードⒶの電位 V_A の変化は，V_B が C_{Diode} と C_G とで分割されて決まる．今 $C_{Diode}\gg C_G$ なら $V_A\simeq V_B$ となり，$t_{rise}=t_{rise1}$ である．

一方，立下り時間を決めるのは，次の二要因のうち速度の速い方である．第1要因は，C_L に充電された電荷 $C_L\cdot\Delta V$ をドライバ FET (Q_2) の ON 電流 I_{Drive} による放電電流 i_{drive} によって放電する時間 t_{fall1} である．ここで，

$$t_{fall1}=\frac{C_L\cdot\Delta V}{i_{drive}}$$

$$i_{drive}=I_{Drive}-I_L$$

である．第2要因は，ダイオード電流が逆バイアスされるためほぼ零になるので，プルダウン FET の電流量 i_{pd} で，C_G に蓄えられた電荷 $C_G\cdot\Delta V$ を放電する時間 t_{fall2} である．ここで，

$$t_{fall2}=\frac{C_G\cdot\Delta V}{i_{pd}}$$

で与えられる．t_{fall1} と t_{fall2} の小さい方が t_{fall} を与えることになる．但し，t_{fall1} については，ノードⒷの電位変化が，ノードⒶにそのまま伝達されることが条件で，そのためには $C_{Diode}\gg C_G$ を満たす必要がある．

今，回路条件として，

$C_L\gg C_F$

I_L，I_{Drive}，$i_{drive}\gg i_{pd}$

とすると，

$t_{fall}=t_{fall1}\ll t_{fall2}$

と考えることができて

$$t_{pd}\simeq\frac{C_L\cdot\Delta V}{2}\left(\frac{1}{I_L}+\frac{1}{I_{Drive}-I_L}\right)\qquad(7)$$

となる．

式(7)で与えられる t_{pd} の決定メカニズムは DCFL の場合と全く同じである．すなわち，負荷容量 C_L を論理振幅 ΔV の電圧分だけ負荷 FET の電流 I_L で充電し，ドライバ FET の ON 電流 I_{Drive} から I_L を差し引いた放電電流 $i_{drive}=I_{Drive}-I_L$ で放電するという過程に要する時間で t_{pd} が決まるのである．これは，SDFL では $C_{Diode}\gg C_G$ が満たされないために $t_{fall}=t_{fall2}$ となって，前段のドライバ FET の電流駆動能力をいくら大きくしても高速化に限界があるのに比べると，大きな長所である．つまり，新回路 SLCF は，C_{Diode} の容量結合効果により高速化が達成される．更に，このような事情から，プルダウン FET の電流駆動能力を小さくしても，SLCF の場合高速性能を維持できるのでファンアウト特性が優れている．

4. 回路シミュレーション

本章では，SLCF 回路の諸特性を，回路シミュレータ SPICE によりシミュレーションした結果を用いて示す．GaAsMESFET は，SPICE の JFET モデルで表現した．FET は，WN_x セルファアラインゲート型 MESFET[15] を想定し，Q_1，Q_2 のゲート幅 W_g/ゲート長 L_g はともに 10 μm/1.5 μm とし，Q_3 は 1 μm/1.5μm とした．ダイオードは，FET のチャネル層を n 型層とするショットキー接合ダイオードを仮定した．用いたパラメータを表1に示す．

4.1 ノイズマージンと t_{pd} の FET しきい値電圧依存性

Q_1，Q_2，Q_3 の FET のしきい値電圧を V_{TD_1}，V_{TD_2}，V_{TD_1} (Q_1 と Q_3 の V_{th} は同一とした) とし，V_{TD_1}，V_{TD_2} を変化させてインバータの入出力トランスファカーブを求めて，ノイズマージンの変化を調べた．結果を図

表1 回路シミュレーションに用いたモデルパラメータ

パラメータ ＼ デバイス	Q_1・FET Q_3・FET	Q_2・FET	Diode
閾値電圧〔V〕	(−0.7)	(−0.5)	
K値〔A/V²〕(Wg=10μ当り)	1.35×10^{-3}		
チャネル変調パラメータ λ〔1/V〕	0.14		
ソース直列抵抗 r_S〔Ω〕	0.1		
ドレイン直列抵抗 r_d〔Ω〕	0.1		
ゼロ・バイアスG−S容量 C_{GSO}〔F〕(Wg=10μ当り)	1.1×10^{-14}		
ゼロ・バイアスG−D容量 C_{GDO}〔F〕(Wg=10μ当り)	1.1×10^{-14}		
ゲート接合電位 ϕ_B〔V〕	0.73		0.73
ゲート接合飽和電流 Is〔A〕(10μ²当り)	5×10^{-17}		5×10^{-17}
ゼロ・バイアスでの接合容量 Cjo〔F〕(面積1μ²当り)			7.3×10^{-16}

※ Lg=1.5μのFETを仮定

5 に示す．同図には，ドライバ FET として W_g/L_g=20μm/1.5μm とした DCFL 回路（V_{DD}=1 V）についてのノイズマージン値も比較のために示してある（但し，V_{TD_1} を負荷 DFET のしきい値電圧，V_{TD_2} をドライバ EFET のしきい値電圧と読み換えて表示）．更にリングオシレータ発振周波数から求めた t_{pd} 特性とあわせて示す．同図において，ノイズマージン 0.2 V 以上のしきい値電圧（V_{TD_2}，V_{TD_1}）の領域を SLCF と DCFL で比較すると SLCF の方が極めて大きいことがわかる．このように SLCF では，DCFL に比べて，ノイズマージンが大きく，しかも，V_{th} について広い領域で実現されていることがわかる．そして，t_{pd}=60 ps/ゲートが，ノイズマージン 0.35 V で実現でき，DCFL の 0.2 V に比べて 2 倍近い．なおこの時，消費電力は DCFL が 0.4 mW/ゲートに対して，SLCF は 0.75 mW/ゲートという犠牲を払っている．ただし，後述のように SLCF 回路の t_{pd} は C_{Diode} に依存するが，ここでは，最適条件と判定できる $C_{Diode}=6C_{gs}$ の場合の値を示した．

4.2 t_{pd} のダイオード容量依存性

前章で示したように，SLCF の高速性は $C_{Diode} \gg C_G$ により実現されている．そこで，t_{pd} を C_{Diode}/C_{gs} に対して求めたのが図 6 である．但し，FET のしきい値電圧は，$V_{TD_1}=-0.7$ V，$V_{TD_2}=-0.5$ V とし，また，C_{gs} はドライバ FET Q_2 のゲート・ソース間容量であり，$C_{gs}=C_{gd}$ とした．ダイオード特性は，接合容量 C_{Diode} を除き，ダイオードの接合面積が $C_{Diode}=6\cdot C_{gs}$ となる場合のパラメータで固定した．同図から，容量結合がない場合には，t_{pd}=167 ps/ゲートだが，C_{Diode} が大きくなるに従って t_{pd} は小さくなり，$C_{Diode}\simeq 3\cdot C_{gs}$ で飽和傾向がはじまる．レイアウト面積が大きくなることとのトレードオフを考えて，$C_{Diode}=6\cdot C_{gs}$ を最適条件と判断することとし，各種検討の基準とすることにした．なお，消費電力は V_{th} が決まれば一定で P_d=0.75 mW/ゲートである．

4.3 t_{pd} の負荷依存性

ファンイン，ファンアウト，負荷容量に対する t_{pd} の依存性を 15 段リングオシレータの発振特性シミュレーションにより求めた．ファンイン（F.I.）数 N_{fi} については，N_{fi} 入力 NOR ゲートの（$N_{fi}-1$）個の入力をローレベルで固定し，残り 1 入力と出力を接続してリングオシレータを構成した．ファンアウト（F.O.）数 N_{fo} については，インバータによるリングオシレータの各段の出力に（$N_{fo}-1$）個のインバータの入力を並列接続した．負荷容量 C_L に対しては，インバータによるリングオシレータの各出力段と接地電位との間にそれぞれ容量 C_L を挿入した．

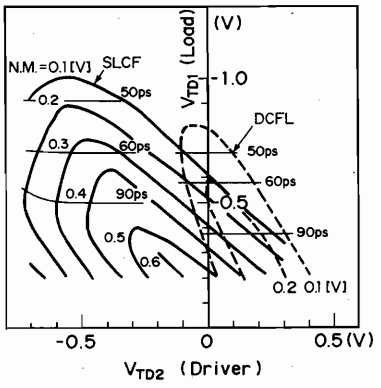

図 5　SLCF 回路と DCFL 回路のノイズマージンの FET しきい値電圧依存性．ゲート遅延時間 t_{pdo}（無負荷：F. O. =F. I. =1）も示してある．

Fig. 5　Noise margin dependence on FET threshold voltages for SLCF and DCFL circuits. Unloaded gate propagation delay time t_{pdo} (F.O.=F. I. =1) is also shown.

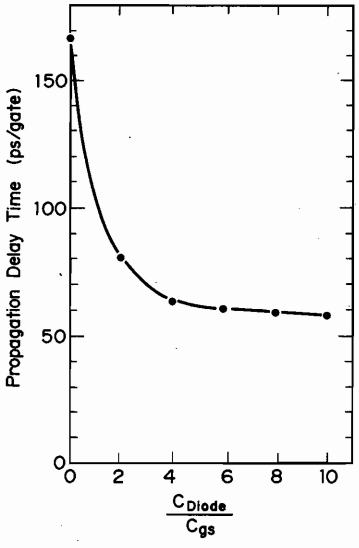

図 6　ゲート遅延時間のダイオード容量依存性

Fig. 6　Propagation delay time dependence on diode capacitance.

その結果，ファンイン依存性 Δt_{pdFI} については，Δt_{pdFI}=5.5 ps/F.I. を得た．また，ファンアウト依存性 Δt_{pdFO} は F.O. 数に対して線型でなく，図 7 に示すようであった．これは，図 4 を用いて次のように説明できる．すなわち F.O. 数 N_{fo} が増えると，次段のドライバ FET の入力容量 C_G を N_{fo} 個充電する電流 i は，$i=I_L-N_{fo}\cdot i_{pd}$ であり，$t_{rise1}=N_{fo}\cdot C_G\cdot \Delta V/(I_L-N_{fo}\cdot$

i_{pd}) となるため，F.O. 数が大きくなるほど Δt_{pdFO} が大きくなる．その結果，図7に示されるように N_{fo} によって Δt_{pdFO}=30～53 ps/F.O. (N_{fo}= 2～6) と変化する．低ファンアウト (F.O.=2～3) における 30 ps/F.O という値は良好といえるが，高ファンアウト (F. O. =5～6) における 53 ps/F.O. はかなり大きい．これを打開するには，通常行われるようにプッシュプルタイプの回路を導入するのが有効で，これより低ファンアウト並の依存性を得ることができる．

一方，C_{Diode}= 6・C_{gs} の標準条件で求めた t_{pd} の負荷容量依存性 Δt_{pdc} を図8に示す．Δt_{pdc}=0.93 ps/fF である．同図には，ダイオードパラメータのうち接合容量のみを0とした容量結合のない場合についても示してあるが，これと比べると，容量結合のある場合 (C_{Diode}= 6・C_{gs}) には，負荷容量に対して t_{pd} は線型に増大しており，低負荷容量領域で高速化が図られていることがわかる．これは，前章で示された $t_{fall1} \ll t_{fall2}$ であることによる．C_{Diode}= 0 の場合と t_{pd} が同一になるのは $t_{fall1}=t_{fall2}$ となる時であり，$C_L/i_{drive}=C_G/i_{pd}$ となる時である．今，負荷 FET，ドライバ FET，プルダウン FET の設計パラメータより，$i_{drive}\simeq 15\, i_{pd}$ となっているから $t_{fall1}=t_{fall2}$ となるのは，$C_L\simeq 15\, C_G$ となる時である．一方，図8により，これは $C_L\simeq$250 fF の時であり，$C_G\simeq$17 fF であれば説明できることになる．ここで，C_G はドライバ FET のゲート電圧に依存する量であるが，C_{gd} のミラー効果を考慮し，C_G= 2 C_{gd} + C_{gs} とすれば，表1のバイアス電圧 0 V における $C_{gs}=C_{gd}$=11 fF の値により，ファクタ2程度の違いはあるものの図8の特性は上述した t_{fall1} と t_{fall2} の関係で定性的に説明することができると言える．

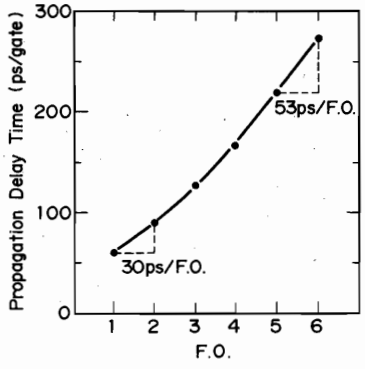

図7 ゲート遅延時間のファンアウト (F.O.) 依存性
Fig. 7 Propagation delay time dependence on fan-out number.

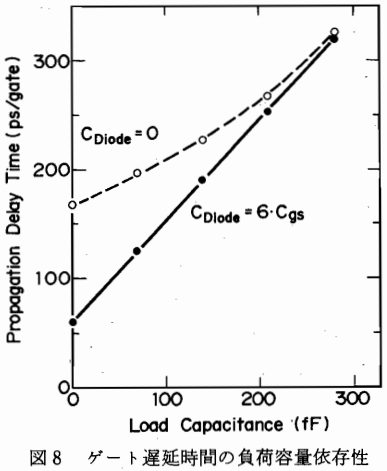

図8 ゲート遅延時間の負荷容量依存性
Fig. 8 Propagation delay time dependence on load capacitance.

5. 考　　察

t_{pd}のF.O. 依存性は線型でないので，F.O.= 3，配線長 L= 2 mm という所謂標準負荷条件における t_{pd} を，実負荷を想定したリングオシレータのシミュレーションにより求めた．P_d=0.75 mW／ゲートにおいて，t_{pd} =257 ps／ゲートを得た．但し，配線長 1 mm当り 70 fF の負荷容量とした．これは，個別の依存性 Δt_{pdFO}と Δt_{pdc} と t_{pdO} の線型関係を仮定して求まる値 (250 ps/ゲート) と大きな差がない．通常は，$t_{pd}=t_{pdO}+(N_{fo}-1)\cdot\Delta t_{pdFO}+C_L\cdot\Delta t_{pdc}$ という線型の式で表現してよいと言える．

一方，LSI において各ゲート出力に接続される配線長が長く，t_{pd} が配線長によって決まる領域では，消費電力 P_d とゲート遅延時間 t_{pd} の積は，負荷容量 C_L を用いて近似的に次式で与えられる[8]．

$$P_d\cdot t_{pd}\simeq\frac{1}{2}\cdot C_L\cdot\Delta V\cdot V_{DD}$$

すなわち，回路形式によって決まる論理振幅 ΔV と，電源電圧 V_{DD} だけによって決まる．図9に (ΔV, V_{DD}) の三つの典型についての C_L=200 fF とした時の $P_d\cdot t_{pd}$ 線を示す．(ΔV, V_{DD})=(0.6 V, 1 V), (1.2 V, 1.5 V), (2.0 V, 2.5 V) の3種である．これらをそれぞれ Type-I, II, III と名付ける．同図は，過去報告された各種回路についての値もプロットしてある[3],[8],[9],[11]～[13]．これによると，DCFL や SBFL は Type-I，SDFL や BFL は Type-III に属しており，その特性が ΔV, V_{DD} によって支配されていることがわかる．そして，SLCF 回路は Type-II であり，$P_d\cdot t_{pd}$ 値は Type-I，III の中

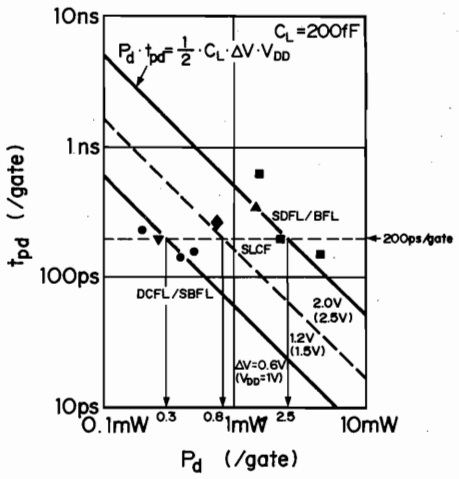

図9　負荷容量 C_L が 200 fF のときの論理ゲートの $P_d \cdot t_{pd}$ 積
● DCFL (8) (9), ▼ SBFL(11), ■ BFL (3)(13), ▲ SDFL (12), ◆ SLCF (本報告), 200 ps/ゲートは高集積 GaAsIC に要求される値

Fig. 9　$P_d \cdot t_{pd}$ plots for logic gates when load capacitance C_L=200 fF.
● DCFL (8)(9), ▼ SBFL(11), ■ BFL (3)(13), ▲ SDFL(12), ◆ SLCF (present work).
200ps/gate is required value for GaAs LSIs.

間にある．

さてここで，GaAs の高速性を 5 k ～10 k ゲートという LSI レベルの集積度において生かすには，Si-ECL の性能を差別化するため，配線長 3 mm 弱に相当する C_L=200 fF において t_{pd}<200 ps/ゲートでなくてはならないとする．このレベルをクリアするためには，Type-Ⅰでは P_d>0.3 mW/ゲート，Type-Ⅲでは P_d>2.5 mW/ゲートが必要である．LSI チップの強制空冷による 6 W/チップの消費電力限界を前提にすれば，図1より，Type-Ⅲでは解がない．一方，Type-Ⅰでは，図2よりノイズマージンの観点から解がないわけであり，従って「t_{pd}<200 ps/ゲート，5 k ～10 k ゲート集積度」を満たすのは Type-Ⅱの回路であると言える．

本報告で示した SLCF 回路は，今までになかった Type-Ⅱの回路として提案されたもので，その t_{pd} 特性については，容量結合による高速化をはかり，更に結合用の容量の働きをレベルシフト用ダイオードに兼ねさせることにより，レイアウト面積の節約も図って LSI 向きの回路としたものである．

6. むすび

GaAsLSI 用の基本回路として SLCF 回路を提案した．本回路は，10 k ゲートレベルの集積度に対しても回路的・電気的歩留りを十分に持ち，かつできるだけ消費電力を抑えても高速性を維持し，強制空冷を前提としたシステムへも 8 k ～10 k ゲートレベルの集積度で標準ゲート遅延時間 200 ps/ゲート以下の性能の GaAsIC を適用するための形式として初めてのものと言える．ノイズマージン，消費電力，ゲート遅延時間そしてレイアウト面積について，高集積を実現するためのトレードオフを追求し，最適化された回路として位置づけることができよう．

謝辞　本研究を遂行するに当り，激励いただいた東芝超 LSI 研究所研究第3部飯塚尚和部長，また有益な御助言をいただいた東芝総合研究所二井理郎技監に深く感謝致します．

本研究は，通産省工業技術院大型プロジェクト「科学技術用高速計算システム」の研究開発の一環としてなされたものである．

文　献

(1) R. Van Tuyl, et al. : "High speed integrated logic with GaAs MESFETs", Digest of Tech. Papers, ISSCC, p. 114 (Feb. 1974).
(2) Y. Nakayama, et al. : "A GaAs 16×16b parallel multiplier using self-alignment technology", Digest of Tech. Papers, ISSCC, p. 48 (Feb. 1983).
(3) H. Hirayama, et al. : "A CML compatible GaAs gate array", Digest of Tech. Papers, ISSCC, p. 72 (Feb. 1986).
(4) Y. Ishii, et al. : "Processing technologies for GaAs memory LSIs", Digest of Tech. Papers, GaAs IC Symposium, p. 121 (1984).
(5) V. Multinovic, et al. : "An introduction to GaAs microprocessor architecture for VLSI", Computer, **19**, 3, p. 30 (March 1986).
(6) R.C. Eden, et al. : "Low power GaAs digital ICs using Schottky diode-FET logic", Digest of Tech. Papers, ISSCC, p. 68 (Feb. 1978).
(7) K. Tanaka, et al. : "Super-buffer FET logic (SBFL) : A logic gate suitable to GaAs LSI's", Extended Abstracts of the 16th (1984 International) Conference on Solid State Devices and Materials, Kobe, p. 399 (1984).
(8) Y. Ikawa, et al. : "A 1k-gate GaAs gate array", Digest of Tech. Papers, ISSCC. p. 40 (Feb. 1984).
(9) N. Toyoda, et al. : "A 42ps 2k-gate GaAs gate array", Digest of Tech. Papers, ISSCC, p. 206 (Feb. 1985).
(10) A. Rode, et al. : "A high yield GaAs gate array technology and applications", Digest of Tech. Papers, GaAs IC Symposium, p. 178 (1983).
(11) H. Nakamura, et al. : "A 390ps 1000-Gate array using GaAs Super Butter FET Logic", Digest of Tech. Papers, ISSCC, p. 204 (Feb. 1985).
(12) T. T. Vu, et al. : "A gallium arsenide SDFL gate array with on-chip RAM", IEEE Trans. Electron Devices, **ED-31**, 2, p. 144 (1984).

(13) R. N. Deming, et al. : "A gullium arsenide configuralle cell array using buffered FET logic", IEEE J. Solid-State Circuits, **SC-19**, 5, p. 728 (1984).
(14) L. Penque, et al. : "The quick-chip a depletion mode digital/analog array", Digest of Tech. Papers, GaAs IC Symposium, p. 27 (1984).
(15) N. Uchitomi, et al. : "Refractory WN gate self-aligned GaAs MESFET technology and its application to gate array IC's", Extended Abstracts of the 16th (1984 Internadtional) Conference on Solid State Devices and Materials, Kobe, p. 383 (1984).

(昭和61年9月30日受付，11月25日再受付)

井川　康夫

昭48東工大・工・電子卒．昭50同大大学院修士課程(電子)了．同年㈱東芝総合研究所に入社．太陽電池およびGaAsデバイスの研究開発に従事．昭55～昭57米国Stanford大・客員研究員．昭57東芝総研に戻り，以来GaAsディジタルICの研究開発に従事．昭60 IEEE・ISSCC・Beatrice Winner Award受賞．現在，東芝超LSI研究所研究主務．応用物理学会，IEEE各会員．

亀山　　敦

昭57東工大・工・電子物理卒．昭59同大学院修士課程了．同年㈱東芝総合研究所入所．以来，GaAs集積回路の設計に関する研究に従事．

川久　克江

昭56東北大・工・電子卒．同年㈱東芝入社．総合研究所にて，GaAsICの研究開発，主として設計に従事．昭60 IEEE ISSCC Beatrice Winner Award受賞．

佐々木忠寛

昭58日大・理工・物理卒．昭60同大大学院修士課程了．同年㈱東芝総合研究所入所．以来，GaAs LSI設計に従事．物理学会会員．

豊田　信行

昭46早大・工・電子通信卒．昭48同大大学院修士課程了．同年松下技研㈱入社．以来，GaAs液相成長，イオン注入の研究，GaAsバラクタダイオード，ホールセンサの開発に従事．昭55㈱東芝総合研究所に入社．以来GaAsディジタルICの研究に従事．現在，超LSI研究所主任研究員．工博．応用物理学会員．昭60 IEEE ISSCC Beatrice Winner Award受賞．