

Title	冗長化アルゴリズムからの耐故障データパス自動合成
Author(s)	坪石, 優
Citation	
Issue Date	2009-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/8116
Rights	
Description	Supervisor:金子峰雄, 情報科学研究科, 修士

修士論文

冗長化アルゴリズムからの
耐故障データパス自動合成

北陸先端科学技術大学院大学
情報科学研究科情報システム学専攻

坪石 優

2009年3月

修士論文

冗長化アルゴリズムからの 耐故障データパス自動合成

指導教員 金子峰雄 教授

審査委員主査 金子峰雄 教授
審査委員 宮地充子 教授
審査委員 浅野哲夫 教授

北陸先端科学技術大学院大学
情報科学研究科情報システム学専攻

0710051 坪石 優

提出年月: 2009年2月

概要

集積回路の動作中に発生する故障に対して様々なアプローチの耐故障化技術が提案されている。本稿ではアルゴリズム三重化をスタート点として、高位合成の枠組みを用いて耐故障性が維持されるよう多数決回路導入、演算スケジュール、資源割当てを行なって耐故障データパス回路を合成する基礎概念の下での設計最適化について論じる。具体的には、多数決演算挿入位置が特定された下での耐故障性を維持した資源制約スケジュール・資源割当て問題に対して、整数線形計画法による厳密解法と、資源割当てを優先して行う発見的手法を提案する。

目次

第1章	はじめに	1
第2章	高位合成	2
2.1	高位合成の概要	2
2.2	演算のスケジューリング	3
2.3	資源割り当て	3
第3章	耐故障化手法	5
3.1	ハードウェアと故障のモデル	5
3.2	ポート演算による誤り訂正の方式	7
3.3	耐故障データパス	8
第4章	整数線形計画法によるデータパス合成	12
4.1	ILP 定式化	12
4.2	実験結果	16
第5章	発見的手法によるデータパス合成	17
5.1	概要	17
5.2	コーンの選択	17
5.3	コーンへの演算資源割り当て	21
5.4	スケジューリング	25
5.5	実験結果	28
5.6	その他の手法による事例	30
第6章	結論	41
6.1	まとめ	41
6.2	今後の課題	41

第1章 はじめに

今日の集積回路製造技術の進歩は複雑で大規模な計算処理を高速に実行できる集積回路を構成することを可能にした。これにより、集積回路は我々の身近な製品にも応用され、その中核を担うようになった。しかしながら、動作中に発生する故障はリアルタイム性を求める用途にとって重大な障害に発展する危険性をはらむ。そのため、耐故障技術は集積回路を設計する上で重要なものとなる。

これまで、VLSI(Very Large Scale Integrated circuit)の信頼性の向上のために様々な耐故障研究が行われている。[3] 同一のモジュールを三重化して多数決をとるモジュール三重化や、モジュールを多数用意し故障が発生した際には故障箇所を切り離して再構成するモジュール配列の再構成はその成果の一つであるものの、実装面積の肥大化や再構成時にシステムを停止するためにリアルタイム性が損なわれるという欠点があった。

そこで、高いリアルタイム性と低いハードウェアオーバーヘッドを両立する代表的な手法として、計算アルゴリズム自身に誤り検出・訂正を行う冗長計算を導入する ABFT (Algorithm Based Fault Tolerance) が提案された [4] もの、その適用は線形的な計算アルゴリズムに限定されそれ以外には原理的に適用できない。そのため、文献 [5] では二重化した計算アルゴリズムの動作を維持しつつ適宜多数決演算を導入し、アルゴリズムの構造を変換することで利用可能な資源を削減しながら誤り検出可能なデータパスを合成している。一方、本研究で扱う耐故障手法では、アルゴリズム三重化による誤り検出・訂正可能な手法であり計算アルゴリズムの構造を変換することができないため、スケジュールや資源割当て、多数決演算の挿入位置の決定に課題が残されていた [1]。

本研究では、整数線形計画法と発見的手法により、与えられる計算アルゴリズムとあらかじめ決定されたポート演算の挿入位置から、上記の耐故障性を持ったスケジュールの生成と資源割り当てを行う手法を提案した。整数線形計画法による解法では小規模のアルゴリズムであるならば実行時間内でスケジューリングを完了できることを示し、発見的手法による解法では厳密解に迫る解を導き出せることを示した。これにより、アルゴリズム三重化による誤り訂正・可能なスケジュールを合成する手法を確立するに至った。

第2章 高位合成

この章では、VLSI の設計階層のひとつである高位合成について説明する。

2.1 高位合成の概要

VLSI の設計では、レイアウト合成やトランジスタレベル、論理レベル、レジスタ転送レベル、そしてシステムレベルといった様々な階層がある。ここでの高位合成はレジスタ転送レベルを指し、計算アルゴリズムを入力とし演算器やレジスタ、マルチプレクサなどで構成されたデータパスを合成する設計技術である。本研究では、計算アルゴリズムをデータフローグラフと呼ばれる演算を頂点とした有向グラフで扱う。データフローグラフは演算集合を O 、演算間の依存関係を E としたとき、 $G=(O,E)$ で表される。図 2.1 に計算アルゴリズムの例と図 2.2 に対応するデータフローグラフ G の例、そして図 2.3 に出力となるスケジュールの例を示す。図 2.1 のアルゴリズムの例では、演算 1、2、3 で計算された値が変数 e 、 d 、 f へそれぞれ収められる。図 2.2 のデータフローグラフでは、頂点 $+_1$ が O_1 を、頂点 $*_2$ は O_2 を、そして頂点 $+_3$ は O_3 をそれぞれ表現している。図 2.3 のスケジュールは図 2.2 のデータフローグラフを加算器と乗算器をそれぞれ 1 つずつ利用可能としてスケジューリングした例である。

```
入力  $a, b, c$   
出力  $d, e, f$   
example{  
     $e = a + b;$  // $O_1$   
     $d = a * c;$  // $O_2$   
     $f = e + d;$  // $O_3$   
}
```

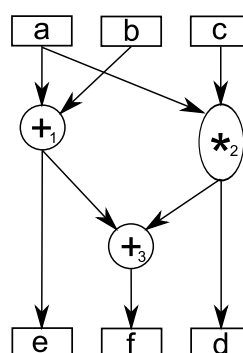


図 2.1: 計算アルゴリズムの例

図 2.2: 対応するデータフローグラフ G の例

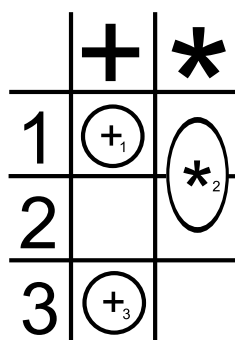


図 2.3: 出力されるスケジュールの例

2.2 演算のスケジューリング

演算のスケジューリングは、各演算間のデータの依存関係を保ちつつ各演算の実行時間を決定する処理である。スケジュールは $\sigma: V \rightarrow Z_+$ で表される。スケジューリングは、大きく分けて資源制約スケジューリングと時間制約スケジューリングの二種類がある。資源制約スケジューリングでは、各演算へつけられた優先順位に基づき各演算の実行時刻を決定するリストスケジューリングが主に用いられる。また、時間制約スケジューリングでは、スケジュールによる資源利用を確率的に評価しながら資源量が小さくなるようにスケジュールを決定する力学的スケジューリングが主に用いられる。なお、実行時間の上限と下限を見極めるための手段として資源数を無限大とした制約下で各演算の実行時間をできる限り早く定める ASAP (As Soon As Possible) (図 2.4) や同じく資源数を無限大とした制約下で各演算の実行時間をできる限り遅く定める ALAP (As Late As Possible) (図 2.5) が用いられる。

2.3 資源割り当て

資源割り当ては演算を実際に行う演算器の決定とデータを格納するレジスタの割り当てを行う処理である。演算器割り当ては F を演算器の集合としたとき $\rho: O \rightarrow F$ で表され、レジスタ割り当ては R をレジスタの集合としたとき $\xi: O \rightarrow R$ で表される。演算の種類には、加算や乗算、シフトそしてポート (多数決) などの種類があり、各演算に対して正しい演算器を割り当てる必要がある。データでは、割り当てようとするデータのビット長よりも大きいビット長を格納可能なレジスタへ割り当てる必要がある。変数では、演算を実行する時刻からデータを保持しなければならない時刻をライフタイムと呼ばれ、ライフタイムが重なる場合は同一のレジスタを割り当てることはできないが、ライフタイムの異なる場合は同一のレジスタを利用することができる。図 2.6 はレジスタ割り当て ξ の一例である。

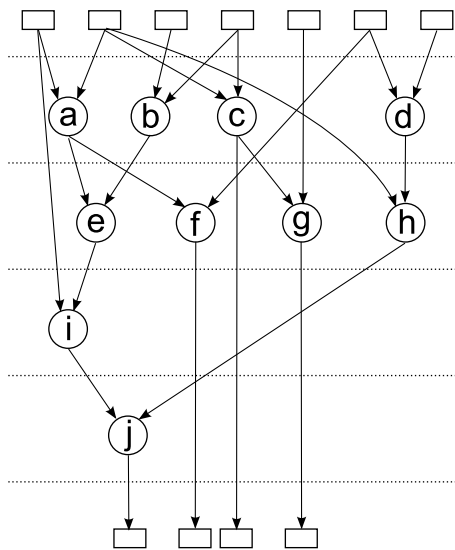


図 2.4: ASAP によるスケジューリングの例

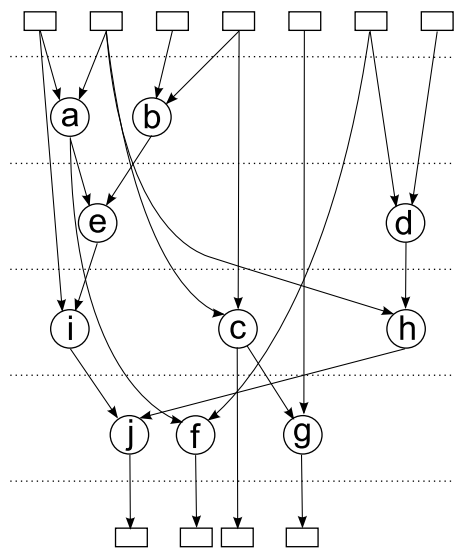


図 2.5: ALAP によるスケジューリングの例

	reg1	reg2	reg3
0	b	a	c
1	e		d
2			
3		f	

図 2.6: レジスタ割り当ての例

第3章 耐故障化手法

この章では、本研究で扱う耐故障手法の概要を説明する。

3.1 ハードウェアと故障のモデル

データパスの構成要素を演算器、レジスタ、マルチプレクサ、ポータ (多数決回路)、結線とする。それぞれの構成要素を以下のように定義する。

- 演算器は2入力1出力とする。
- レジスタは1入力1出力とする。
- マルチプレクサは多入力1出力とする。
- ポータは3入力2出力とする。
- 結線は1入力多出力とする。

これらの各構成要素に対して故障モデルを以下のように定義する。

- 演算器とその出力を、他の構成要素へ伝達する結線または演算器への入力信号を選択するマルチプレクサと、その出力を演算器へ伝達する結線が正しい値を出力しない。(図 3.1)
- レジスタとその出力を、他の構成要素へ伝達する結線またはレジスタへの入力信号を選択するマルチプレクサと、その出力をレジスタへ伝達する結線が正しい値を出力しない。(図 3.2)
- ポータがポートした結果出力される信号、または誤った値の入力元レジスタを指定する信号のいずれかもしくは両方と、その出力を他の構成要素へ伝達する結線が正しい値を出力しない。(図 3.3)

定義1 上のいずれかに該当する故障が k 個だけであるときかつそのときに限り「 k 故障」と呼ぶ。

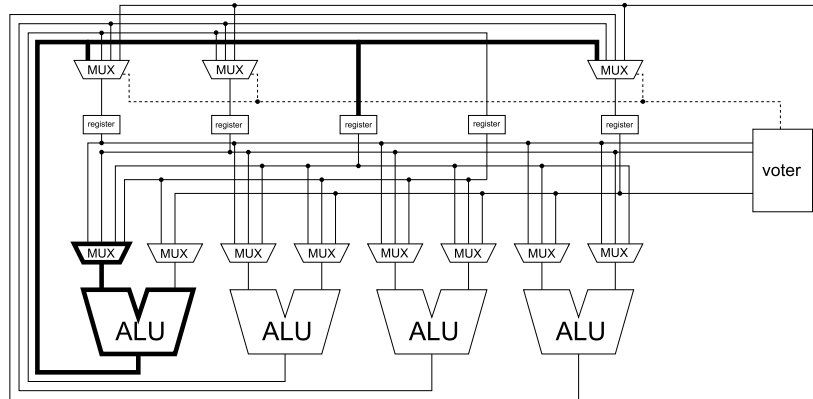


図 3.1: 故障モデル 1

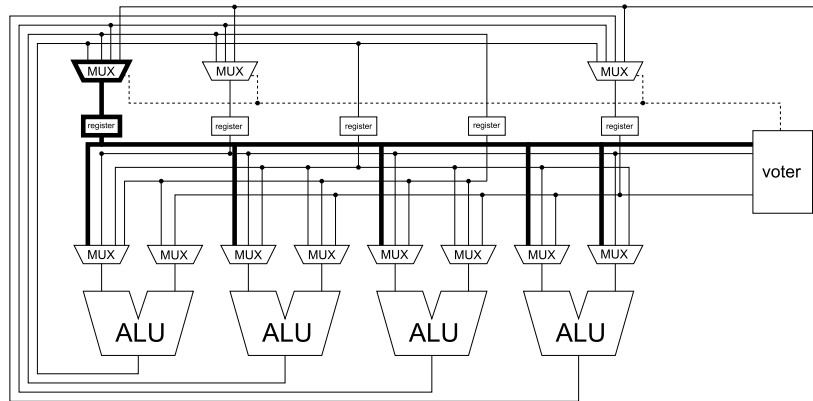


図 3.2: 故障モデル 2

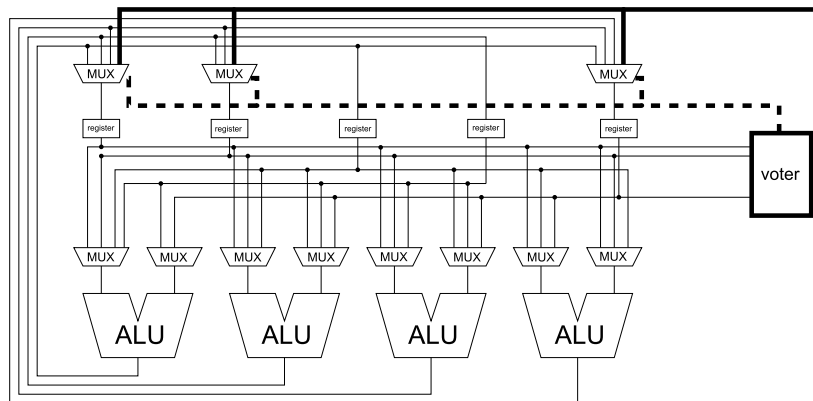


図 3.3: 故障モデル 3

3.2 ボート演算による誤り訂正の方式

ここでは、ボート演算による誤り訂正の方式について代表的なものとして本研究での手法について説明する。図 3.4 は、モジュール三重化の例である。モジュール三重化による耐故障では、モジュール A から出力された値をボータによって多数決することで故障したモジュール A により出力された誤った値を、ボータより後で実行されるモジュール B へ送出不いことで耐故障化を実現する。しかしながら、ボータ自身が故障してしまった場合、ボータより後で実行されるモジュール B へ誤った値が送される可能性がある。そこで、図 3.5 のようにボータ自体も三重化することでボータが故障してもボータより後で実行されるモジュール B へは誤った値が高々 1 つ送されることで耐故障化を実現できる。しかしながら、配線が複雑になるため製造コストが高くなる欠点がある。図 3.6 は本研究で扱う耐故障手法である。モジュール A から出力された値はそのままモジュール B へ渡されると同時に多数決を行う。多数決結果により誤りが発見された場合は、該当するモジュール B への入力は多数決結果を用いる。具体的には、ALU の計算結果はレジスタへ渡され必要なくなるまでその値を保持するが、レジスタへ収められた値をボータでポートし、誤った値を保持しているレジスタへはポート結果の値を上書きする。この方式では、ボータ自身が故障した際でもモジュール A のいずれかが故障した際でもモジュール B へは誤った値が高々 1 つ送されるため、耐故障化を実現できる。

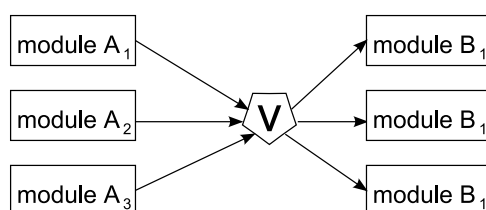


図 3.4: Triple Modular Redundancy

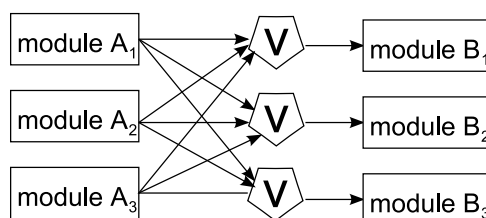


図 3.5: ボータも三重化された Triple Modular Redundancy

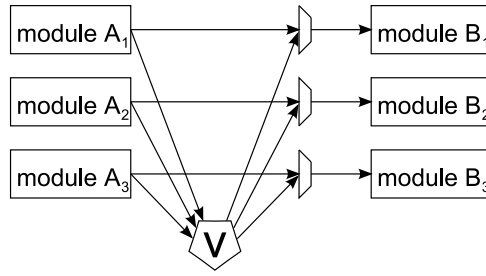


図 3.6: 本研究での耐故障手法

3.3 耐故障データパス

前述のハードウェアモデルおよび故障モデルを実現するために、与えられるデータフローグラフ G を三重化し、ポートする演算が出力される変数へポート演算を挿入することで耐故障化する。三重化されたデータフローグラフの演算をそれぞれ O_1 、 O_2 、 O_3 とし、その演算間の依存関係を E_1 、 E_2 、 E_3 とすると、三重化されたデータフローグラフは $\tilde{G}=(O_1 \cup O_2 \cup O_3, E_1 \cup E_2 \cup E_3)$ と表せる。

この耐故障システムには、以下の問題がある。

1. ポート演算を挿入する位置の決定

ポート演算は耐故障性ができうる限り高くなるように、かつ少ない実行時間でスケジュールできるような箇所へ挿入しなければならない。図 5.24 と図 5.26 はポータの挿入位置によってコントロールステップが変化する例である。また、図 5.25 は図 5.24 よりポータ挿入位置を増やすことによりコントロールステップが増加する例である。

2. アルゴリズムを時間とハードウェア上へのマッピング

スケジュールや演算器割り当て、レジスタ割り当て、ポート演算のポータへの割り当ては耐故障性を維持しなければならない。

定義 2 与えられる計算アルゴリズム G から生成される三重化したデータフローグラフ \tilde{G} において、ひとつのポートした変数およびプライマリ出力からさかのぼって、プライマリ入力または他のポートにポートされた変数までの部分グラフをコーンと呼ぶ。(図 3.7)

ここで、三重化されたデータフローグラフから資源割り当てとスケジューリングをする際に必要となる 2 つ条件を導入する。

条件 1 与えられる計算アルゴリズムから生成される三重化したデータフローグラフのどのコーンの演算の集合または変数の集合に関して、互いに同じ演算器およびレジスタを含まない。

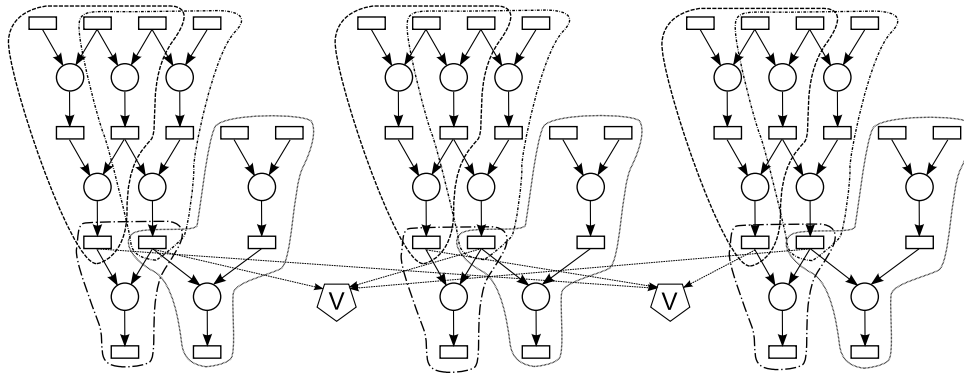


図 3.7: コーンの場合

条件 2 与えられる計算アルゴリズムから生成される三重化されたデータフローグラフのコーンへの入力および出力に対してポートを行うポートはすべて異なるポートである。

このとき、以下の定理が成り立つことが知られている。

定理 1 条件 1 と条件 2 を満たすときかつそのときに限り、任意の単一故障に対して三重化されたデータフローグラフのそれぞれ三重化されたプライマリ出力の中に、誤りはそれぞれ高々一つである

図 3.9 にポートに着目した冗長化アルゴリズムによって耐故障化されたデータフローグラフを、図 3.9 に条件 1 と条件 2 を満たす耐故障化されたスケジュールの例を示す。

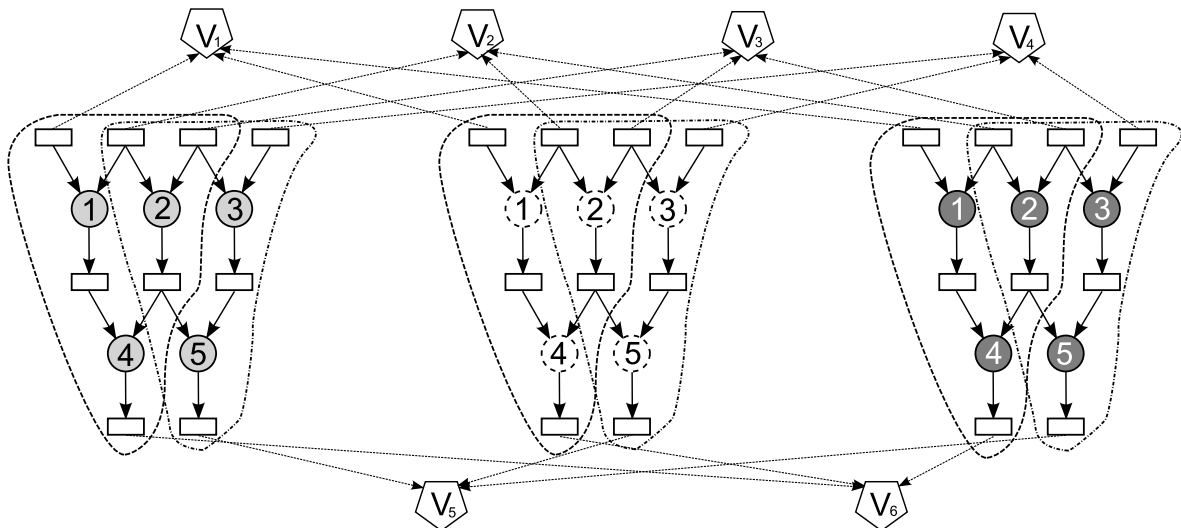


図 3.8: ポータに着目したデータフローグラフ

	ALU1	ALU2	ALU3	ALU4	ALU5	Voter1	Voter2	Voter3	Voter4
1						V_1	V_2	V_3	V_4
2	②	①	②	①	②				
3	③	③	③	④	①				
4	⑤	④	⑤	⑤	④				
5						V_6			V_5

図 3.9: 条件 1 と条件 2 を満たす耐故障化されたスケジュール例

耐故障データパスの合成問題を以下のように考えることができる。

入力

- 与えられる計算アルゴリズムから生成されたデータフローグラフ G_{dfg}
- 利用可能な演算器数 C_{num}

出力

- 耐故障化された演算スケジュール σ
- G_{dfg} へ挿入するポート演算の位置 $V_{location}$

制約

- σ は条件 1、条件 2 を満足する。
- σ は演算の先行関係を満足する。

なお、耐故障化されることで性能が悪化することを避けるためにポート演算は耐故障化されたデータフローグラフのスケジュール σ のスケジュール長 (実行に必要なステップ数) S_v が、ポートされていないデータフローグラフのスケジュール長 S と同等であり、かつ耐故障性が極大になるように挿入するべきだが、スケジュールリングの手法が確立されていないためスケジュール長 S_v を得ることができない。ゆえに、ポート演算の挿入位置を発見することは困難である。そこで本研究では、ポート演算の挿入位置を考えない耐故障化された演算スケジュール σ を導出する。したがってポート挿入位置 $V_{location}$ はあらかじめ与えられることとして考え、耐故障化された演算スケジュール σ を導出するための手

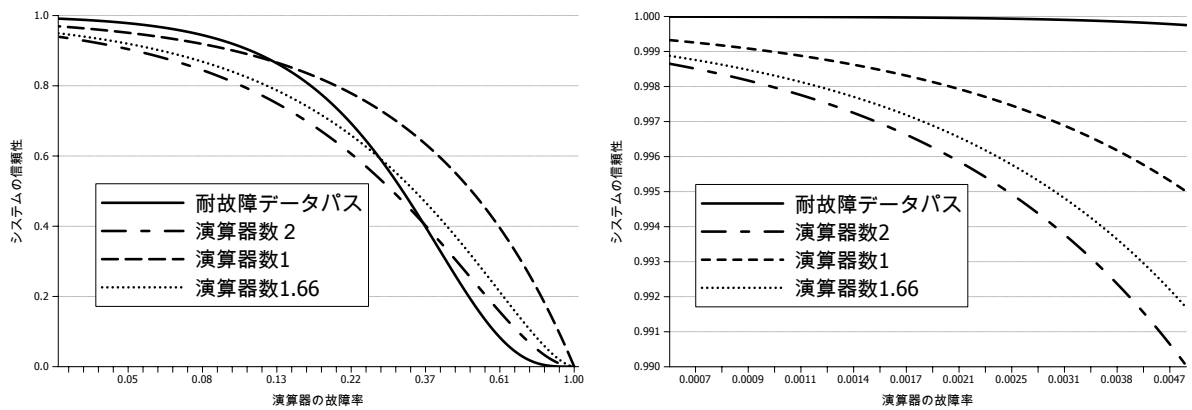


図 3.10: 演算器の故障率とシステムの信頼性の関係

法を提案する。ポート演算の挿入位置を決定する手法は、スケジューリング手法の確立を待ってから考える必要がある。

本研究で用いる耐故障技術の耐故障性について考える。議論を簡単にするため、すべての演算は演算器で実行可能とし、加算と乗算に分離しないこととする。また、演算器単体の故障確率を p とし、演算器数を α とする。このとき、耐故障化されていないデータパスが正しく動作する確率は $(1-p)^\alpha$ となり、耐故障化されているデータパスの正しく動作する確率は $(1-p)^\alpha + \alpha \cdot p \cdot (1-p)^{\alpha-1}$ となる [3]。ここでは、耐故障化されているデータパスの演算器数を 5 とする。また、耐故障化されていないデータパスの演算器数は、耐故障化されているデータパスより多重化されていないだけ少なく見積もる。耐故障化されていないデータパスの演算器数は $\frac{\text{演算器数}}{\text{多重化数}}$ で表し、演算器数は 5 で三重化されているため、耐故障化されていないデータパスの演算器数は $\frac{5}{3}$ となる。図 3.3 は、システム全体の信頼性を縦軸とし演算器単体の故障確率を横軸としたグラフである。耐故障データパスで演算器を 5 個用いた場合と、耐故障化されていないデータパスで演算器を 2 個、1.66 個、1 個用いた場合のシステム全体の故障率の関係を示している。耐故障データパスの信頼性が、耐故障化されていないデータパスで演算器数を 1.66 個用いる場合より下回るのは演算器単体の故障率が 0.26 を上回るときとなり、耐故障技術として有効なものである。

第4章 整数線形計画法によるデータパス合成

本研究では、与えられるデータフローグラフの演算の依存関係、利用可能な演算器の制約条件、ポータの割り当ての制約条件といった制限を、整数線形計画法による定式化を行い整数線形計画問題の求解ツールを用いてこれを解くことで厳密解となるスケジュールを得る。

4.1 ILP 定式化

三重化されたデータフローグラフ \tilde{G} のうちの一つのデータフローグラフ G_l の演算 i のことを $O_i^{(l)}$ とする。変数 $x_{ij}^{(l)}$ は1のとき $O_i^{(l)}$ を実行ステップ j で実行することを示し、 $v_{ik}^{(l)}$ は、1のとき $O_i^{(l)}$ を演算器 k で実行することを示す。実行ステップの範囲は $0 \sim cs$ 、演算器数は K 、ポータ数は M とする。

1. 各演算 $O_i^{(l)}$ は1回のみ実行される。この制約は変数 $x_{ij}^{(l)}$ のすべてのコントロールステップ i の総和が1であることで表すことができる。すなわち、(4.1) 式で与えることができる。これをすべての $\{i, l\}$ の組み合わせでそれぞれ定式化する。

$$\sum_{j=0}^{cs} x_{ij}^{(l)} = 1 \quad (4.1)$$

2. 各演算 $O_i^{(l)}$ は、1つの演算器のみで実行されなければならない。この制約は、変数 $v_{ik}^{(l)}$ のすべての演算器 k の総和が1であることで表すことができる。すなわち、(4.2) 式で与えることができる。これをすべての $\{i, l\}$ の組み合わせでそれぞれ定式化する。

$$\sum_{k=0}^K v_{ik}^{(l)} = 1 \quad (4.2)$$

3. 演算 $O_i^{(l)}$ と演算 $O_{i'}^{(l')}$ は同時に同じステップ j と同じ演算器 k を使うことはできない。この制約は (4.3) 式で与えられる。これをすべての $\{(i, i'), (l, l'), j\}$ の組み合わせでそれぞれ定式化する。

$$x_{ij}^{(l)} + v_{ik}^{(l)} + x_{i'j}^{(l')} + v_{i'k}^{(l')} \leq 3 \quad (4.3)$$

図 4.1 は (4.3) 式を満たさない例で、演算 $O_1^{(1)}$ と $O_2^{(1)}$ が同ステップで同一演算器を用いてスケジュールされているため、(4.3) 式の右辺が 4 となる。図 4.2 では、演算 $O_1^{(1)}$ と $O_2^{(1)}$ が同ステップだが違う演算器を用いてスケジュールされているため、(4.3) 式の右辺が 3 となり (4.3) 式を満たす例である。

	ALU1	ALU2	ALU3
1	$O_1^{(1)}$ $O_2^{(1)}$		$O_1^{(2)}$
2			
3			

図 4.1: (4.3) 式を満たさない例

	ALU1	ALU2	ALU3
1	$O_1^{(1)}$	$O_2^{(1)}$	$O_1^{(2)}$
2			
3			

図 4.2: (4.3) 式を満たす例

4. 二つの演算 $O_i^{(l)}$ と $O_p^{(l)}$ の間に $O_i^{(l)}$ が $O_p^{(l)}$ に先行するという依存関係があるとき、 $O_p^{(l)}$ が $O_i^{(l)}$ に先行してスケジュールされてはならない。この制約は、変数 x_{ij}^l を各コントロールステップ j で乗したものの総和することで演算 $O_p^{(l)}$ の実行ステップを表した $\sum_{j=0}^{cs} j \cdot x_{pj}^{(l)}$ と、変数 x_{ij}^l を各コントロールステップ j で乗したものを総和することで演算 $O_i^{(l)}$ の実行ステップを表した $\sum_{j=0}^{cs} j \cdot x_{ij}^{(l)}$ とを比較し、 $\sum_{j=0}^{cs} j \cdot x_{ij}^{(l)}$ が $\sum_{j=0}^{cs} j \cdot x_{pj}^{(l)}$ より小さくなる性質を利用することで表すことができる。従って、(4.4) 式で与えることができる。これをすべての $\{l, (O_i^l, O_p^l)\}$ の組み合わせでそれぞれ定式化する。

$$\sum_{j=0}^{cs} j \cdot x_{ij}^{(l)} < \sum_{j=0}^{cs} j \cdot x_{pj}^{(l)} \quad (4.4)$$

5. 二つの演算 O_i^l と $O_{i'}^{l'}$ が三重化されたデータフローグラフの対応するコーンに含まれるとき、これらの演算は条件 1 により同一の演算器を利用してはならない。この制約は、 $v_{ik}^{(l)}$ と $v_{i'k}^{(l')}$ の和が 1 以下である性質を利用することで表すことができる。すなわち、(4.5) 式で与えられる。これをすべての $\{k, (O_i^l, O_{i'}^{l'}), (l, l')\}$ の組み合わせでそれぞれ定式化する。

$$v_{ik}^{(l)} + v_{i'k}^{(l')} \leq 1 \quad (4.5)$$

図 4.3 は条件 1 を満たさない例であるため (4.5) 式を満たさない。なお、図 4.2 は (4.5) 式も満たす。

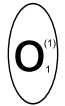
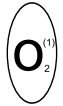
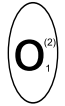
	ALU1	ALU2	ALU3
1			
2			
3			

図 4.3: (4.5) 式を満たさない例

変数 y_{ij} は 1 のときポート演算 O_i を実行ステップ j でポート演算することを示し、 w_{im} はポート演算 O_i をポータ m を用いて実行することを示す。

6. ポート演算 O_i は 1 回のみ実行されなければならない。この制約は変数 y_{ij} の各コントロールステップでの総和が 1 であることで表すことができる。すなわち、(4.6) 式で与えることができる。

$$\sum_{j=0}^{cs} y_{ij} = 1 \quad (4.6)$$

7. ポート演算 O_i は 1 つのポータのみでポート演算されなければならない。この制約は w_{im} のすべてのポータの総和が 1 であることで表せる。すなわち、(4.7) 式で与えることができる。

$$\sum_m^M w_{im} = 1 \quad (4.7)$$

8. 同一時刻において、同一のポータでは高々一つのポート演算だけが実行されなければならない。この制約は (4.8) 式で与えられる。

$$y_{ij} + w_{im} + y_{i'j} + w_{i'm} \leq 3 \quad (4.8)$$

図 4.4 は (4.8) 式を満たさない例で、ポート演算 O_1 と O_2 が同一ステップで同一のポータを用いてスケジュールされているため、(4.8) 式の右辺が 4 となる。

	ALU1	ALU2	ALU3	voter
⋮	⋮	⋮	⋮	⋮
1	$O_1^{(1)}$	$O_1^{(2)}$	$O_2^{(2)}$	
2				O_1 O_2
3				

図 4.4: (4.8) 式を満たさない例

9. ポート演算 O_i と演算 $O_p^{(l)}$ の間に O_i が $O_p^{(l)}$ に先行するという関係があるとき、 $O_p^{(l)}$ が O_i に先行してスケジュールされてはならない。この制約は、変数 $x_{pj}^{(l)}$ を各コントロールステップ j で乗したものを総和することで演算 $O_p^{(l)}$ の実行ステップを表したものと、変数 y_{ij} を各コントロールステップ j で乗したものの総和することで演算 O_i の実行ステップを表した $\sum_{j=0}^{cs} j \cdot y_{ij}$ とを比較し、 $\sum_{j=0}^{cs} j \cdot x_{pj}^{(l)}$ が $\sum_{j=0}^{cs} j \cdot y_{ij}$ より小さくなる性質を利用することで表すことができる。したがって、この制約は (4.9) 式で与えられる。これをすべての $\{k, (O_i^l, O_p^l)\}$ の組み合わせでそれぞれ定式化する。

$$\sum_{j=0}^{cs} j \cdot x_{pj}^{(l)} < \sum_{j=0}^{cs} j \cdot y_{ij} \quad (4.9)$$

10. また、 $O_{p'}^l$ が O_i に先行するという関係があるときの制約は、変数 y_{ij} を各コントロールステップ j で乗したものの総和することで演算 O_i の実行ステップを表した $\sum_{j=0}^{cs} j \cdot y_{ij}$ と、変数 $x_{p'j}^{(l)}$ を各コントロールステップ j で乗したものを総和することで演算 $O_{p'}^l$ の実行ステップを表したものとを比較し、 $\sum_{j=0}^{cs} j \cdot x_{p'j}^{(l)}$ が $\sum_{j=0}^{cs} j \cdot y_{ij}$ より小さくなる性質を利用することで表すことができる。したがって、この制約は (4.10) 式で与えられる。これをすべての $\{k, (O_i^l, O_{p'}^l)\}$ の組み合わせでそれぞれ定式化する。

$$\sum_{j=0}^{cs} j \cdot y_{ij} < \sum_{j=0}^{cs} j \cdot x_{p'j}^{(l)} \quad (4.10)$$

11. なお、実行に必要なスケジュール長 S を最小化するには (4.11) 式を与え、 S を最小化の目的変数とする。

$$\sum_j^{cs} j \cdot x_{ij}^{(l)} \leq S \quad (4.11)$$

4.2 実験結果

実験はすべて AMD Opteron250(2.4GHz) メモリ 8GB の計算機上で行い、整数線形計画問題の求解ツールは ILOG 社の CPLEX 11 と Donald Chai 氏の galena ²の双方を用いた。なお、galena では制約式に含まれる変数は 0 または 1 のみの扱いとなるため、スケジュール長 S を含む制約式では S を $128 \cdot S_7 + 64 \cdot S_6 + 32 \cdot S_5 + 16 \cdot S_4 + 8 \cdot S_3 + 4 \cdot S_2 + 2 \cdot S_1 + S_0$ と置き換え、双方の整数線形計画問題の求解ツールの入力とした。

表 4.1 に実験結果を示す。演算器は加算乗算をとともに処理でき、加算乗算ともに 1 ステップで実行可能とした。op. は演算数、vote はポート演算を挿入した位置、formula は式数、variable は変数数をそれぞれ表す。 G_{dfg} として、図 5.16 に示す differential equation benchmark(表 4.1 では DE と表記) と図 5.17 に示す four-order Jaumann wave digital filter benchmark(表 4.1 では JWF と表記)を用い、演算器数 C_{num} はいずれも 5 つ用いることとした。演算数が 10 の differential equation benchmark では、galena はいずれのパターンも 1 秒以内に解を導出したが、CPLEX ではいずれのパターンも多くの時間がかかった。演算数が 17 の four-order Jaumann wave digital filter benchmark は differential equation benchmark と比べ 5 倍以上の式を必要とするものの、galena では 8.91 秒という比較的短時間で解を導出できるパターンもあった。galena はメモリの関係上解を導出できずに終了してしまうパターンがあるがいずれも暫定解では優秀な解を導出している。CPLEX では計算開始 1 時間後の暫定解では優秀な解を導出できていない。

表 4.1: 整数線形計画法によるスケジューリング結果

benchmark	op.	vote	formula	variable	CPLEX		galena	
					solution	time(sec)	solution	time(sec)
DE	10	i	26627	504	7	250 [†]	7	0.38
		i,h	26570	520	8 ^{††}	>3600	7	0.64
		e	26627	504	7	1627 [†]	7	0.22
		e,h	26450	520	7	726 [†]	7	0.45
		h	26748	504	8 ^{††}	>3600	7	983.79
JWF	17	m	126311	1204	19 ^{††}	>3600	13	8.91
		j	124001	1204	18 ^{††}	>3600	12 [‡]	>3600
		j,h,i	121527	1250	19 ^{††}	>3600	12 [‡]	>3600

[†] 暫定解が下界値へ達するまでの時間

[‡] メモリ不足により停止したため暫定解を掲載

^{††} 計算開始後 1 時間以上経過したため計算を中止し暫定解を掲載

²<http://www.eecs.berkeley.edu/~donald/code/galena/> フリーウェア

第5章 発見的手法によるデータパス合成

前章では、整数線形計画法により解を求めようとしたものの、解を導出するまでの時間が莫大なものとなり大規模なアルゴリズムでは解を得ることが困難となる。この章では、大規模なアルゴリズムを与えた場合でも高速に解を得ることのできる発見的手法について議論する。

5.1 概要

図 5.1 に発見的手法の概要となるフローチャートを示す。まず与えられるデータフローグラフ G_{dfg} とポート演算の挿入位置 $V_{location}$ より個々のコーンを生成し、それぞれへあらかじめ資源を割り与えた後、スケジューリングの際にコーンへ与えられた資源を用いてコーンごとにスケジュールする。これは、スケジューリング中に逐次演算資源を割り当てる従来手法では耐故障性を持ったスケジュールを合成することが困難なためである。

図 5.2 にアルゴリズムを示す。まず、InsertVote 関数により与えられる計算アルゴリズムから生成されたデータフローグラフ G_{dfg} へポート演算を挿入することで耐故障化されたデータフローグラフを生成し、 G へ格納する。次に、FigurationCone 関数により耐故障化されたデータフローグラフ G からコーンを生成する。変数 T は、詳しくは 5.4 章で説明することになるが ResourceAllocation 関数で効率よく資源割当てをするために必要になる値で、変数 T は 0 から 2 の間で while ループを回るたびに $0 \rightarrow 1 \rightarrow 2 \rightarrow 0$ とローテーションする。while ループでは、ChoiceCone 関数によりある基準に従ってスケジュールが最小化されるようなコーンを選択し、ResourceAllocation 関数により選択されたコーンへ資源を割り当てる。最後に Scheduling 関数によりコーン内の演算をハードウェアと時間上にマッピングする。これをコーンすべてがスケジューリングされるまで while ループにより繰り返す。

5.2 コーンの選択

スケジューリングをする際に、スケジュールするコーンの順序によってスケジュール結果に影響を与える。図 5.3 は、図 5.17 に示す four-order Jaumann wave digital filter benchmark をコーンの選択を考慮せずスケジュールしたものである。図 5.24 と比較すればわかるが、この例では 1 ステップ増加しておりスケジュール結果に影響を与えることがわ

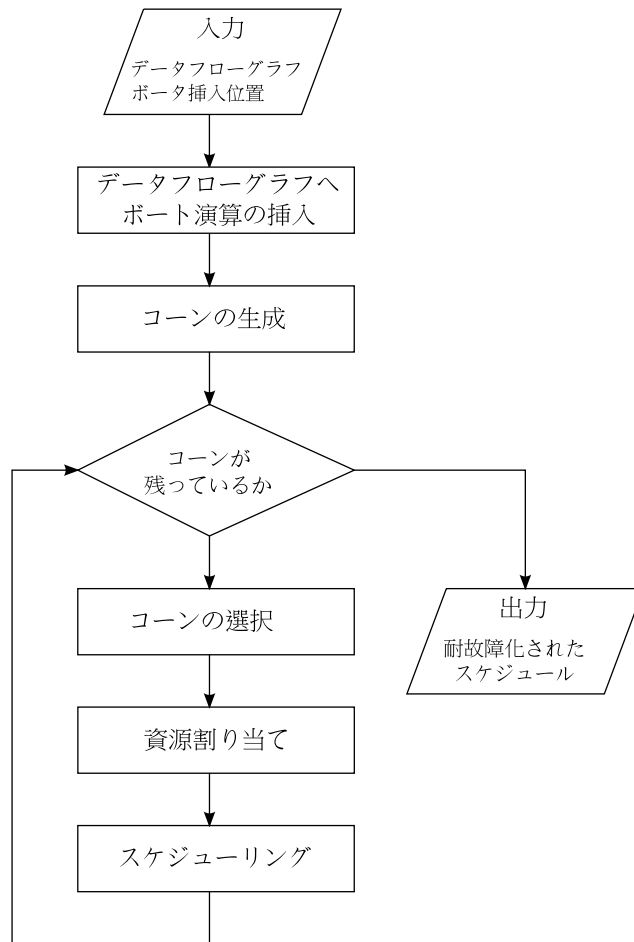


図 5.1: 提案手法フローチャート

入力 与えられる計算アルゴリズムから生成されたデータフローグラフ G_{dfg}
 G_{dfg} へ挿入するポート演算の位置 $V_{location}$
 利用可能な演算器数 C_{num}
 出力 耐故障化された演算スケジュール σ
HeuristicAlgorithm($G_{dfg}, V_{location}, C_{num}$){
 $G \leftarrow \text{InsertVote}(G_{dfg}, V_{location})$;
 $C \leftarrow \text{FigurationCone}(G)$;
 $T_{array} \leftarrow \{1, 2, 0\}$;
 $T = 0$;
 while($G \neq \emptyset$){
 $C_{picked} \leftarrow \text{ChoiceCone}(C)$;
 $o, o_{share} \leftarrow \text{ResourceAllocation}(C_{picked}, \sigma, T, C_{num}, C)$;
 $\sigma \leftarrow \text{Scheduling}(C_{picked}, \sigma, C, o, o_{share})$;
 $G \leftarrow G \setminus \{C_{picked}\}$;
 $T \leftarrow T_{array}[T]$;
 }
 }

図 5.2: 発見的手法の概要アルゴリズム

かる。なお、スケジューリングルーチンは次節で紹介する手法を用いており、スケジューリングに性能差はない。

この節ではスケジュール長 S を最小化するために、与えられるデータフローグラフより生成される複数のコーンから、スケジューリングを開始すべきコーンを選択する方法について議論する。本研究で扱うスケジューリングは ALAP の結果をプライオリティに繁栄させたリストスケジューリングであるが、コーンの選択でもそれを踏襲した手法で対応する。そのため、各演算に Max - ALAP 値のラベルを付け、コーンを選択する基準としてラベルを活用する。(図 5.4)

ここで、次の定義を導入する。

- 定義 3 コーンに含まれる演算につけられているラベルの数値のうち、最大となるものを「コーンの最大ラベル」と呼ぶ。(図 5.5)
- 定義 4 コーンに含まれる演算に付けられているラベルの数値のうち、最小となるものを「コーンの最小ラベル」と呼ぶ。(図 5.6)
- 定義 5 任意のコーン C_x への入力となるすべての変数へ、プライマリ入力の値またはポートされた値が格納されているときコーン C_x を「選択可能なコーン」と呼ぶ。

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	a_0	a_1	a_2	b_2	b_0
Step2	d_0	d_1	d_2	e_2	e_0
Step3	g_0	g_1	g_2	h_2	h_0
Step4	j_0	j_1	j_2	c_2	c_0
Step5	b_1	k_2		f_2	o
Step6	e_1	m_0	m_2	i_2	k_0
Step7	h_1	n_2	o_2	l_2	i_0
Step8	c_1	o_0	k_1		n_0
Step9	f_1	p_0	l_0		
Step10	i_1	q_0	p_2		
Step11	m_1	l_1	n_1		
Step12	o_1		q_2		
Step13	p_1				
Step14	q_1				

図 5.3: コーン選択を考慮しなかったスケジュール例 (ポート: j)

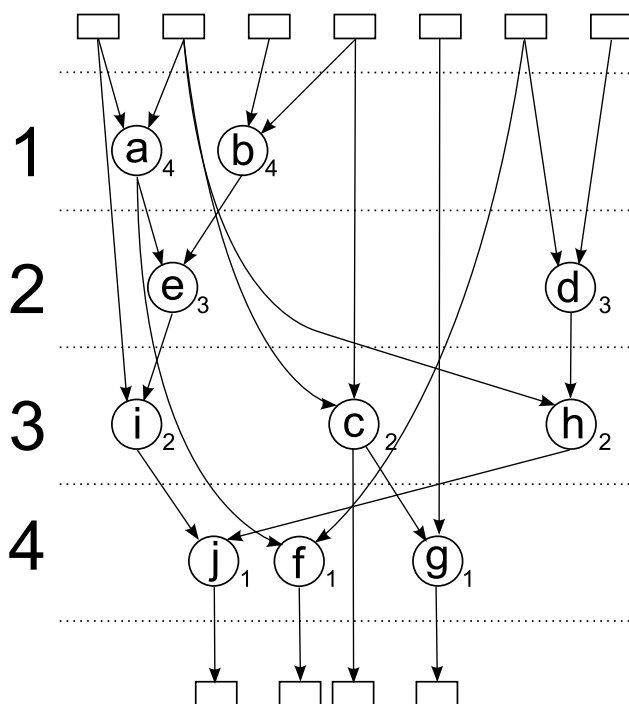


図 5.4: ラベル ($Max - ALAP$ 値) の例

図 5.5 と図 5.6 は、最初に選択可能なコーンを太めの実線または点線で演算を囲っている。黒く示されている部分それぞれが最初に選択可能なコーンの最大ラベルの付いている演算と、コーンの最小ラベルの付いている演算である。

コーンを選択する具体的なアルゴリズムは図 5.7 の通りである。

図 5.7 のアルゴリズムは、与えられる計算アルゴリズムとポート演算の挿入位置により生成されるコーン集合 C を入力として与える。まず、コーン集合 C から Executed 関数によりすでにスケジュールされているコーンを導き、それを C から除した集合を C_c へ格納する。次のステップでは、コーン集合 C_c に含まれるコーンから nonPreped 関数によりコーンへの入力となるすべての変数の実行ステップが決定されていないコーンを導き、それを C_c から除した集合を再び C_c へ格納する。ここまでのステップで、スケジュールリングへ進むことのできるコーンが選り出される。

これ以降が、実行に必要なステップ数を最小化するためのコーンを選択するステップとなる。 max -ALAP のラベルを付けたデータフローグラフのリストスケジューリングでは、スケジュールされた演算を除くデータフローグラフでのクリティカルパス上に存在する演算からスケジュールすることでスケジュール長 S を最小化する。そこで、コーンでもスケジュール済みのコーンを除くデータフローグラフでのクリティカルパス上に存在するコーンからスケジュールすることでスケジュール長 S を小さく抑える。そのために、 C_c に格納されているコーンから、MaxLabel_{コーンの最大ラベル} 関数によりコーンの最大ラベルの最大ラベルを導き、 L_{max} へいったん格納し、nonMatch_{コーンの最大ラベル} 関数によりコーンの最大ラベルが L_{max} とは一致しないコーンを導き、それを C_c から除する。

次に、MaxLabel_{コーンの最小ラベル} 関数によりコーンの最小ラベルの最大ラベルを導いたものを L_{min} へいったん格納し、nonMatch_{コーンの最小ラベル} 関数によりコーンの最小ラベルが L_{min} とは一致しないコーンを C_c から除する。これは、今回選ばれるコーンがスケジュールされることにより nonPreped 関数で導かれていたコーンから L_{max} に該当するラベルを持つコーンを除することで、次のコーンを選択する際に選択の幅を広げることで実行ステップを抑えるためである。

5.3 コーンへの演算資源割当て

選択されたコーンをスケジュールリングする際に、耐故障性を維持するために耐故障条件を満たすよう演算資源を割り当てなければならない。この節では、スケジュールリングする際に必要となる演算資源を選択されたコーンへ割り当てる手法について説明する。

ここで、次の定義を導入する。

定義 6 各演算器において、選択されたコーンで最初に実行される演算の実行が可能となるステップを始点として任意の演算器が最後に使われるステップまでの、演算器が利用されていない時間的空間の合計をそれぞれ「演算器のアイドルステップ数」と呼ぶ。

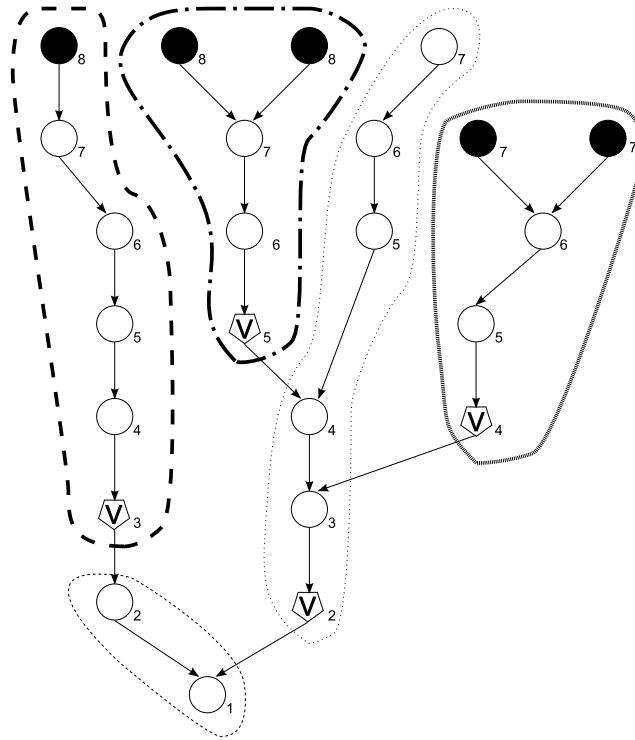


図 5.5: コーン最大のラベル

三重化されたデータフローグラフの任意のコーンへ資源を割り当てる際、演算資源の利用状況によりそれぞれのコーンの終了ステップにばらつきが生じることがある。これを防ぐため、割り当てる演算器の利用度合いをもとに割り当てる演算器を動的に決定することで、各コーンへ与えられる演算器のアイドルステップ数の平滑化を目指す。

ここで、表 5.1 から表 5.3 の 3 つのテーブルを示す。

このテーブルは、三重化されたデータフローグラフの任意のコーンそれぞれに対して資源を割り当てる際にもちいるもので、数字は演算器のアイドルステップ数の量の順位を表しており三重化されたデータフローグラフの任意のコーンは、それぞれ異なる行の数字の配列に従って演算器を割り当てられる。

テーブルはスケジューリングを実施するたびにテーブル 1 からテーブル 2 へ、テーブル 2 からテーブル 3 へ、テーブル 3 からテーブル 1 へローテーションされて使用される。コーンが他のコーンと演算を共有している場合は、共有している演算を同一の演算器で割り当てるためにアイドルステップ数の多い演算器を各三重化されたデータフローグラフの任意のコーンそれぞれへ、共有している演算のために少なくとも 1 つの演算器を共有用として割り当てる。この場合、共有していない演算のために割り当てられる演算器は、テーブルから共有している演算に割り当てた演算器を除外したものをローテーションして用いることで対処する。

なお、このテーブルの数値は 1 列目から任意の列までの各行の合計値がある程度一致す

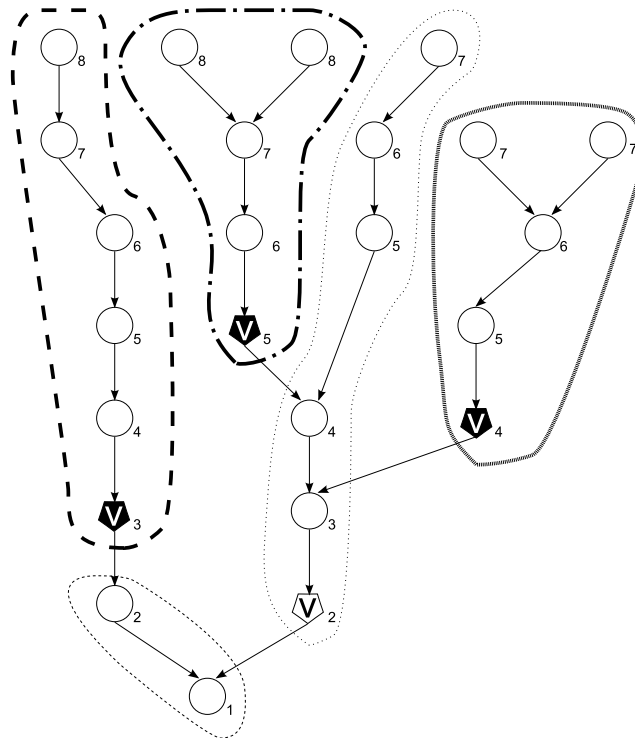


図 5.6: コーン的最小ラベル

入力 生成されたコーンの集合 C

出力 選択されたコーン C_{picked}

ChoiceCone(C) {

$C_c \leftarrow C \setminus \{ \text{Executed}(C) \} ;$

$C_c \leftarrow C_c \setminus \{ \text{nonPreped}(C_c) \} ;$

$L_{max} \leftarrow \text{MaxLabel}$ コーンの最大ラベル(C_c) ;

$C_c \leftarrow C_c \setminus \{ \text{nonMatch}$ コーンの最大ラベル(C_c, L_{max}) } ;

$L_{min} \leftarrow \text{MaxLabel}$ コーンの最小ラベル(C_c) ;

$C_c \leftarrow C_c \setminus \{ \text{nonMatch}$ コーンの最小ラベル(C_c, L_{min}) } ;

return $\text{Head}(C_c)$;

}

図 5.7: コーンの実行ルーチン

表 5.1: 演算器割り当てテーブル 1

G_1	1, 6, 7, 12, 13, 18, 19
G_2	2, 5, 8, 11, 14, 17, 20
G_3	3, 4, 9, 10, 15, 16, 21

表 5.2: 演算器割り当てテーブル 2

G_1	2, 5, 9, 10, 14, 17, 21
G_2	3, 4, 7, 12, 15, 16, 19
G_3	1, 6, 8, 11, 13, 18, 20

表 5.3: 演算器割り当てテーブル 3

G_1	3, 4, 8, 12, 15, 16, 20
G_2	1, 6, 9, 10, 13, 18, 21
G_3	2, 5, 7, 11, 14, 17, 19

るように配置されており、それを3つのテーブルで行と列を互いにローテーションしながら配置されている。このように配置することで、三重化された各コーンにある程度均等に演算資源が配当されるよう配慮している。

図 5.8 にこのステップのアルゴリズムを示す。まず、それぞれの演算器のアイドルステップ数を導くために必要となる S_{min} を導くために MinStep 関数により C_{picked} に含まれる任意の演算が実行可能になるステップの最小値を S_{min} へ格納する。次に、選択されたコーン C_{picked} と同時に資源を割り当てる必要があるため、 C_{picked} と演算を共有する他のコーンを SearchSharedCone 関数により $C_{relations}$ へ格納する。そして、演算器を割り当てるための基準となるアイドルステップ数を CountIdleTime 関数により数え o_i へ格納し、DescendingSort 関数により降順にソートすることで順位付けする。さらに、各コーンへ実際に演算を割り当てるために Allocation 関数により選択されたコーンと演算を共有する他のコーンへの演算器を割り当てる。

図 5.9 から図 5.12 は、Allocation 関数の処理についてわかりやすく記述したものである。Allocation 関数では、選択されたコーンに他のコーンと演算の共有している場合と共有していない場合では処理が異なる。演算を共有していない場合は、単純に $Table_T$ で与えられる演算器の順位のうち、 C_{num} 位までの演算器を割り当てる。(図 5.9)

演算を共有している場合は複雑になる。まず、 $Table_T$ で与えられる演算器の順位のうち C_{num} 未満の三の倍数位 r までを共有している演算用に割り当て、各コーンの演算に対しては T をローテーションしながら r より大きい順位の演算を割り当てる。(図 5.10 から図 5.12) 図 5.13 は、図 5.12 と $Table_T$ との関連性を示す。共有部分にテーブル 1 の最初の 1 列目の順位の演算器を割り当て、その他のコーンの演算へはテーブル 1 の 2 列目の順位

に基づく演算器割り当てと、ローテーション後のテーブル2の2列目の順位に基づく演算器割り当てがなされていることを表している。

```

入力  選択されたコーン  $C_{picked} : C_{picked_1} \cup C_{picked_2} \cup C_{picked_3}$ 
      スケジュール  $\sigma$ 
      使用するテーブル番号  $T$ 
      生成されたコーンの集合  $C$ 
      利用可能な演算器数  $C_{num}$ 
出力  演算資源割り当て  $o : o_1 \cup o_2 \cup o_3$ 
       $C_{picked}$  と共有する演算を持つコーンの演算資源割り当て  $o_{share}$ 
ResourceAllocation( $C_{picked}, \sigma, T, C_{num}, C$ ){
   $S_{min} \leftarrow \text{MinStep}(C_{picked})$  ;
   $C_{relations} \leftarrow \text{SearchSharedCone}(C_{picked}, C)$  ;
   $o_i \leftarrow \text{CountIdleTime}(S_{min}, \sigma)$  ;
   $\text{DescendingSort}(o_i)$  ;
   $o, o_{share} \leftarrow \text{Allocation}_{picked}(table_T, o_i, C_{picked}, C_{num}, C_{relations})$  ;
  return  $o, o_{share}$  ;
}

```

図 5.8: コーンへの演算資源割り当てルーチン

5.4 スケジューリング

ここでは、選択されたコーンのスケジューリング手法について説明する。Huのアルゴリズムとして知られる、演算のラベルである $max-ALAP$ の値が大きい演算からスケジューリングしていくリストスケジューリングで行う。図 5.14 のアルゴリズムは、スケジューリングの具体的なアルゴリズムである。入力として選択されたコーン C_{picked} 、これまでされてきたスケジュール σ 、演算資源割り当て o と o_{share} を与える。

まず、選択されたコーン C_{picked} の未スケジュールの演算を `nonScheduled` 関数により集合 $O_{nonScheduled}$ へ格納する。次に、while ループ内で `MaxLabel` 関数により未スケジュール演算 $O_{nonScheduled}$ からラベルが最大となる演算のうちの一つを o_{picked} へ格納する。さらに、演算 o_{picked} の実行可能となる時刻を `PossibleStep` 関数により導き $S_{possible}$ へ格納する。その後、`ChoiceComputingUnit` 関数により演算 o_{picked} へ割り当て可能な時刻と演算器をそれぞれ c_{pick} と S へ格納する。そして、`OperateAllocation` 関数によりスケジュール σ へ割り当てられる。最後にスケジュールされ終わった演算 o_{picked} を未スケジュールの演算集合 $O_{nonScheduled}$ から除き、 $O_{nonScheduled}$ が空集合になるまで while ループを繰り返す。

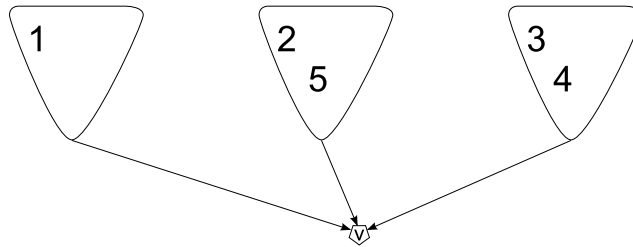


図 5.9: コーンへの資源割り当て (演算の共有が無い)

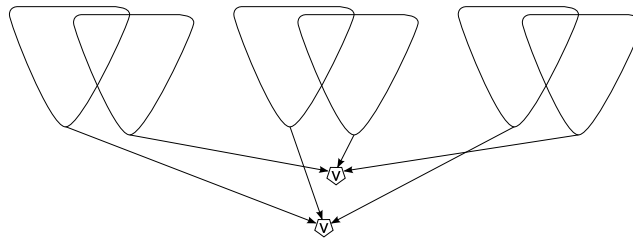


図 5.10: コーンへの資源割り当て (演算の共有がある) Step1 初期状態

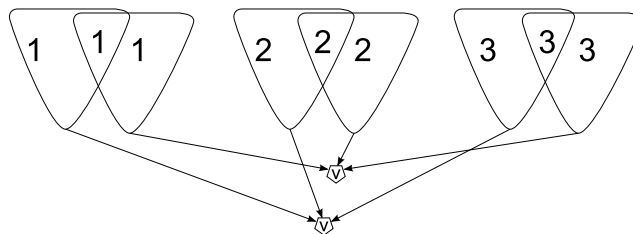


図 5.11: コーンへの資源割り当て (演算の共有がある) Step2 共有部分への割り当て

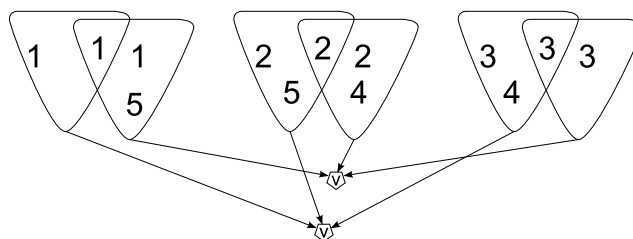


図 5.12: コーンへの資源割り当て (演算の共有がある) Step3 その他の部分への割り当て

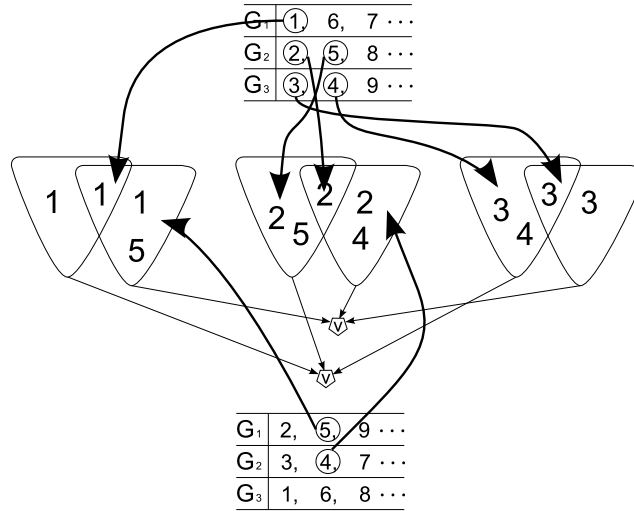


図 5.13: コーンへの資源割り当て (演算の共有がある) テーブルとの対応

まず、選択されたコーン C_{picked} と共有する演算を持つコーンに $table_T$ (ここではテーブル 1) の最初の列の値から共有用の演算器を割り当てる。次に $table_T$ の 2 列目の値から選択されたコーン C_{picked} の共有されていない演算用として演算器を割り当てる。さらに、 $table_{T_{array}[T]}$ (同テーブル 2) の 2 列目の値から、選択されたコーン C_{picked} と共有演算を持つコーンの、共有されていない演算用として演算器を割り当てる。

入力 選択されたコーン $C_{picked} : C_{picked_1} \cup C_{picked_2} \cup C_{picked_3}$
 スケジュール σ
 演算資源割り当て $o : o_1 \cup o_2 \cup o_3$
 共有演算資源割り当て $o_{share} : o_{share_1} \cup o_{share_2} \cup o_{share_3}$

出力 スケジュール σ

```

Scheduling( $C_{picked}, \sigma, o$ ) {
   $O_{nonScheduled} \leftarrow \text{nonScheduled}(C_{picked})$ ;
  do {
     $O_{picked} \leftarrow \text{MaxLabel}(O_{nonScheduled})$ ;
     $S_{possible} \leftarrow \text{PossibleStep}(O_{picked})$ ;
     $C_{pick}, S \leftarrow \text{ChoiceComputingUnit}(o, o_{share}, S_{possible}, \sigma)$ ;
     $\sigma \leftarrow \text{OperateAllocation}(C_{pick}, S, O_{picked}, \sigma)$ ;
     $O_{nonScheduled} \leftarrow O_{nonScheduled} \setminus O_{picked}$ ;
  } while ( $O_{nonScheduled} \neq \emptyset$ )
  return  $\sigma$ ;
}

```

図 5.14: スケジューリングルーチン

なお、ChoiceComputingUnit 関数は、図 5.15 に示すアルゴリズムで実装されている。ChoiceComputingUnit 関数では、演算資源割当て o と共有演算資源割当て O_{share} 、演算 O_{picked} が実行可能になる時刻 $S_{possible}$ 、そしてスケジュール σ を入力とし、演算 O_{picked} をマッピング可能な演算器と時刻を出力する。

まず、利用可能な演算器を o_{temp} へ格納し、共有演算器を利用中であることを判定するためのフラグ用変数 $u \rightarrow 0$ を代入する。次に、while ループで o_{temp} へ割り当てられた演算器のうちの一つを c_{pick} へ格納し、OperateAllocation 関数で、演算器 c_{pick} がステップ $S_{possible}$ へ演算 O_{picked} を割り当て可能かを確認後、割り当て可能であれば演算 O_{picked} を割り当てる。すでに演算器 c_{pick} がステップ $S_{possible}$ へ別の演算が割り当てられていた場合は、コーンへ割り当てられた別の資源を用いて割り当てるが、それでも割り当てできない場合は次のステップ $S_{possible} + 1$ で先の手順を繰り返す。

5.5 実験結果

実験は、発見的手法によるスケジューリングを Intel Core2Duo E7200 (3.6GHz) メモリ 4GB の計算機上で、解の正確さを比較するための整数線形計画法によるスケジューリングを AMD Opteron250(2.4GHz) メモリ 8GB の計算機上で行い整数線形計画問題の求解ツールとして Donald Chai 氏の galena を用いた。また、ポート演算以外の演算はすべて ALU によって行うこととし、ALU での実行にかかる時間はいかなる演算も 1 ステップを要することとした。なお、すべての実験で用いる演算器数は 5 とし、発見的手法では共有演算器数を 3、他のコーンと共有していない演算用の演算器を 2 として割り当てた。

図 5.4 に実験結果を示す。また、そのときのスケジュールの例を図 5.20、図 5.21、図 5.22、図 5.23、図 5.24、図 5.25、図 5.26、図 5.27、図 5.28、図 5.29 に示す。benchmark は入力となるデータフローグラフである。DE は Differential Equation Benchmark(図 5.16) を、JWF は four-order Jaumann wave digital filter benchmark(図 5.17) を、IDCT は IDCT column-mix(図 5.18) を、16FFT は 16point Fast Fourier Transform benchmark(図 5.19) をそれぞれ示す。データフローグラフの頂点数はそれぞれ 10、17、67、81 で 16FFT が最も大きい。vote はポート演算の挿入位置を示し、heuristic は発見的手法によるスケジューリング結果で、ILP solver は整数線形計画法による解を参考値として記載した。なお、図 5.4 の ILP solver の項目で time が N/A となっている部分は、整数線形計画問題の求解ツールへ入力する制約式を記述したファイルが数百 MB に達し、求解ツールへ入力することができないため実験を行っていない。そのため、このような整数線形計画法では事実上計算することのできない大規模なデータフローグラフでの発見的手法の精度を評価するために ideal lower という値を与える。ideal lower は、データフローグラフの演算数から三重化されたデータフローグラフのうち一つのデータフローグラフあたりの演算器数で割ったもので、どのように最適化されてもこの数値未満のステップ数でのスケジュールは不可能となる下限の数値となる。

提案手法は、Differential Equation Benchmark ではポート位置によって悪化するパター

入力 演算資源割り当て $o : o_1 \cup o_2 \cup o_3$
 共有演算資源割り当て $o_{share} : o_{share_1} \cup o_{share_2} \cup o_{share_3}$
 演算が可能になる時刻 $S_{possible}$
 スケジュール σ

出力 割り当て可能な演算器 c_{pick}
 割り当て可能な時刻 $S_{possible}$

ChoiceComputingUnit($o, o_{share}, S_{possible}, \sigma$){

:

```

 $o_{temp} \leftarrow o ;$ 
 $u \leftarrow 0;$ 
do{
  if( $o_{temp} = \emptyset$ ){
    if( $u = 0$ ){
       $o_{temp} \leftarrow o_{share} ;$ 
       $u \leftarrow 1 ;$ 
    } else {
       $S_{possible} \leftarrow S_{possible} + 1;$ 
      goto #;
    }
  }
   $c_{pick} \leftarrow \mathbf{Head}(o_{temp}) ;$ 
   $o_{temp} \leftarrow o_{temp} \setminus c_{pick} ;$ 
} while(CheckSpace( $c_{pick}, S_{possible}$ ) =  $\emptyset$ )
return  $c_{pick}, S_{possible} ;$ 
}
  
```

図 5.15: 演算器選択ルーチン

ンがあるもののほとんどのパターンで厳密解と同程度の答えを導出することができた。また、four-order Jaumann wave digital filter benchmark についても厳密解より悪化するパターンがあるものの厳密解と同程度の答えを導出することができた。IDCT column-mise では、ideal lower が 41 に対しスケジュール長は 44 と 43 となりスケジュール長が長い。しかしながら 16point FFT benchmark では ideal lower が 49 に対しスケジュール長は 50 となり良い結果を導いている。計算時間では、提案手法は今回用いたベンチマーク回路ではいずれも短時間で終了することができた。

表 5.4: 発見的手法のスケジューリングによる実験結果

benchmark	op.	ideal [†] lower	vote	heuristic		ILP solver	
				solution	time(sec)	solution	time(sec)
DE	10	7	i	7	<0.001	7	0.38
			i,h	8	<0.001	7	0.64
			e	7	<0.001	7	0.22
			e,h	7	<0.001	7	0.45
JWF	17	11	m	13	<0.001	13	8.91
			j	12	<0.001	12 [‡]	>3600
			j,h,i	14	<0.001	12 [‡]	>3600
IDCT	67	41	36,37,38,39 40,41,42,43	44	0.001	N/A [‡]	>3600
			21,22,23,30,31 33,34,35,36,37 39,40,42,43	43	0.002	N/A	N/A
			23,24,25,26,27 31,32,33,34,35	50	0.002	N/A	N/A
			36,37,38,39,40,41				

[†] ideal lower = $\frac{\text{データフローグラフの演算数 } op.}{\text{演算器数 } 5 / \text{多重化数 } 3}$

[‡] メモリ不足により停止したため暫定解を掲載

5.6 その他の手法による事例

図 5.5 に、提案手法においてコーンの選択に異なる手法を用いた例を示す。

この章のアルゴリズムを計算機上に実装する際、与えられるデータフローグラフの頂点の接続情報を保持するデータ構造に FILO(First In Last Out) となる構造を構成している。その仕様上の性質と入力とするデータフローグラフの特殊性によると思われる原因に

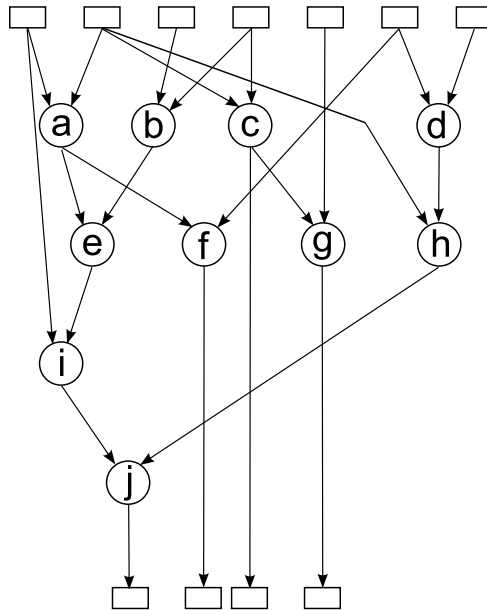


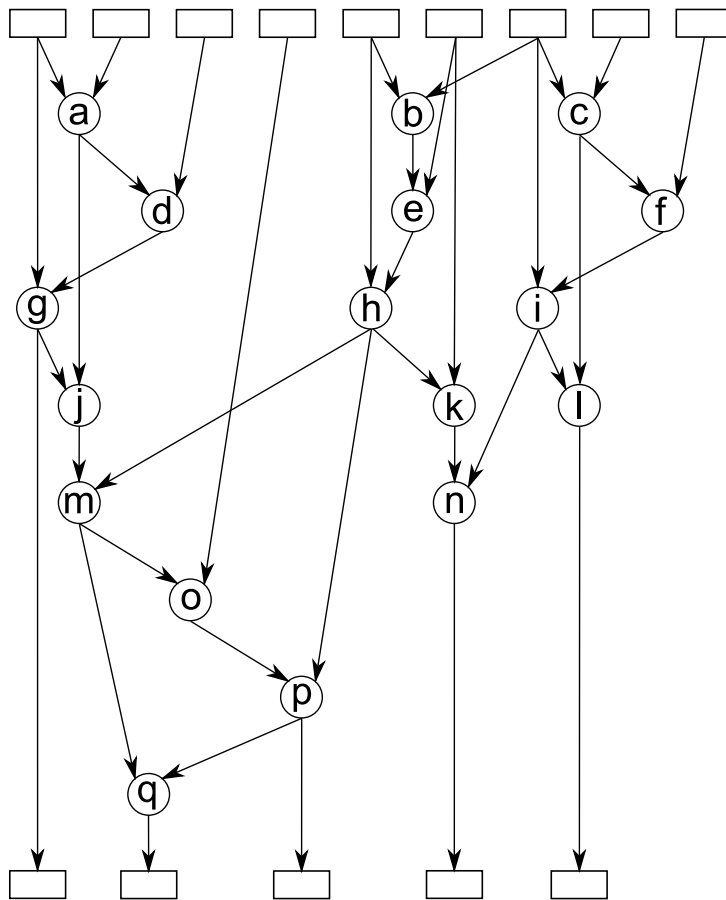
図 5.16: Differential Equation Benchmark

より、大規模なデータフローグラフにおいて意図しない改善が得られたため記録を残す。これは、コーンの選択手法の性能を検討する際に発見したもので、コーンの選択を実行せず直接スケジューリングルーチンへ渡すと発生する。なお、この節の説明はすべて状況説明となる。

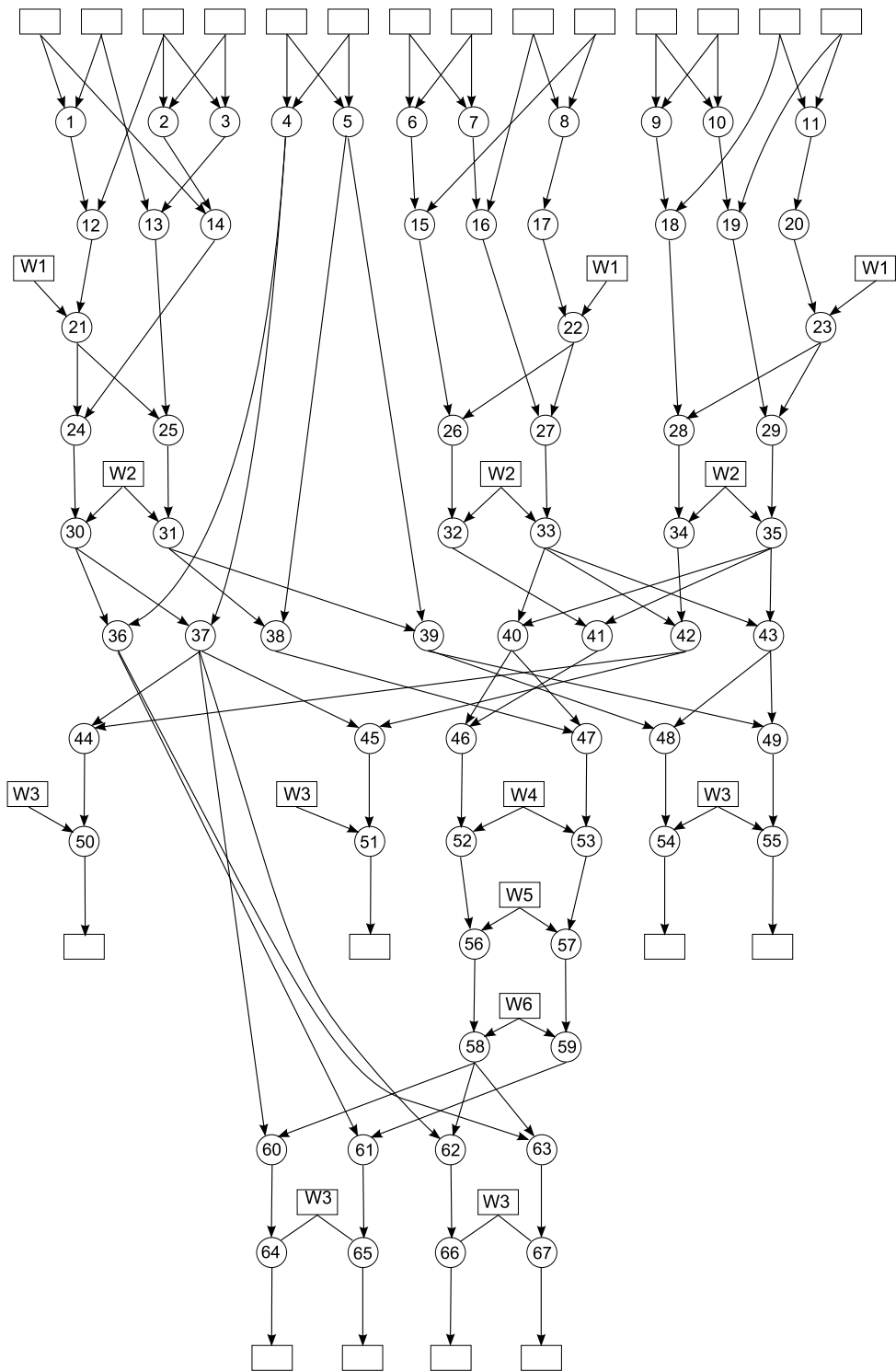
入力となるデータフローグラフの特殊性について説明する。本来、データフローグラフはC言語などで記述される動作記述から変換されることで生成される。しかしながら、実験で入力としたデータフローグラフはASAPによりスケジューリングがなされていた状態の図形で提供されている。それを手作業で接続関係を記述したファイルを作成していた関係上、頂点の接続関係情報は左から右、上から下へ向かって記述される。また、ASAPでスケジューリングされたデータフローグラフの図形は、その見栄えを良くするために左側に位置する頂点のラベルが大きくなるように配置されている。

計算機上に実装したプログラムは、FILOの性質に従って接続関係を記述したファイルとは逆方向に、データフローグラフの図形を下から上へ、右から左へと読んでいく。すなわち、コーンの規模の小さいもの、ラベルの小さい演算から選択される傾向が高くなる。注意すべきことは必ずしもラベルの小さい演算から読まれるとは限らないことだ。図5.18のIDCT column-miseがその例外のもっともたるものだが、結果となるスケジュールは改善されている。従って、発生原因の詳細は不明と言わざるを得ない。

なお、入力となる頂点の接続関係を記述したファイルの接続関係情報の記述の順序をランダムに入れ替えると、この手法では結果が悪化し(図5.3)、提案手法では悪化しないことがわかっている。



⊗ 5.17: four-order Jaumann wave digital filter benchmark



5.18: IDCT column-wise

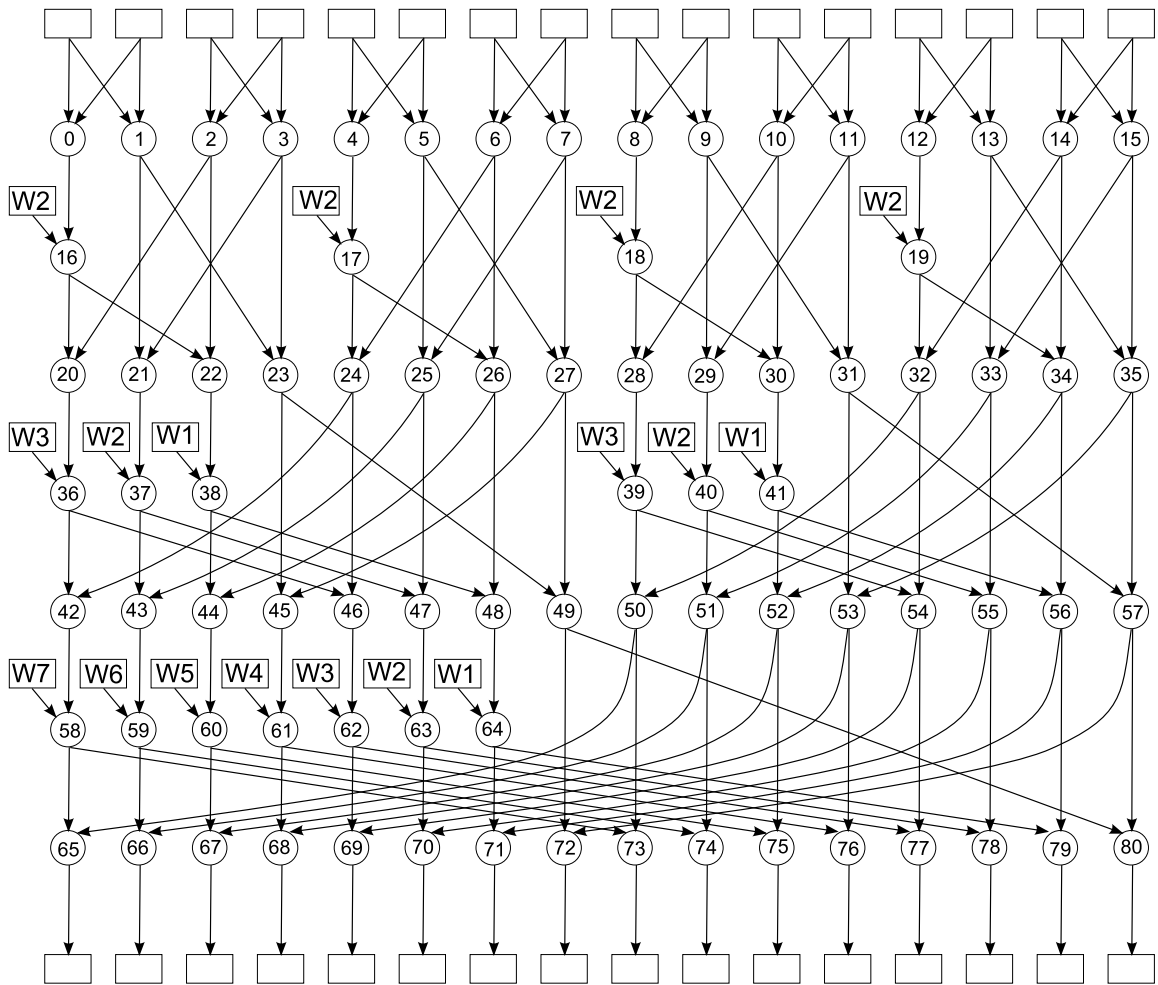


図 5.19: 16point FFT benchmark

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	a_0	a_1	b_2	b_1	b_0
Step2	f_0	d_1	a_2	e_1	e_0
Step3	d_2	h_1	e_2	i_1	i_0
Step4	h_2	c_0	i_2	f_2	f_1
Step5		g_0	d_0	c_1	c_2
Step6	j_2	j_1	h_0	g_1	g_2
Step7			jj_0		

図 5.20: DE 発見的手法によるスケジューリング (ポート: i)

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	a_0	a_1	b_2	b_1	b_0
Step2	f_0	d_1	a_2	e_1	e_0
Step3	d_2	h_1	e_2	i_1	i_0
Step4	h_2	c_0	i_2	f_2	f_1
Step5	c_1	g_0	d_0	c_2	
Step6	g_1		h_0	g_2	
Step7					
Step8	j_2	j_0	j_1		

図 5.21: DE 発見的手法によるスケジューリング (ポート : i, h)

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	a_0	a_1	b_2	b_1	b_0
Step2	f_0	d_1	a_2	e_1	e_0
Step3	d_2	h_1	e_2	f_2	f_1
Step4	h_2	c_2	e_0	c_1	c_0
Step5	i_2	i_1	h_0	i_0	g_0
Step6	j_2	j_1	j_0	g_1	
Step7		g_2			

図 5.22: DE 発見的手法によるスケジューリング (ポート : e)

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	a_0	a_1	b_2	b_1	b_0
Step2	f_0	d_1	a_2	e_1	e_0
Step3	d_2	h_1	e_2	f_2	f_1
Step4	h_2	c_0	d_0	c_1	c_2
Step5	i_0	i_1	h_0	i_2	g_2
Step6		g_0	g_1		
Step7	j_0	j_1		j_2	

図 5.23: DE 発見的手法によるスケジューリング (ポート : e, h)

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	a_0	a_1	a_2	b_2	b_0
Step2	d_0	d_1	d_2	e_2	e_0
Step3	g_0	g_1	g_2	h_2	h_0
Step4	j_0	j_1	j_2	c_2	c_0
Step5	b_1	k_0	k_2	f_2	f_0
Step6	e_1	m_2		i_2	m_0
Step7	h_1	o_2	n_2	l_2	o_0
Step8	c_1	p_2	m_1		p_0
Step9	f_1	q_2	o_1		q_0
Step10	k_1		p_1		i_0
Step11	i_1	n_0	q_1		
Step12	n_1	l_1	l_0		

図 5.24: JWF 発見的手法によるスケジューリング (ポート : j)

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	a_0	a_1	a_2	b_2	b_0
Step2	d_0	d_1	d_2	e_2	e_0
Step3	g_0	g_1	g_2	h_2	h_0
Step4	j_0	j_1	j_2	c_1	c_2
Step5	n_1	c_0	f_2		
Step6	e_1	f_0	i_2		
Step7	h_1	i_0			
Step8	f_1				
Step9	i_1	m_1	k_1	m_0	m_2
Step10	k_2	o_1		o_0	o_2
Step11	l_2	p_1	l_0	l_1	p_2
Step12	n_2	q_1	n_1	p_0	q_2
Step13		k_0		q_0	
Step14		n_0			

図 5.25: JWF 発見的手法によるスケジューリング (ポート : j, h, i)

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	a_0	b_1	b_2	a_2	a_1
Step2	b_0	e_1	e_2	d_2	d_1
Step3	d_0	h_1	h_2	g_2	g_1
Step4	e_0	c_1	c_2	j_2	j_1
Step5	g_0	f_1	f_2	m_2	m_1
Step6	h_0	k_1	i_2		k_2
Step7	j_0	i_1		k_0	n_2
Step8	m_0	n_1		l_2	l_1
Step9	c_0				
Step10	f_0		o_2	o_1	o_0
Step11	i_0		p_2	p_1	p_0
Step12	l_0		q_2	q_1	q_0
Step13				n_0	

図 5.26: JWF 発見的手法によるスケジューリング (ポート : m)

表 5.5: コーンを選択手法を変更した実験結果

benchmark	op.	ideal [†] lower	vote	heuristic		different	
				solution	time(sec)	solution	time(sec)
DE	10	7	i	7	<0.001	7	<0.001
			i,h	8	<0.001	9	0.001
			e	7	<0.001	8	<0.001
			e,h	7	<0.001	8	<0.001
JWF	17	11	m	13	<0.001	13	0.001
			j	12	<0.001	12	<0.001
			j,h,i	14	<0.001	13	<0.001
IDCT	67	41	36,37,38,39 40,41,42,43	44	0.001	41	0.002
			21,22,23,30,31 33,34,35,36,37 39,40,42,43	43	0.002	42	0.001
16FFT	81	49	23,24,25,26,27 31,32,33,34,35 36,37,38,39,40,41	50	0.002	49	0.002

† ideal lower = $\frac{\text{データフローグラフの演算数 } op.}{\text{演算器数 } 5 / \text{多重化数 } 3}$

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	11 ₀	11 ₁	11 ₂	6 ₂	6 ₁
Step2	8 ₀	8 ₁	8 ₂	15 ₂	15 ₁
Step3	20 ₀	20 ₁	20 ₂	1 ₁	1 ₂
Step4	10 ₀	10 ₁	10 ₂	3 ₁	3 ₂
Step5	6 ₀	17 ₁	17 ₂	12 ₁	12 ₂
Step6	17 ₀	23 ₁	23 ₂	21 ₁	21 ₂
Step7	23 ₀	19 ₁	19 ₂	13 ₁	13 ₂
Step8	19 ₀	22 ₁	22 ₂	25 ₁	25 ₂
Step9	22 ₀	29 ₁	29 ₂	26 ₂	26 ₁
Step10	15 ₀	35 ₁	35 ₂	32 ₂	32 ₁
Step11	29 ₀	7 ₁	7 ₂	41 ₂	41 ₁
Step12	26 ₀	16 ₁	16 ₂	31 ₁	31 ₂
Step13	35 ₀	27 ₁	27 ₂	5 ₁	5 ₂
Step14	32 ₀	33 ₁	33 ₂	38 ₁	9 ₀
Step15	41 ₀	40 ₁	1 ₀	43 ₂	40 ₂
Step16	7 ₀	39 ₂	28 ₀	9 ₁	43 ₁
Step17	16 ₀		12 ₀	18 ₁	18 ₀
Step18	27 ₀		21 ₀	28 ₁	28 ₀
Step19	33 ₀		13 ₀	34 ₁	34 ₀
Step20	38 ₂		25 ₀	40 ₀	42 ₀
Step21	43 ₀		31 ₀	42 ₁	2 ₂
Step22	39 ₁	46 ₁	5 ₀	2 ₁	14 ₂
Step23	46 ₂	38 ₀	9 ₂	14 ₁	24 ₂
Step24	52 ₂	52 ₁	18 ₂	24 ₁	30 ₂
Step25	56 ₂	56 ₁	28 ₂	30 ₁	4 ₂
Step26	37 ₂	58 ₁	34 ₂	4 ₁	36 ₂
Step27	58 ₂	36 ₁	42 ₂	37 ₁	46 ₀
Step28	47 ₀	47 ₂	39 ₀	47 ₁	52 ₀
Step29	53 ₀	53 ₂	2 ₀	53 ₁	56 ₀
Step30	57 ₀	57 ₂	14 ₀	57 ₁	58 ₀
Step31	59 ₀	59 ₂	24 ₀	49 ₂	59 ₁
Step32	55 ₂	49 ₀	30 ₀	48 ₁	49 ₁
Step33	48 ₀	55 ₀	4 ₀	54 ₁	55 ₁
Step34	36 ₀	37 ₀	54 ₀		
Step35		48 ₂			
Step36	63 ₂	62 ₁	63 ₀	63 ₁	61 ₁
Step37	67 ₂	66 ₁	67 ₀	67 ₁	65 ₁
Step38	61 ₀	61 ₂	62 ₂	62 ₀	60 ₀
Step39	65 ₀	65 ₂	66 ₂	66 ₀	64 ₀
Step40	45 ₀	54 ₂	60 ₁	60 ₂	45 ₂
Step41	51 ₀	45 ₁	64 ₁	64 ₂	51 ₂
Step42		51 ₁		44 ₁	44 ₂
Step43		44 ₀		50 ₁	50 ₂
Step44		50 ₀			

図 5.27: IDCT 発見的的手法によるスケジューリング (ポート : 36, 37, 38, 39, 40, 41, 42, 43)

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	11 ₀	11 ₁	11 ₂	8 ₂	8 ₀
Step2	20 ₀	20 ₁	20 ₂	17 ₂	17 ₀
Step3	23 ₀	23 ₁	23 ₂	22 ₂	22 ₀
Step4	8 ₁	1 ₁	1 ₂	1 ₀	10 ₀
Step5	17 ₁	12 ₁	12 ₂	12 ₀	19 ₀
Step6	22 ₁	21 ₁	21 ₂	21 ₀	29 ₀
Step7	10 ₁	10 ₂	7 ₂	7 ₀	35 ₀
Step8	19 ₁	19 ₂	16 ₂	16 ₀	7 ₁
Step9	29 ₁	29 ₂	27 ₂	27 ₀	16 ₁
Step10	35 ₁	35 ₂	33 ₂	33 ₀	27 ₁
Step11	3 ₁	3 ₂	3 ₀	9 ₀	33 ₁
Step12	13 ₁	13 ₂	13 ₀	18 ₀	9 ₁
Step13	25 ₁	25 ₂	25 ₀	28 ₀	18 ₁
Step14	31 ₁	31 ₂	31 ₀	34 ₀	28 ₁
Step15	9 ₂	2 ₂	2 ₀	2 ₁	34 ₁
Step16	18 ₂	14 ₂	14 ₀	14 ₁	40 ₁
Step17	28 ₂	24 ₂	24 ₀	24 ₁	5 ₀
Step18	34 ₂	30 ₂	30 ₀	30 ₁	4 ₂
Step19	40 ₂	40 ₀	a55 ₁	5 ₂	6 ₁
Step20	39 ₁	39 ₀	4 ₀	39 ₂	15 ₁
Step21	4 ₁	37 ₀	6 ₂	37 ₂	6 ₁
Step22	37 ₁	6 ₀	15 ₂	36 ₀	32 ₁
Step23	38 ₂	15 ₀	26 ₂	43 ₂	1
Step24	47 ₂	26 ₀	32 ₂	42 ₁	46 ₁
Step25	53 ₂	32 ₀	41 ₂		52 ₁
Step26	57 ₂	41 ₀	46 ₂		56 ₁
Step27	59 ₂	46 ₀	52 ₂		58 ₁
Step28	60 ₁	52 ₀	56 ₂	62 ₁	36 ₂
Step29	64 ₁	56 ₀	58 ₂	66 ₁	38 ₀
Step30	43 ₁	58 ₀	62 ₂	60 ₂	47 ₀
Step31	62 ₀	60 ₀	66 ₂	64 ₂	53 ₀
Step32	66 ₀	64 ₀	43 ₀		57 ₀
Step33	42 ₀	36 ₁	42 ₂		59 ₀
Step34	49 ₂	38 ₁	49 ₁	49 ₀	48 ₁
Step35	63 ₂	47 ₁	55 ₁	63 ₀	63 ₁
Step36	67 ₂	53 ₁	48 ₀	67 ₀	67 ₁
Step37	61 ₂	57 ₁	54 ₀	55 ₀	61 ₀
Step38	65 ₂	59 ₁	54 ₂	48 ₂	0
Step39	55 ₂	61 ₁	51 ₂	54 ₂	1
Step40	45 ₀	65 ₁	44 ₁	45 ₁	44 ₂
Step41	51 ₀		50 ₁	51 ₁	50 ₂
Step42				44 ₀	
Step43				50 ₀	

図 5.28: IDCT 発見的的手法によるスケジューリング (ポート:21, 22, 23, 30, 31, 33, 34, 35, 36, 37, 39, 40, 42, 43)

	ALU1	ALU2	ALU3	ALU4	ALU5
Step1	0 ₀	0 ₁	0 ₂	1 ₂	1 ₀
Step2	2 ₀	2 ₁	2 ₂	3 ₂	3 ₀
Step3	16 ₀	16 ₁	16 ₂	4 ₁	21 ₀
Step4	20 ₀	1 ₁	22 ₂	22 ₁	22 ₀
Step5	36 ₀	3 ₁	38 ₂	38 ₁	38 ₀
Step6	21 ₂	4 ₀	21 ₁	20 ₂	20 ₁
Step7	37 ₂	6 ₀	37 ₁	36 ₂	36 ₁
Step8	4 ₂	17 ₀	23 ₂	6 ₁	37 ₀
Step9	6 ₂	24 ₀	8 ₂	17 ₁	26 ₀
Step10	17 ₂	23 ₁	26 ₁	8 ₀	24 ₁
Step11	26 ₂	8 ₁	24 ₂	10 ₀	5 ₀
Step12	23 ₀	10 ₁	24 ₂	18 ₀	7 ₀
Step13	30 ₀	18 ₁	18 ₂	28 ₀	27 ₀
Step14	41 ₀	5 ₁	30 ₂	39 ₀	30 ₁
Step15	28 ₁	7 ₁	41 ₂	5 ₂	41 ₁
Step16	39 ₁	25 ₁	25 ₀	7 ₂	28 ₂
Step17	27 ₁	11 ₂	27 ₂	11 ₀	39 ₂
Step18	25 ₂	9 ₂	11 ₁	9 ₀	12 ₀
Step19	29 ₂	12 ₁	9 ₁	12 ₂	29 ₀
Step20	40 ₂	19 ₁	29 ₁	19 ₂	40 ₀
Step21	31 ₀	14 ₁	40 ₁	14 ₂	19 ₀
Step22	34 ₂	32 ₁	34 ₁	13 ₁	14 ₀
Step23	32 ₀	31 ₂	32 ₂	15 ₁	34 ₀
Step24	13 ₂	13 ₀	48 ₁	33 ₁	31 ₁
Step25	15 ₂	15 ₀	64 ₁	48 ₂	35 ₁
Step26	48 ₀	35 ₀	35 ₂	64 ₂	33 ₂
Step27	64 ₀	47 ₁	33 ₀	56 ₂	47 ₀
Step28	56 ₀	63 ₁	56 ₁	47 ₂	79 ₂
Step29	46 ₀	79 ₀	79 ₁	63 ₂	63 ₀
Step30	62 ₀	55 ₁	46 ₂	55 ₂	55 ₀
Step31	78 ₂	46 ₁	78 ₁	45 ₂	78 ₀
Step32	54 ₀	62 ₁	62 ₂	61 ₂	45 ₁
Step33	45 ₀	54 ₁	54 ₂	53 ₂	77 ₀
Step34	61 ₀	44 ₁	77 ₂	77 ₁	61 ₁
Step35	53 ₀	60 ₁	76 ₂	44 ₂	53 ₁
Step36	44 ₀	76 ₀	43 ₀	60 ₂	76 ₁
Step37	60 ₀	52 ₁	59 ₀	52 ₂	42 ₂
Step38	52 ₀	43 ₁	75 ₂	43 ₂	75 ₁
Step39	75 ₀	59 ₁	51 ₀	59 ₂	58 ₂
Step40	74 ₀	51 ₁	42 ₀	51 ₂	50 ₂
Step41	42 ₁	71 ₁	58 ₀	74 ₂	74 ₁
Step42	58 ₁	70 ₁	50 ₀	73 ₂	71 ₀
Step43	50 ₁	73 ₀	70 ₂	71 ₂	69 ₁
Step44	73 ₁	78 ₁	68 ₀	69 ₂	67 ₂
Step45	70 ₀	67 ₁	67 ₀	68 ₂	66 ₂
Step46	69 ₀	65 ₁	66 ₀	65 ₀	65 ₂
Step47	66 ₁	49 ₀	49 ₁	49 ₂	
Step48		57 ₀	57 ₁	57 ₂	
Step49	80 ₀	72 ₀		80 ₂	80 ₁
Step50	72 ₁				72 ₂

図 5.29: 16FFT 発見の手法によるスケジューリング
(ポート : 23, 24, 25, 26, 27, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41)

第6章 結論

6.1 まとめ

本研究では、与えられる計算アルゴリズムとボータ挿入位置から誤り検出訂正可能なデータパスの生成手法を考案した。整数線形計画法によるスケジューリングでは、頂点数17程度の小規模のデータフローグラフを入力として与えた場合ボータ演算の挿入位置の条件によっては実用時間内で解を導出できることを明らかにした。発見的手法によるスケジューリングでは、コーンに対して他のコーンとの共有関係を考慮して資源を割り当て、コーンごとにスケジュールし各演算へ資源を割り当てることで、きわめて短時間で解を導出することができ、かつ整数線形計画法による厳密解と遜色ない解を得ることのできる場合があることを明らかにした。また、コーンの選択によっては性能が改善される例があることを明らかにした。

6.2 今後の課題

提案手法では、すでにボータ演算の挿入位置を決定していたが、スケジュール長を可能な限り抑えつつボータ演算を増やすことで耐故障性をあげるためにこれを自動化する必要がある。また、コーンの選択手法によってスケジュール長が改善されることがわかっているため、これの最適な手法を考案する必要がある。レジスタ割り当ての実装も今後の課題である。

謝辞

本研究を行うにあたり、日頃から暖かくご指導いただいた金子峰雄教授、ならびに岩垣剛助教に心より感謝いたします。

また、有益なご助言、ご検討をいただいた金子研究室の皆様方に心より感謝いたします。

参考文献

- [1] 尾塩和亮, "冗長化アルゴリズムにおける資源共有を考慮した耐故障データパス合成", 北陸先端科学技術大学院大学, 修士論文, 2002.
- [2] Petra Michel, Ulrich Lauther, Peter Duzy, "The Synthesis Approach To Digital System Design", 1992.
- [3] 当麻善弘, 南谷崇, 藤原秀雄, "フォールトトレラントシステム構成と設計", 1991.
- [4] Kuang-Hua Huang, and Jacob A.Abraham, "Algorithm-Based Fault Tolerance for Matrix Operations", IEEE Transactions Computers, Vol.c-33, No.6, June 1984.
- [5] G.Lakshminarayana, A.Raghunathan, N.K.Jha, "Behavioral Synthesis of Fault Secure Controller/Datapaths Based on Aliasing Probability Analysis", IEEE Transactions Computers, Vol.49, Num.9, pp.865-885, September 2000.