

Title	制御のタイミングスキューおよびストールに基づく LSIチューニング
Author(s)	上原, 八弓
Citation	
Issue Date	2009-03
Type	Thesis or Dissertation
Text version	author
URL	<a href="http://hdl.handle.net/10119/8128">http://hdl.handle.net/10119/8128</a>
Rights	
Description	Supervisor:金子 峰雄, 情報科学研究科, 修士

# 制御のタイミングスキューおよびストールに基づく LSI チューニング

上原 八弓 (0710013)

北陸先端科学技術大学院大学 情報科学研究科

2009 年 2 月 5 日

キーワード: スキュー, ストール, チューニング可能 LSI, 混合整数線形計画法.

近年の半導体製造プロセスの微細化により, 今までの集積回路と比較して同じ面積で, より高性能な集積回路を製造することが可能となっている. しかしその反面, トランジスタの性能や配線抵抗などの製造時ばらつきが相対的に大きくなり, その結果, 回路中の信号伝播遅延の製造時ばらつきが相対的に大きくなってきている. 組み合わせ回路とレジスタが混在し, レジスタ間で組み合わせ回路を介した信号のやり取りを繰り返して動作する順序回路やデータパス回路において, 信号の送受信のタイミングは, 回路の動作を規定する重要な要素である. 信号伝播遅延のばらつきに対して正しい動作を保障するためには, 過大なタイミングマージンが必要となり, 性能向上の妨げとなっている. 高度電子社会の発展に伴い, 製造される電子機器に用いられる集積回路はより高性能なものを要求される中, この問題の解決は急務となっている.

この遅延ばらつきの問題に対し, 統計的な遅延解析を行い製造後の遅延量を分析し, 性能と歩留まりの兼ね合いを調整して回路を最適化しようとする手法が提案されている. こうした手法は, 最悪値評価に基づく設計よりも優れた性能を目標設定できるが, 製造ばらつき自体を抑えるものではないため, 製造後のチップの多くは, 設計時に設定された目標性能以上の性能を持ち得ることになる. 一方, 製造時の信号伝播遅延のばらつきを, 製造されたチップ毎の何らかの調整によって解決する方法が考えられる. この方式によれば (1) チップ毎の信号伝播遅延特性に応じた最高の性能を引き出すことが可能となり, また (2) チップ毎の信号伝播遅延特性に応じた調整を予め見込んで設計時の性能目標をより高く設定することも可能である. 実際に製造されたチップの性能に応じて回路を動作させる方法として, クロック周期の調整が考えられる. しかしながら, 注目している回路ブロックと他の回路ブロックとのインターフェースを考えたとき, 回路ブロック毎のクロック周期調整は, クロック信号の共通化の妨げとなるのみならず, 回路ブロック間のスムーズなデータの授受の妨げともなる. また製造後調整の利点として挙げた上述 2 点のうちの後者 (2) は, クロック周期調整では実現できない. 更に, ある一部分の信号伝播遅延の値の

みが悪化したとき，その箇所に対処するためだけに回路ブロック全体へのクロックの周期を大きくすることになり，システムとしての処理速度が著しく低下する恐れがある．

本研究では，データパス回路を対象とし，クロック周期を変更することなく，レジスタの書き込みタイミングを調整する2つの技術：(1) レジスタごとに書き込みタイミングをずらすスキュー調整，(2) 回路全体の書き込みタイミングをクロック周期に同期して以降のタイミングを遅らせるストール調整に注目する．スキュー調整のみを適用する場合，遅延のばらつき方によっては回路の動作を必ずしも保障できないという問題があり，ストール調整のみを適用する場合，任意の有限な遅延ばらつきに対して回路の動作を保障することができるが総実行制御ステップ数が増大するという問題がある．そこで本研究では，スキュー調整とストール調整が実行可能な回路方式を提案し，チップ毎の遅延量に応じて，高速にかつ，正しく動作するデータパス回路の合成手法を確立することを目的とする．この目的を達成するための第一段階として，従来の合成手法を用いて合成されたデータパス回路に対し総実行制御ステップ数の増加量を最小化する問題に取り組んだ．総実行制御ステップ数の増加量は総ストール数と等しいため，この問題は総ストール数を最小化する問題（ストール数最小化問題）として定式化することができる．ストール数最小化問題の計算複雑度は一般的には未解決であるが，総ストール数の最大値が定数で与えられる場合クラスPに属することを示した．また，ストール数最小化問題の厳密解法として，混合整数線形計画法により定式化した後にソルバを用いて解く手法を提案した．いくつかのベンチマーク回路と正規分布に従う乱数で与えられた遅延ばらつきに対して提案手法を適用した結果，提案手法の有効性が実験的に示された．本研究では，回路の性能評価尺度として総実行制御ステップ数に着目しているが，その他の重要な評価尺度として，総実行時間（クロック周期と総実行制御ステップ数の積）がある．総実行時間の最小化を目的としたときの提案手法の有効性を評価するための比較実験も併せて行った．比較対象手法として(1) クロック周期の調整のみを許す手法，(2) ストール数の調整のみを許す手法の2つを用いた．いくつかのベンチマーク回路と正規分布に従う乱数で与えられた遅延ばらつきに対して3つの手法を適用した結果，平均総実行時間が短い順に，手法(1)，提案手法，手法(2)という結果が得られた．なお，提案手法においてスキュー調整およびストール調整と併せてスケジューリングや資源割り当ても最適化することや，より実際的な遅延ばらつきを導入することにより，提案手法が他の手法に比べて優位に立てる可能性があると考えられる．

今後の課題として，提案手法が有効に働くデータパス回路の検討，スキュー調整機構，ストール調整機構の具体的な回路の検討，実際のスキュー量，ストール数設定手法の検討などが挙げられる．特に提案手法を活かしたデータパス回路については，入力と同じレジスタへ演算結果を書き戻すようなレジスタ割り当てではスキュー調整によるタイミング改善が有効にはたらかないことが判っており，レジスタ割り当てが重要な課題となっている．また，スキュー量，ストール数設定については，製造された回路の遅延量の測定の問題を解決する必要がある．また，製造された回路の具体的な遅延量を得ることなくスキュー量とストール数を調整する手法も興味深い検討課題である．