

Title	電界低減型スケーリング則を適用したトランジスタによる論理回路の性能向上に関する研究
Author(s)	福山, 陽平
Citation	
Issue Date	2010-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/8941
Rights	
Description	Supervisor:日比野 靖 教授, 情報科学研究科, 修士

修士論文

電界低減型スケーリング則を適用した トランジスタによる論理回路の 性能向上に関する研究

北陸先端科学技術大学院大学
情報科学専攻

福山 陽平

2010年3月

修士論文

電界低減型スケーリング則を適用した
トランジスタによる論理回路の
性能向上に関する研究

指導教官 日比野 靖 教授

審査委員主査 日比野 靖 教授
審査委員 金子 峰雄 教授
審査委員 田中 清史 准教授

北陸先端科学技術大学院大学
情報科学専攻

0810055 福山 陽平

提出年月：2010年2月

概要

本研究では、集積回路のさらなる高集積化、高速化、低消費電力化を実現するために、量子トンネル効果を抑える電界低減型スケーリング則を提案し、それを適用した論理回路でシミュレーション実験を行い、その有用性を示す。

目次

第1章	序論	1
1.1	研究の背景	1
1.2	研究の目的	2
1.3	本論文の構成	2
第2章	MOSFETとCMOS回路の概要	3
2.1	MOSFETの構造と動作原理	3
2.2	CMOS回路の遅延特性	5
2.3	CMOS回路の消費電力	6
2.4	サブスレッショルド特性	8
第3章	スケーリング則と量子トンネル効果	10
3.1	電界一定スケーリング則の性質	10
3.2	量子トンネル効果	13
第4章	電界低減型スケーリング則	17
4.1	電界低減型スケーリング則	17
4.2	電界低減型スケーリング則	17
4.3	短チャネル効果とは	19
4.4	短チャネル効果抑止策	24
4.4.1	閾値電圧	24
4.4.2	ゲート・オフリーク電流	25
4.4.3	ゲート・オン電流	28
第5章	MOSFETの設計	30
5.1	目的	30
5.2	高集積の実現方法	30
5.3	高速性の実現	30
5.4	低消費電力の実現	31
5.4.1	静的消費電力	31
5.4.2	動的消費電力	31
5.5	MOSFETデバイスのデザインルールの方針	32
第6章	シミュレーション実験	33
6.1	シミュレーション環境	33
6.2	MOSFET単体での評価	33
6.3	論理回路での評価	38

6.3.1	インバータ回路 (NOT回路)	38
6.3.2	NAND回路	39
6.3.3	XOR回路	42
6.3.3	全加算器回路	44
6.3.4	4ビット乗算回路	45
第7章	結論	49
付録A	容量評価	52
付録B	bsim4 MOSFET device ver4.0	54

第1章 序論

1.1 研究の背景

LSI の性能向上は主に、物理法則における比例縮小則（以下、スケーリング則と呼ぶ。） [1]とテクノロジーにおける微細加工技術によって支えられてきた。それは、微細化によって多数の素子を搭載できることによる多機能化と、素子や回路の動作速度の向上による高性能化、および低消費電力化が実現されてきたからである。ところが、その比例縮小によりゲート酸化膜厚は結晶格子数層分にまで薄くなり、量子トンネル効果によって酸化膜を透過して流れ出るゲートリーク電流が恒常的に発生し、トランジスタとして正常に機能しなくなって来ている。ゲートリーク電流に対する先行的取り組みとしては、high-k ゲート酸化膜[2]と呼ばれる、ゲート絶縁膜に厚みを持たせても電界を一定に保てる高誘電率材料が用いられている。これにより、トランジスタのオン抵抗を一定に保ちながらゲートリーク電流を低減させることに成功し、ハイエンドプロセッサ向けに積極的に採用され始めている。しかしながら、この手法はデバイス技術によって成されたものであり、新たな高誘電率材料の発見がない限り、従来の電界一定スケーリング則は限界に達すると考えられる。

一方で、改めて MOS 素子の動作原理と回路特性に立ち返って考察すると、比例縮小は、ゲート長、ゲート幅に留め、ゲート酸化膜厚を比例縮小しなくても、性能向上を図れる可能性があることが解かる。

1.2 研究の目的

本研究の目的は、量子トンネル効果を抑えるためにトランジスタのゲート酸化膜厚を固定しながらも、ゲート長、ゲート幅を比例縮小する電界低減型スケーリング則を提案し、集積回路の更なる高機能化、高速化、低消費電力化を実現することである。

1.3 本論文の構成

本論文は、第 7 章で構成する。第 2 章では先ず、提案手法を論じるための基礎として、MOSFET の構造と動作原理を示す。次に、CMOS 回路の遅延時間特性と消費電力について述べる。第 3 章では電界一定スケーリング則について述べ、量子トンネル効果の原理と、それがトランジスタに及ぼす影響に関して述べる。第 4 章では、本論文の主題である提案した電界低減型スケーリング則に関して述べ、それに起因する短チャネル効果の抑制策について述べる。第 5 章では、第 4 章で述べる抑制策と CMOS 論理の特性を考慮し、性能向上を図るための MOSFET の設計方針を決定する。第 6 章では、提案した手法の特性を予備的実験で明らかにした後、代表的な論理回路シミュレーションを行い、遅延時間、消費電力の観点から性能評価する。最後に第 7 章では、本研究の結論を述べるとともに、今後の課題について概観する。

第2章 MOSFET と CMOS 回路の概要

2.1 MOSFET の構造と動作原理

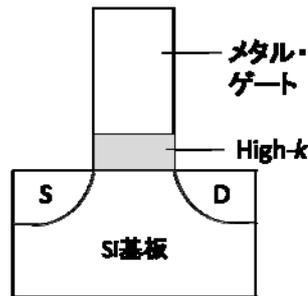


図 2.1 : MOSFET の縦構造 (メタルゲート・high - k 採用)

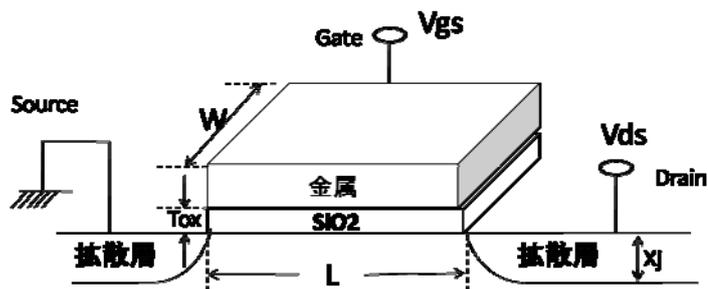


図 2.2 : MOSFET の構造

本節では、CMOS 回路の要素 (デバイス) である、MOSFET トランジスタ [3, 4] について述べる。

MOSFET は Metal Oxide Semiconductor Field Effect Transit の略で、絶縁膜を金属電極と半導体基板で挟んだ構造をしている。初期の MOSFET は、ゲートに金属電極を用いたが、その後、長い間、ゲートは金属ではなくポリシリコンによって形成されていた。しかし、MOSFET の微細化が進んだ近年は、ポリシリコンゲートから再びメタルゲートへと変わりつつある。また、メタルゲートを用いる際の絶縁膜は従来の酸化シリコンではなく、high-k と呼ばれる高誘電率な材料が用いられるようになってきている。図 2.1 に high-k とメタルゲートを採用した MOSFET の縦構造を示す。

次に動作原理について述べる。MOSFET の構造を図 2.2 に示す。MOSFET の基本的な動作原理は、nMOS トランジスタの場合、ゲート電極に加えられた電界の作用により生成されるソース・ドレイン間のチャンネルを流れる電子の振る舞いによる。ゲート・

ソース間に電圧がかかると、電子はチャネルに誘起された状態になる。その状態でドレイン・ソース間に電圧をかけると、ドレインからソースに電流が流れることにより動作するというものである。

次に、具体的な動作原理について述べる。nMOSFET の場合のキャリアは電子である。ゲート長 L 、電子の移動度 μ 、電子の移動速度 v 、ドレイン・ソース間の電界 E_{ds} とすると、電子の走行時間 τ はドレイン・ソース間電圧 V_{ds} が小さいとき、式 2.1 で表わされる。

$$\tau = \frac{L}{v} = \frac{L}{\mu E_{ds}} = \frac{L^2}{\mu V_{ds}} \dots\dots\dots (2.1)$$

ゲート・チャネル間の容量 C_g は、ゲート長 L 、ゲート幅 W 、ゲート酸化膜厚 T_{ox} 、誘電率 ϵ とすると、式 2.2 で表わされる。

$$C_g = \frac{\epsilon L W}{T_{ox}} \dots\dots\dots (2.2)$$

ゲートに蓄積される電荷の総量 Q は、ゲート・ソース間電圧 V_{gs} と閾値電圧 V_{th} との差の積となり、式 2.3 となる。 V_{ds} が小さいときのソース・ドレイン間に流れる電流 I_{ds} は、精確には電荷の総量 Q を時間で微分したものであるが、電荷の総量 Q を走行時間で除すという近似を行うと、式 2.4 で表わされる。

$$Q = -C_g (V_{gs} - V_{th}) = -\frac{\epsilon L W}{T_{ox}} (V_{gs} - V_{th}) \dots\dots\dots (2.3)$$

$$I_{ds} = -\frac{Q}{\tau} = \frac{\mu \epsilon W}{L T_{ox}} (V_{gs} - V_{th}) V_{ds} \dots\dots\dots (2.4)$$

このとき、式 2.4 で示したように、 I_{ds} が V_{ds} に比例する。つまり、トランジスタを抵抗素子と見なすことができる。式 2.5 にトランジスタのオン時の抵抗 (R_{on}) を示す。

$$R_{on} = \frac{V_{ds}}{I_{ds}} = \frac{L T_{ox}}{\mu \epsilon W (V_{gs} - V_{th})} = \frac{L^2}{\mu C_g (V_{gs} - V_{th})} \dots\dots\dots (2.5)$$

MOS トランジスタは、オン抵抗 R_{on} と次段ゲート容量 C_g の等価回路とみなせるため、応答時間は $R_{on} C_g$ を時定数とする指数関数となり、素子当たりの遅延時間 T_d は、式 2.6 で表わされる。

$$T_d = R_{on} C_g = \frac{L^2}{\mu (V_{gs} - V_{th})} \dots\dots\dots (2.6)$$

また、式 2.6 は配線遅延を考慮しない場合のゲート 1 段当たりの遅延時間となり、回路設計において回路動作を見積もる際に、極めて重要な指標となる。それは、回路動作はトランジスタのゲートから他のゲートへと信号を転送する過程で定まるからである。具体的に述べると、走行時間は、あるトランジスタのゲート上に置いた電荷の作用により、それとほぼ等しい電荷をそのトランジスタのチャネルを通じて、次段のトランジスタのゲートへと転送する場合に要する最小時間となる。つまり、基本トランジスタのもつ走行時間は、集積回路システムにおけるすべての時間の尺度となる基本的時間単位となる。

2.2 CMOS 回路の遅延特性

ここでは、p チャネルと n チャネルの MOSFET を相補形に配置した CMOS インバータ回路を例にとって説明する [5]。インバータを直列接続した時のものと、その等価回路を図 2.3 に示す。前段のインバータのゲートに High 信号が入力されるとゲート容量 $C_{g(i)}$ が充電され、前段の nMOS は導通状態になる。このとき、次段のゲート容量 $C_{g(i+1)}$ と前段の nMOS と pMOS の拡散容量 $C_{d(i)}$ の和の放電電流が、nMOS のオン抵抗で放電される。放電後、次段のゲートへの入力は Low レベルとなる。

前段に Low 信号が入力されると、pMOS が導通状態になり、次段のゲート容量 $C_{g(i+1)}$ と前段の nMOS と pMOS の拡散容量 $C_{d(i)}$ が充電される。よって、図中 V_a での遅延時間は、式 2.7 で表わされる。 C_L は駆動回路からみた等価負荷容量を表しており、駆動回路の拡散容量 (C_d)、配線容量 C_{ln} および負荷回路のゲート容量 C_g の合計である。また、 R_1 は配線抵抗である。

$$T_d = (R_{on} + R_l)C_L \\ = (R_{on(i)} + R_{l(i)})(C_{d(i)} + C_{l(i)} + C_{g(i+1)}) \dots\dots\dots (2.7)$$

このように、CMOS 回路における遅延は接続されるゲート間で発生する。各論理ゲートの負荷容量に対する遅延時間 T_d がわかれば、論理ゲートが N 個従属接続された回路のおおよその総遅延時間 T_{total} は、その回路を構成する論理ゲート間の各遅延時間 T_d を加算するだけで求めることが出来る。いま、i 段目の論理ゲートの平均遅延時間を $T_{d(i)}$ とすれば、 T_{total} は式 2.8 で表わされる。

$$T_{total} = \sum_{i=1}^N T_{d(i)} = \sum_{i=1}^N \{(R_{on(i)} + R_{l(i)})(C_{d(i)} + C_{l(i)} + C_{g(i+1)})\} \dots\dots (2.8)$$

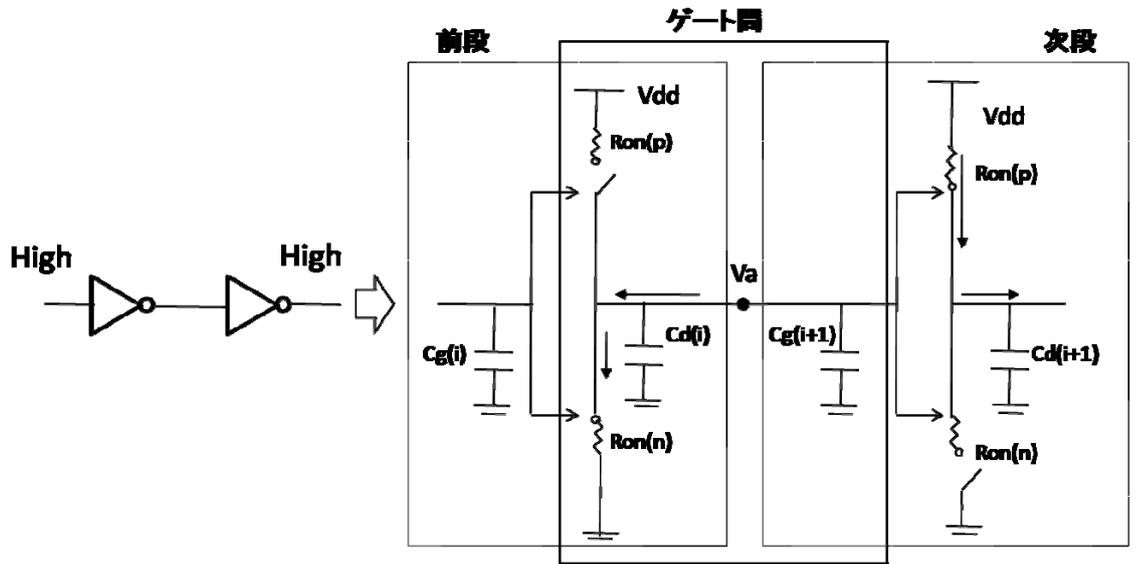


図 2.3 : インバータ直列接続と等価回路

2.3 CMOS 回路の消費電力

本節では、CMOS 集積回路の基本である CMOS インバータ 1 個の消費電力を例として詳細に述べ、次に CMOS 論理回路としての消費電力の算出法を示す。

1 個の CMOS インバータが消費する電力は、動作時消費電力 $P_{dynamic}$ と静的消費電力 P_{static} に分けられる。 $P_{dynamic}$ は 3 つの成分に分けられ、式 2.9 で表わされる。

$$P_{dynamic} = P_{cd} + P_{dp} + P_1 \dots\dots\dots (2.9)$$

ここで、 P_{cd} は等価負荷容量 C_L を充放電するために消費される電力、 P_{dp} は入力信号が変化したとき、電源からグラウンドに向けて過渡的に流れる貫通電流による消費電力、 P_1 は pn 接合の逆バイアス電流やサブスレッショルド電流による消費電力である。通常の動作状態では、 P_{dp} および P_1 は P_{cd} 比べると無視できるほど小さいので、式 2.9 は式 2.10 の関係で表わすことができる。

$$P_{dynamic} \cong P_{cd} \dots\dots\dots (2.10)$$

一方、静的消費電力 P_{static} は式 2.11 で表わされる。

$$P_{static} = P_1 \dots\dots\dots (2.11)$$

CMOS インバータ 1 個の消費電力は、図 2.3 で示したインバータ回路の動作より、pMOSFET を導通し等価負荷容量 C_L を電源電圧 V_{dd} まで充電したり、nMOSFET を導通することにより充電された電荷を放電して出力電圧を接地電位 0V まで下げるといった動作を交互に繰り返している。つまり、入力信号を反転して、これを出力信号としているが、このとき電力が消費される。充電時に pMOSFET に流れる電流を $i_p(t)$ 、出力電圧を $v(t)$ とすると、充電時に消費されるエネルギー E_c は式 2.12 で与えられる。

$$E_c = V_{dd} \int_0^\alpha i_p(t) dt - \int_0^\alpha i_p(t) v(t) dt \dots\dots\dots (2.12)$$

第 1 項は電源から供給されるエネルギー、第 2 項は負荷容量 C_L に蓄積されたエネルギーである。いま、 $i_p(t) dt = C_L dv(t)$ と置き、 $v(t)$ を 0 から電源電圧 V_{dd} まで積分すると、式 2.13 で表わされる。

$$E_c = C_L V_{dd} \int_0^{V_{dd}} dv(t) - C_L \int_0^{V_{dd}} v(t) dv(t) = \frac{C_L V_{dd}^2}{2} \dots\dots\dots (2.13)$$

これより入力信号の 1 周期期間 (1 回の充放電) で消費される総エネルギーは、放電時に消費されるエネルギーを合わせ、式 2.14 で表わされる。

$$E = C_L V_{dd}^2 \dots\dots\dots (2.14)$$

動作周波数を f とすれば、1 秒間で消費されるエネルギー、つまり等価負荷容量 C_L を f 回充放電するために費やされる電力 $P_{dynamic}$ は式 2.15 で表わされる。

$$P_{dynamic} = C_L V_{dd}^2 f \dots\dots\dots (2.15)$$

なお、この式はゲートだけでなくプロセッサの消費電力にも適用できる。

2.4 サブスレッショルド特性

ゲート電圧が閾値電圧以下で、半導体表面における反転状態が弱い場合のドレイン電流特性をサブスレッショルド (subthreshold) 特性、この動作領域をサブスレッショルド領域と呼ぶ[6, 7]。また、これはドレイン電流がゲート電圧に対して指数関数的に変化する領域でもある。この特性は、MOSFET トランジスタをスイッチ素子として使用する場合に重要な特性となる。その理由としては2点挙げられる。

1点目は、サブスレッショルド領域においてゲート電圧によるドレイン電流の変化率が大きいほど早くスイッチをON、OFFできる点。

2点目は、同じ閾値電圧のとき、閾値電圧以下で流れるゲート・オフリーク電流(もれ電流)の値が小さくなるからである。

サブスレッショルド領域におけるドレイン電流を求めるには、ドリフト電流と拡散電流の2つの成分を考える必要がある。nMOSFETを例にとり、チャネルのソース端を $y=0$ としてドレインに向かった方向に y 座標をとると、電流密度 J_n は、式2.16で表わされる。

$$J_n = -qn\mu_n E_y - qD_n \frac{dn}{dy} \dots\dots\dots (2.16)$$

ここで、 n は電子濃度、 μ_n は電子移動度、 E_y はドレイン電圧によって生じる電界、 D_n は電子の拡散定数、 dn/dy は電子の濃度勾配である。弱反転状態ではキャリアの数が少ないためドリフト電流($-qn\mu_n E_y$)は無視することが出来る。この場合のドレイン電流は式2.17で表わされる。

$$I_D = AJ_n = -AqD_n \frac{dn}{dy} = AqD_n \frac{n(0) - n(L)}{L} \dots\dots\dots (2.17)$$

ここで A はチャネルの断面積、 $n(0)$ はチャネルのソース端の電子濃度、 $n(L)$ はチャネルのドレイン端の電子濃度である。なお、電子濃度は各々式2.18で表わされる。

$$n(0) = n_i \exp\left\{\frac{q(\phi_s - \phi_{fb})}{kT}\right\} \dots\dots\dots (2.18)$$

$$n(L) = n_i \exp\left\{\frac{q(\phi_s - \phi_{fb} - V_{dd})}{kT}\right\}$$

ϕ_s はソースにおける表面電位、 ϕ_{fb} は基板バイアス電位である。式2.17と式2.18

からサブスレッショルド領域におけるドレイン電流は式 2.19 のように表わされる。

$$I_D = \frac{AqD_n n_i}{L} \exp\left(\frac{q\phi_s}{kT}\right) \exp\left(\frac{-q\phi_{fb}}{kT}\right) \left\{1 - \exp\left(\frac{-qV_{dd}}{kT}\right)\right\} \quad (2.19)$$

表面電位 ϕ_s は $V_{gs} - V_{th}$ で近似できるため、ドレイン電流はゲート電圧が閾値電圧より小さくなると、指数関数的に減少する。

サブスレッショルド特性の良好さを評価するパラメータとしてサブスレッショルド係数 (subthreshold voltage swing) S がある。 S は 1 桁のドレイン電流の変化に必要なゲート電圧と定義する。(式 2.20)

$$S = \frac{dV_{gs}}{d \log I_{ds}} \dots\dots\dots (2.20)$$

スイッチング素子として MOSFET トランジスタを使用する場合は、サブスレッショルド領域においてドレイン電流の傾きを大きくすることが素子の性能を向上させることになる。これは言い換えるとサブスレッショルド係数 S が小さいほど、電流の立ち上がりが鋭いためスイッチング特性が良く、同じ閾値電圧のときのゲート・オフリーク電流を小さく出来るということである。また、 S は、プロセスの微細化、低電圧化に関係なく、60mV/decade が原理的な最小値であり、通常は 70~100mV/decade である。なお、本研究で採用したデバイスモデルの基準 S 値は 80mV/decade である。

第3章 スケーリング則と量子トンネル効果

3.1 電界一定スケーリング則の性質

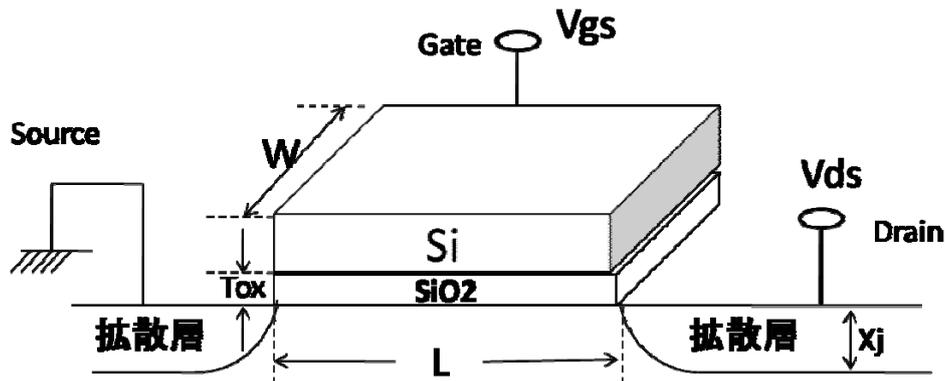


図 3.1 : MOSFET の構造

1974年に R. H. Dennard らによって提唱された電界一定スケーリング則は、素子の微細化によって LSI の高性能化が可能であることを示すものであり、集積回路技術の進むべき指標となった。電界一定スケーリング則の概念的発想は、図 3.1 のように MOSFET トランジスタをスイッチ素子と考えた場合、信号はソース (Source) 領域からドレイン (Drain) 領域へ、チャネル領域を通して伝わる。したがって、このチャネル長 L を短くすればスイッチング時間、つまり遅延時間を短くできるというものである。

以下、電界一定スケーリング則の原理および、パラメータの向上率、また電界一定スケーリング則の限界について述べる。

電界一定スケーリング則は、デバイス構造内の電界を一定にしたまま寸法を縮小するものであり、いま、ゲート長 L 、ゲート幅 W 、ゲート酸化膜厚 T_{ox} 、電源電圧 V_{dd} 、拡散層の接合深さ x_j を $1/k$ 倍、不純物濃度 k 倍にすると、集積密度 (式 3.1)、ゲート容量 (式 3.2)、ドレイン・ソース間電流 (式 3.3)、オン抵抗 (式 3.4)、回路遅延 (式 3.5)、トランジスタ単独の消費電力 (式 3.6)、CMOS ゲート当たりの消費電力 (式 3.7)、配線遅延 (式 3.8) は以下ようになる。

$$\text{集積密度} = \frac{\text{スケーリング後の面積}}{\text{スケーリング前の面積}} = \frac{\frac{L}{k} \times \frac{W}{k}}{L \times W} = \frac{1}{k^2} \dots\dots\dots \text{(式 3.1)}$$

$$\text{ゲート容量 } C_g: \frac{\text{スケールリング後のゲート容量}}{\text{スケールリング前のゲート容量}} = \frac{\frac{\epsilon \left(\frac{L}{k}\right) \left(\frac{W}{k}\right)}{\frac{T_{ox}}{k}}}{\frac{\epsilon L W}{T_{ox}}} = \frac{1}{k} \dots\dots\dots \text{(式 3.2)}$$

$$\text{電流 } I_{ds}: \frac{\text{スケールリング後の電流}}{\text{スケールリング前の電流}} = \frac{\mu\epsilon \frac{W}{k} \left(\frac{V_{gs}}{\frac{k}{k}} - V_{th}\right)^2}{\mu\epsilon \frac{W}{L T_{ox}} (V_{gs} - V_{th})^2} = \frac{1}{k} \dots\dots\dots \text{(式 3.3)}$$

$$\text{オン抵抗 } R_{on} = \frac{V_{ds}}{I_{ds}}: \frac{\text{スケールリング後のオン抵抗}}{\text{スケールリング前のオン抵抗}} = \frac{\frac{\left(\frac{L}{k}\right) \left(\frac{T_{ox}}{k}\right)}{\mu\epsilon \left(\frac{W}{k}\right) \left(\frac{V_{gs}}{k} - V_{th}\right)}}{\frac{L T_{ox}}{\mu\epsilon W (V_{gs} - V_{th})}} = 1 \dots \text{(式 3.4)}$$

$$\text{回路遅延時間 } T_d = R_{on} C_g: \frac{\text{スケールリング後の遅延時間}}{\text{スケールリング前の遅延時間}} = 1 \times \frac{1}{k} = \frac{1}{k} \dots\dots\dots \text{(式 3.5)}$$

$$P_{MOSFET}: \frac{\text{スケールリング後の } P_{MOSFET}}{\text{スケールリング前の } P_{MOSFET}} = \frac{\left(\frac{I_{ds}}{k}\right) \left(\frac{V_{dd}}{k}\right)}{I_{ds} V_{dd}} = \frac{1}{k^2} \dots\dots\dots \text{(式 3.6)}$$

$$P_{CMOS-GATE} = C_g V_{dd}^2 \frac{1}{T_d}: \frac{\text{スケールリング後の } P_{CMOS-GATE}}{\text{スケールリング前の } P_{CMOS-GATE}} = \frac{\frac{1}{k} \times \frac{1}{k^2} \times k}{1} = \frac{1}{k^2} \dots\dots\dots \text{(式 3.7)}$$

$$\text{配線遅延 } R_l C_l: \frac{\text{スケールリング後の配線抵抗}}{\text{スケールリング前の配線抵抗}} = \frac{\rho \frac{\frac{l}{k}}{\left(\frac{t}{k}\right) \left(\frac{w}{k}\right)}}{\rho \frac{l}{t w}} \times \frac{\frac{\left(\frac{l}{k}\right) \left(\frac{w}{k}\right)}{t}}{\frac{l w}{t}} = 1 \dots \text{(式 3.8)}$$

∴ ρ : 導電率、t : 配線厚、l : 配線長、w : 配線幅

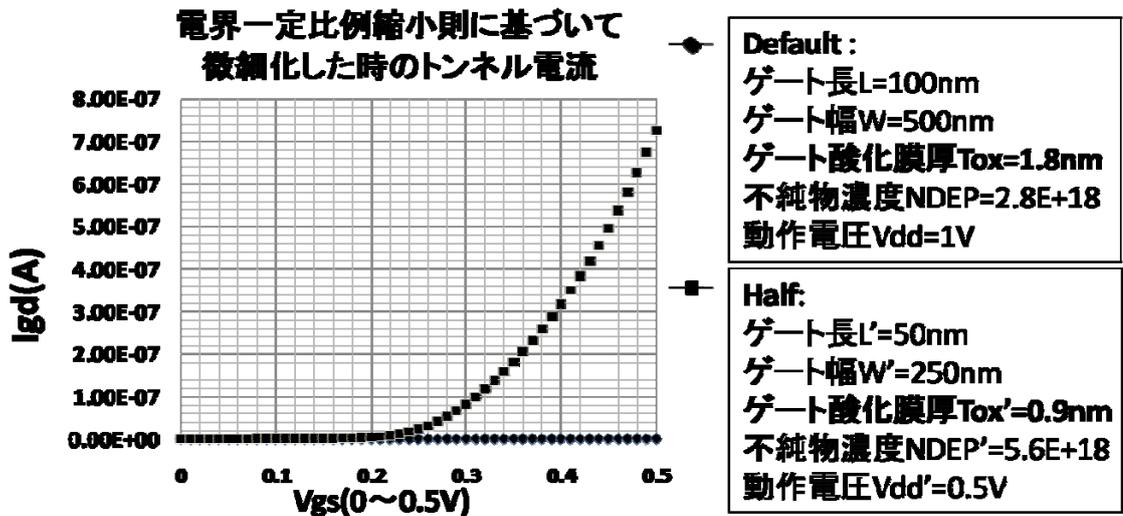


図 3.2 : ゲート・ドレイン間の電流特性

各式より、電界一定スケール則によって、配線遅延は一定となるが、集積度は $1/k^2$ 倍、回路素子当たりの遅延時間は $1/k$ 倍、消費電力は $1/k^2$ 倍となることが導かれる。すなわち、素子の微細化によって集積度、速度、消費電力のいずれも性能が向上することを示している。したがって、以上のような利点をもつ電界一定スケール則に基づき、LSI は微細化が進められてきた。

ところが、微細化が進み、寸法がナノレベルに達すると種々の問題が生じ、電界一定スケール則は限界に達し始めている。本研究では、その中でも根本的な問題であるゲート酸化膜厚の微細化限界について述べる。

図 3.2 に電界一定スケール則に基づいて MOSFET を微細化したときのゲート・ドレイン間に流れるリーク電流の特性を SPICE OPUS シミュレータによって解析したものを示す。Default に設定したデザインルールに基づくゲート酸化膜厚の値 T_{ox} は、酸化シリコンの結晶格子 9~10 層間隔の 1.8[nm] である。ここから、縮小率を $1/2$ にとり、電界一定スケール則に基づいて MOSFET を微細化すると、3.2 図に示すように Half のゲート酸化膜厚の値 T_{ox}' の値は、結晶格子 4~5 層間隔の 0.9[nm] となる。この時、ゲート・ドレイン間に流れるリーク電流をみると、電流値は指数関数的に増加していることがわかる。これは、量子トンネル効果に起因するトンネル・ゲートリーク電流である。トンネル・ゲートリーク電流は、ゲート酸化膜厚に依存して恒常的に発生するため、消費電力が増大するだけでなく、トランジスタとして正常に機能しなくなるという問題が起こる。

3.2 量子トンネル効果

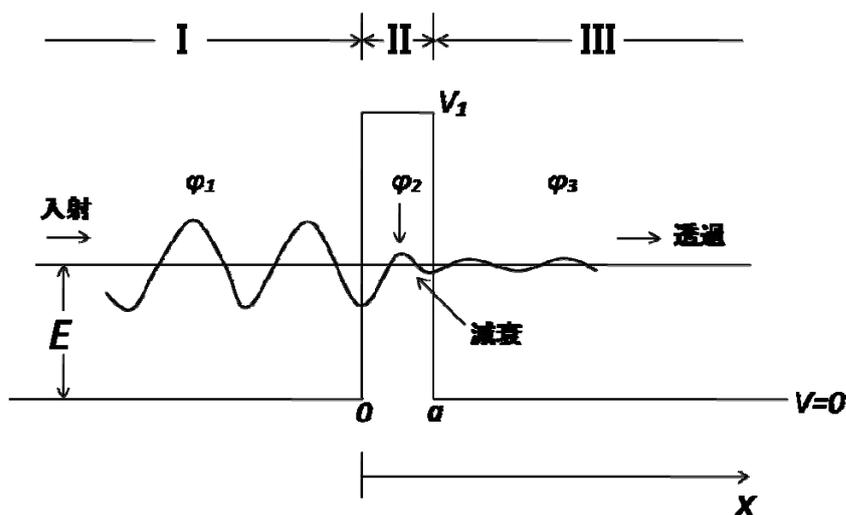


図 3.3 : 電子のトンネル効果

集積回路の誕生以来、電界一定スケーリング則にしたがって縮小されてきた MOSFET のデバイスサイズは、すでに量子トンネル効果という量子力学的効果が発現するほど小さくなってきている。本節では、その量子トンネル効果について述べる[8]。

古典的なモデルでは、粒子がポテンシャルの障壁に出会えば必ず反射を受ける。ところが、量子力学では障壁が薄くなると反対側に透過するトンネル (tunnel) 効果が現れる。いま図 3.3 に示すように、左側から E のエネルギーをもった電子が伝搬してきたとする。ここで、 $x=0 \sim a$ の範囲にポテンシャルの障壁が存在すると考える。古典的には、もし E が障壁の高さ V_1 よりも低ければ、明らかに $x=0$ の点で電子は跳ね返される。量子力学では、電子の波動がポテンシャル障壁内にしみ出し、障壁が薄ければ透過する。このような現象は、シュレディンガーの波動方程式を解くことにより解析的に解くことができる。図 3.3 に示すように x の領域を I、II、III に分け、それぞれの領域でのシュレディンガーの波動方程式と、その一般解を、式 3.9、式 3.10、式 3.11 に示す。

(領域I)

$$\text{波動方程式} \quad \frac{d^2 \varphi_1}{dx^2} + \alpha^2 \varphi_1 = 0 \quad , \quad \alpha^2 = \frac{2m}{\hbar^2} E \dots\dots\dots (3.9)$$

$$\text{一般解} \quad \varphi_1 = C_1 \exp(j\alpha x) + C_2 \exp(-j\alpha x)$$

(領域II)

$$\text{波動方程式} \quad \frac{d^2 \varphi_2}{dx^2} + \beta^2 \varphi_2 = 0 \quad , \quad \beta^2 = \frac{2m}{\hbar^2} (V_1 - E) \cdots (3.10)$$

$$\text{一般解} \quad \varphi_2 = C_3 \exp(\beta x) + C_4 \exp(-\beta x)$$

(領域III)

$$\text{波動方程式} \quad \frac{d^2 \varphi_3}{dx^2} + \alpha^2 \varphi_3 = 0 \quad \cdots \cdots \cdots (3.11)$$

$$\text{一般解} \quad \varphi_3 = C_5 \exp(j\alpha x) + C_6 \exp(-j\alpha x)$$

ここでの目的は、左側から伝搬してきた電子がどのくらいの割合でポテンシャル障壁の右側に透過するかを求めることであるので、式 3.9 の一般解のうちの定数 C_1 を 1 と置くことにする。また、 x の無限大から伝搬してくる波も考慮する必要はないので、 $C_6=0$ となる。また、 $x=0, a$ でそれぞれ波動関数ならびに、これらの微係数が連続であることを考慮すると式 3.12 となる。

$$\begin{cases} \varphi_1(0) = \varphi_2(0) \\ \frac{d\varphi_1}{dx} \Big|_{x=0} = \frac{d\varphi_2}{dx} \Big|_{x=0} \end{cases} \cdots \cdots \cdots (3.12)$$
$$\begin{cases} \varphi_2(a) = \varphi_3(a) \\ \frac{d\varphi_2}{dx} \Big|_{x=a} = \frac{d\varphi_3}{dx} \Big|_{x=a} \end{cases}$$

ここで微係数を連続としているのは、電子の流れが連続であり、境界で電子が蓄積されたり、消滅したりしないための条件である（境界条件）。以上の式より、トンネル確率は式 3.13 で表わされる。3.13 式は、位置 0 にある障壁に存在した電子が、位置 a に電子が存在する確率を表している。つまり、トンネル効果が発生する確率を表している。

$$\text{トンネル確率} = C_5^* \cdot C_5 = \frac{4\alpha^2 \beta^2}{4\alpha^2 \beta^2 + (\alpha^2 + \beta^2) \sinh^2 \beta a} \quad \cdots \cdots \cdots (3.13)$$

次に、式 3.13 に具体的な数値を代入してトンネル確率を導出する。図 3.4 は、 $V_1=3\text{eV}$ 、 $E=1\text{eV}$ と仮定し、障壁の幅 a をパラメータとしたときのトンネル確率を計算したものである。具体的な計算式は割愛するが、この場合において、障壁が $0.5[\text{nm}]$ 以上では、古

典論と同様、ほとんどの確率で電子は跳ね返される。しかし、障壁が 0.3[nm]以下になるとトンネル確率は急速に増大することがわかる。なお、MOSFET の酸化膜に採用されている酸化シリコンの原子間隔は 0.2[nm]程度であるから、この場合においては、構成原子が形成する周期ポテンシャルの中を、トンネリングを繰り返しながら伝搬していくと考えられる。

次に、量子トンネル効果が MOSFET トランジスタに及ぼす影響について述べる。まず、概念的な理解の補足として、図 3.5 に nMOSFET トランジスタのトンネル・ゲートリーク状態簡略図を示す。

MOSFET に酸化膜として採用されている酸化シリコン原子（原子間隔：0.2[nm]）が、5~6 原子程度（1.0~1.2nm）の厚みになるまで薄くなると、原子 1 個分のばらつき（厚みの増減）が膜の表面で発生するようになる。すると、酸化膜の上下で合計 2 個分、最大で 33%（原子 6 個時）のばらつきになってしまう。その結果、ばらつき部分では、トンネル・ゲートリーク電流が他の部分より 10~100 倍も多くなってしまい、トランジスタとして機能しなくなる[9]。

図 3.2 で示したように、ゲート酸化膜厚を 0.9[nm]にすると、ゲート・オフリーク電流が急増したのは、この理由からである。

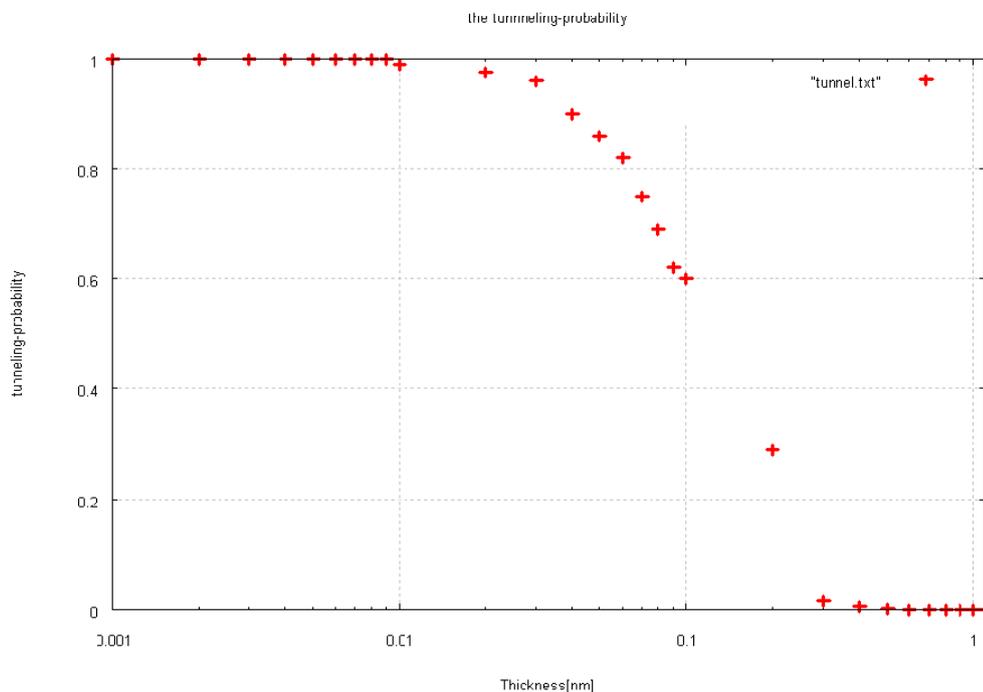


図 3.4 : 電子のトンネル確率

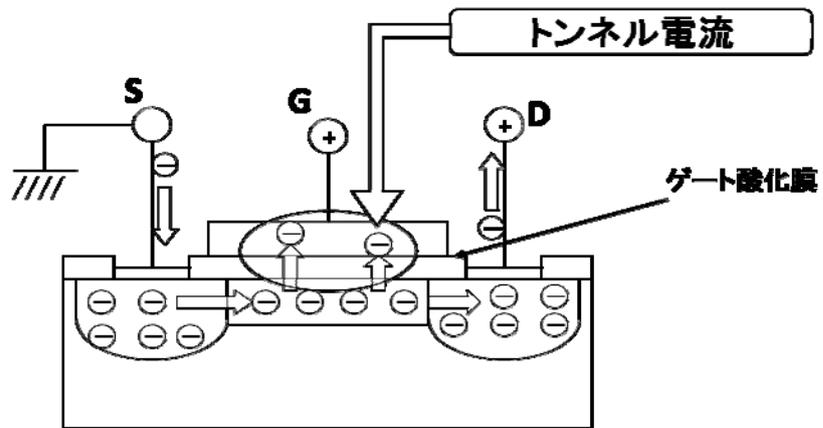


図 3.5 : NMOS トランジスタのリーク状態簡略図

第4章 電界低減型スケーリング則

4.1 電界低減型スケーリング則

本節では、本研究の提案手法である電界低減型スケーリング則について述べる。

3.2節で述べたように、量子トンネル効果は物理現象によって発生する現象であるため不可避であり、MOSFETの酸化膜厚をこれ以上薄くすることは、光の速度と物質の原子的性質から根本的に限界である。そこで本研究では、ゲート酸化膜厚 T_{ox} を一定に保ちながら、ゲート長 L 、ゲート幅 W のゲート寸法と動作電圧 V_{dd} を縮小するスケーリング則、電界低減型スケーリング則を提案する。なお、ゲート長 L 、ゲート幅 W のゲート寸法と動作電圧 V_{dd} は、各々任意の縮小率で縮小する。

4.2 電界低減型スケーリング則

回路素子当たりの遅延時間は、MOSFETの構造が理想的、つまり拡散容量が無視できるほど小さいという仮定であれば、式4.1に示すようになる。

$$T_d = R_{on} C_g = \frac{LT_{ox}}{\mu\epsilon W(V_{gs} - V_{th})} \times \frac{\epsilon LW}{T_{ox}} = \frac{L^2}{\mu(V_{gs} - V_{th})} \dots\dots\dots (4.1)$$

式4.1を見ると、ゲート酸化膜厚 T_{ox} はトランジスタのオン抵抗 R_{on} とゲート容量 C_g にはパラメータとして当然含まれているが、遅延時間は $R_{on}C_g$ の積で決まるため、打ち消されて遅延時間には影響を及ぼさないということがわかる。つまり、ここから電界低減型スケーリング則を適用した遅延時間は、式3.5で表わした電界一定スケーリング則の結果と同一となり、遅延時間の向上率は $1/k$ 倍と何ら変わらない。

次に、MOSFET素子当たりの消費電力とCMOSゲート当たりの消費電力の変化率を式4.2、式4.3に示す。

$$P_{MOSFET} = I_{ds} V_{dd} \cdot \frac{\text{スケールリング後の} P'_{MOSFET}}{\text{スケールリング前の} P_{MOSFET}} = \frac{\mu\epsilon \frac{W}{k} \left(\frac{V_{dd}}{k}\right)^3}{\left(\frac{L}{k}\right) T_{ox}} = \frac{1}{k^3} \dots\dots\dots \text{(式 4.2)}$$

$$P_{CMOS-GATE} = C_g V_{dd}^2 \frac{1}{T_d} \cdot \frac{\text{スケールリング後の} P_{CMOS-GATE}}{\text{スケールリング前の} P_{CMOS-GATE}} = \frac{\frac{1}{k^2} \times \frac{1}{k^2} \times k}{1} = \frac{1}{k^3} \dots\dots\dots \text{(式 4.3)}$$

電界一定スケールリング則を適用した消費電力の変化率(式 3.6、式 3.7)と、電界低減型スケールリング則を適用した消費電力の変化率(式 4.2、4.3)を比較すると、削減率は、 $1/k^2$ から $1/k^3$ に電界低減型スケールリング則の方が向上している。これは、電界低減型スケールリング則はゲート酸化膜厚を固定したため1スケール分、消費電力を抑えることが出来るからである。つまり、消費電力に関しては、電界一定スケールリング則よりも電界低減型スケールリング則を適用した方が、優位性が期待できる。

電界一定スケールリング則、電界低減型スケールリング則の遅延時間と消費電力の比較を表 4.1 に示す。

	TYPE	導出式	電界一定スケールリング則	電界低減スケールリング則
遅延時間	MOSFET単独	$T_d = \frac{L^2}{\mu_0 W (V_{gs} - V_{th})}$	1/k	1/k
	CMOS		1/k	1/k
消費電力	MOSFET単独	$P_{MOSFET} = I_{ds} V_{dd}$	1/k ²	1/k ³
	CMOS	$P_{CMOS} = C_g V_{dd}^2 \frac{1}{T_d}$	1/k ²	1/k ³

表 4.1 : 電界一定スケールリング則と電界低減型スケールリング則の性能

4.3 短チャネル効果とは

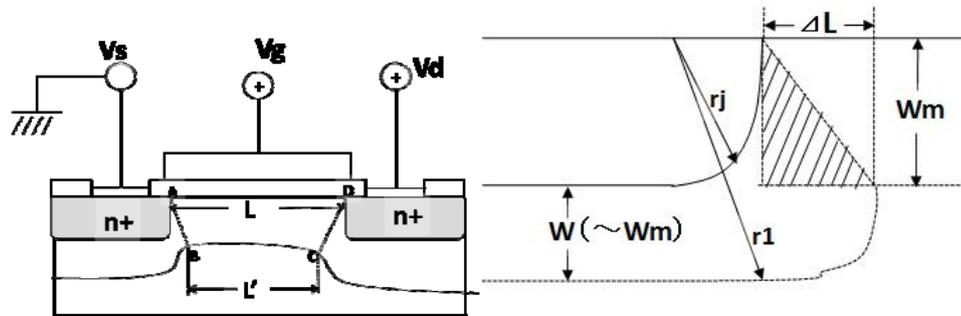


図 4.1 : 電荷分布図

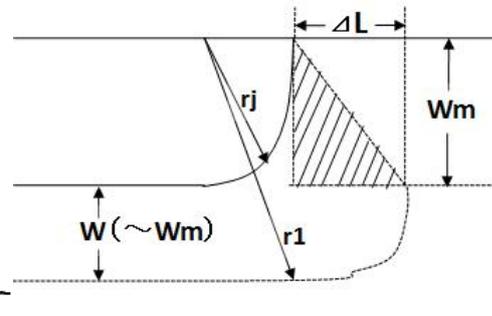


図 4.2 : 電荷分布拡大図

本節では、MOSFET のゲート酸化膜厚を固定しながらゲート長を縮小すると生じる現象である短チャネル効果の閾値電圧への影響について述べる。

短チャネル効果による全般的な影響としては、ソース・ドレイン間の高電界による移動度の減少、チャネル長による閾値電圧の変化、弱反転状態におけるソース・ドレイン間のゲート・オフリーク電流の増加などが挙げられる。短チャネルになると、比較的小さいゲート電圧でも反転層が発生する。さらに、チャネル長が $2\mu\text{m}$ 以下になると閾値電圧の変化が大きくなり、小さなチャネル長の変化が、サブスレッショルド特性の変化によって大きな閾値電圧の変化を招くことになる。集積回路では、閾値電圧を揃えたトランジスタでないとならないため、この問題は集積回路設計上からも重要なものとなる。

まず、原理理解の補足として Poon&Yau モデルによって閾値電圧とチャネル長との関係を原理的に述べた後、本研究のシミュレーション実験で用いたデバイスモデルに採用されている Liu らによって提案されたモデル[10, 11]を用いて述べる。

短チャネルの場合における電荷分布とその拡大図を、図 4.1、図 4.2 に示す。図 4.2 より電荷分布範囲の深さ r_1 は、式 4.4 とおける。

$$r_1 = r_j + W_m \dots\dots\dots (式 4.4)$$

r_j はソース・ドレインの拡散層の深さ、 W_m は反転状態時の最大空乏層幅である。Poon&Yau モデルでは、図 4.1 の直線 AB、CD を境目としてチャネル長側はゲートに向かって電気力線がでており、拡散層側では拡散層に向かって電気力線がでているとする。すると、図 4.2 の三角の斜線部分の面積の 2 倍の電荷量が、反転時において不必要になる。2 倍というのは、ドレイン側とソース側と合わせての電荷量である。台形 ABCD のアクセプタ電荷が半導体表面に誘起するので、平均電荷密度 Q_{lav} は、式 4.5 となる。

$$\begin{aligned}
Q_{lav} &= \frac{\left(Q_I \frac{L+L'}{2} W_m \right)}{LW_m} \\
&= Q_I \frac{L+L'}{2L} \dots\dots\dots (式 4.5) \\
&= Q_I \frac{L+(L-2\Delta L)}{2L} \\
&= Q_I \frac{L-\Delta L}{L}
\end{aligned}$$

ここで、式 4.4 と三平方の定理より ΔL は式 4.6 のように表せることより、

$$\Delta L = \sqrt{(r_j + W)^2 - W_m^2} - r_j \dots\dots\dots (式 4.6)$$

式 4.5 に式 4.6 を代入すると、平均電荷密度 Q_{lav} は式 4.7 となる。

$$Q_{lav} = Q_I \left[1 - \frac{r_j}{L} \left\{ \sqrt{1 + \frac{2W_m}{r_j}} - 1 \right\} \right] \dots\dots\dots (式 4.7)$$

次に、閾値電圧は式 4.8 のように表されるので、式 4.7 を式 4.8 に代入すると、式 4.9 になる。これが閾値電圧とチャネル長との関係を表す式となる。

$$V_{TH} = 2\phi_F + \frac{qN_a W_m}{C_{ox}} \dots\dots\dots (式 4.8)$$

$$V_{TH} = 2\phi_F + \frac{Q_I}{C_{ox}} \left[1 - \frac{r_j}{L} \left\{ \sqrt{1 + \frac{2W_m}{r_j}} - 1 \right\} \right] \dots\dots\dots (式 4.9)$$

式 4.9 をみるとわかるように、パラメータゲート長 L を小さくすると、閾値電圧が低下することがわかる。

次に、Liu らによって提案されたモデルを用いたチャネル効果と閾値電圧の関係を述べる。短チャネル効果をモデル化した閾値電圧は式 4.10 で与えられる。ここで、 V_{th0} は基準閾値電圧、 V_{SCE} は短チャネル効果閾値電圧変化分である。

$$V_{th} = V_{th0} - V_{short-channel-effect} \dots\dots\dots (式 4.10)$$

式 4.10 より、短チャネル効果閾値電圧変化分 V_{SCE} は、基準とする閾値電圧を低下させる要因となっていることがわかる。短チャネル効果閾値電圧変化分 V_{SCE} は、疑似二次元ポアソン方程式から導出することができ、式 4.11、式 4.12、式 4.13 で表わされる。

$$V_{SCE} = \theta_{th} [2(V_{bi} - \phi_s) + V_{ds}] \dots\dots\dots (式 4.11)$$

$$\theta_{th} = \exp\left(-\frac{L}{2l_t}\right) + \exp\left(-\frac{L}{l_t}\right)$$

$$l_t = \left(\frac{\varepsilon_{ox} T_{ox}}{\varepsilon_{si}} \times \frac{x_d}{\varepsilon} \right) \dots\dots\dots (式 4.12)$$

$$x_d = \sqrt{\frac{2\varepsilon_{si}(\phi_s - V_{bs})}{qNDEP}} \dots\dots\dots (式 4.13)$$

θ_{th} : チャネル長関数、 V_{bi} : 基板バイアス電圧、 ϕ_s : 表面反転電位、
 V_{ds} : ドレイン・ソース電圧、 L : ゲート長、 l_t : 内部変数、
 ε_{ox} : 真空誘電率、 x_d : 欠乏層の幅、 ε_{si} : シリコンの誘電率、
 V_{bs} : 基板電圧、 q : 電荷、 $NDEP$: チャネルドーピング濃度

ここで、式 4.11 のチャネル長関数 θ_{th} の式中にあるゲート長 L および、式 4.12 式中の内部変数 l_t の式中にあるゲート酸化膜厚 T_{ox} に着目する。すると、電界一定スケールング則を適用した場合は、 L とともに T_{ox} も縮小するため、 θ_{th} は一定のままであった。しかし、電界低減型スケールング則を適用した場合は、 T_{ox} を一定にして L を縮小することになるため、 θ_{th} は指数で増え、その結果、短チャネル効果閾値電圧変化分 V_{SCE} は大幅に増加してしまうことがわかる。つまり、閾値電圧が大幅に低下してしまうことになる。

図 4.3 にゲート酸化膜厚 T_{ox} を固定してゲート長 L を縮小していったときの、ゲート・ソース電圧 V_{gs} とドレイン・ソース電流 I_{ds} の特性を、表 4.2 に L と閾値電圧の相関関係を示す。閾値電圧は、ゲート長 L が 100[nm]、50[nm] では、0.4[V] 近辺のままあまり変化を示さないが、25[nm] から低下し始め、20[nm]、12.5[nm] では著しい低下率となった。特に 12.5[nm] 時の閾値電圧は、-0.53[V] と 0[V] を切り、エンハンスメント型からデプリッション型へと変わってしまっていることがわかる。また、閾値電圧の低下だけでなく、サブスレッショルド領域の特性をはかるための指標である、 S ファクタも劣化する。ゲート長 L をパラメータとしたときの S ファクタの値を図 4.4 に示す。4.4 図から、ゲート長 L が 25[nm] を下回ったところから S ファクタが大幅に劣化していることがわかる。

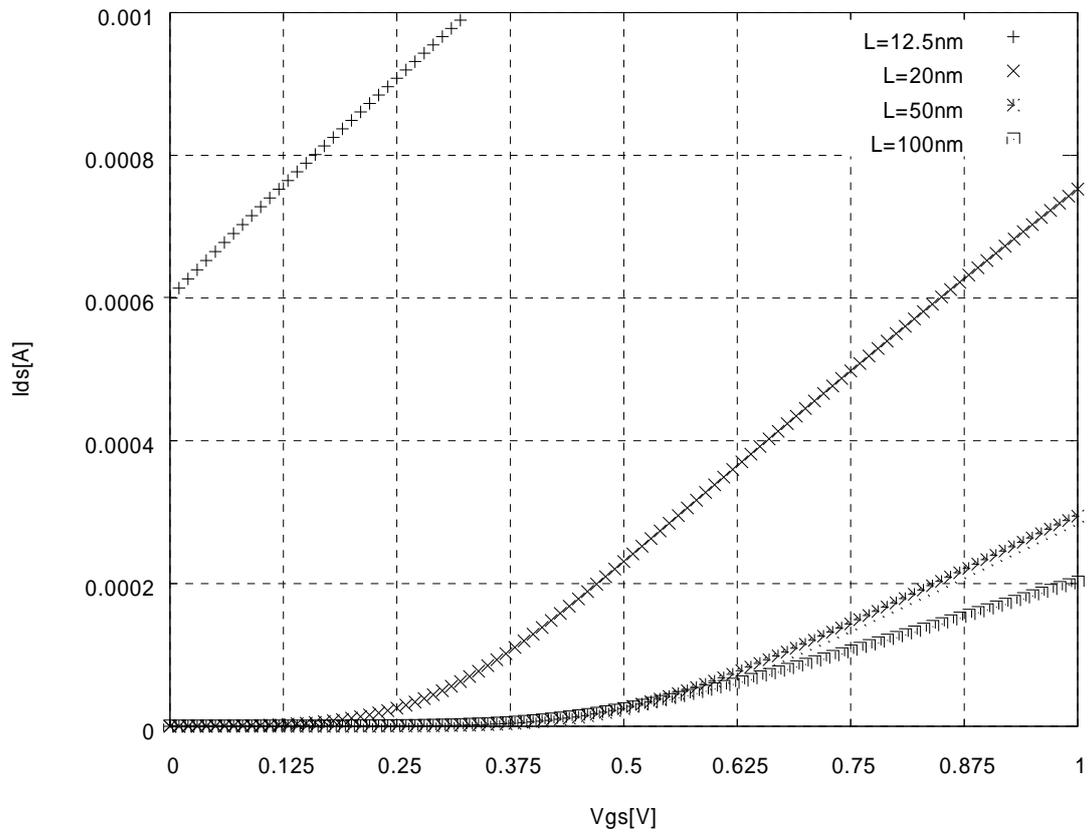


図 4.3 : ゲート長 L をパラメータとした $V_{gs}-I_{ds}$ 特性

ゲート長 L [nm]	閾値電圧 V_{th} [V]
100	0.48
50	0.49
25	0.40
20	0.28
12.5	-0.53

表 4.2 : ゲート長 L と閾値電圧 V_{th} の相関関係

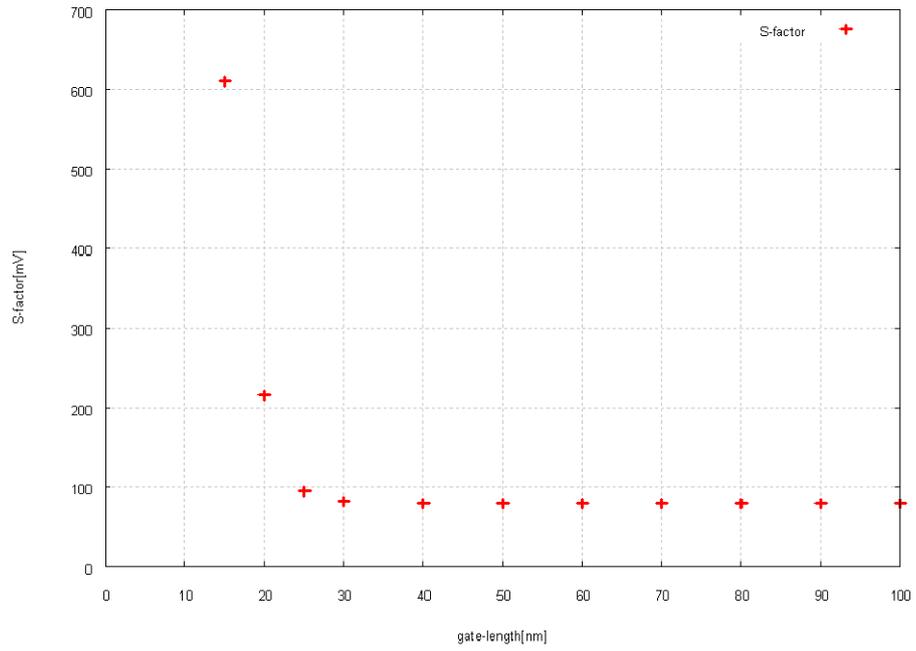


図 4.4 : ゲート長、S ファクタ特性

4.4 短チャネル効果抑止策

4.4.1 閾値電圧

4.3 節より、短チャネル効果による閾値電圧の低下を抑制することなしに、ゲート寸法、動作電圧の縮小および、トランジスタとして正常動作を行わせることは困難であることが明らかとなった。そこで、本節では、本研究における閾値電圧低下の抑止策を述べる。

4.3 節で述べたが、閾値電圧低下の原因はゲート酸化膜厚 T_{ox} を一定にしてゲート長 L を縮小したため、チャネル長関数 θ_{th} が指数で増え、その結果、短チャネル効果閾値電圧変化分 V_{sCE} が急増してしまうことであった。ここで、式 4.11 を再度見てもらいたい。 θ_{th} の式中にある内部変数 1_t は式 4.12 で与えられ、 T_{ox} と欠乏層の幅 x_d には積の関係がある。したがって、 T_{ox} が一定であるならば x_d を小さくすれば良いことがわかる。 x_d は式 4.13 で与えられるので、チャネルドーピング濃度 NDEP を増加すると x_d の値を小さくすることができる。つまり、 L の縮小分を、 T_{ox} を一定にする代わりに x_d を小さくすることによって、 θ_{th} の増加を抑え、閾値電圧低下を抑えることが出来ることがわかる。

前述を基に、 $L=12.5[\text{nm}]$ において、チャネルドーピング濃度 NDEP をパラメータとして増加させていった時の閾値電圧 V_{th} の変化の様子を表 4.3 に示す。なお、NDEP の増加率は $2.8 \times 10^{18} [\text{atom}/\text{cm}^3]$ を基準として、1~10 倍と 15 倍を設定した。4.3 表を見ると明らかなように、変化率にばらつきはあるものの NDEP を増加させたことによって、閾値電圧値を引き上げることが可能であることがわかる。

チャネルドーピング濃度 NDEP $\times 10^{18} (\text{atom}/\text{cm}^3)$	閾値電圧 $V_{th} [\text{V}]$
2.8	-0.53
5.6	-0.14
8.4	0.09
11.2	0.23
14.0	0.32
16.8	0.38
19.6	0.44
22.4	0.48
25.2	0.51
28.0	0.54
42.0	0.64

表 4.3 : チャネルドーピング濃度、閾値電圧の相関関係

4.4.2 ゲート・オフリーク電流

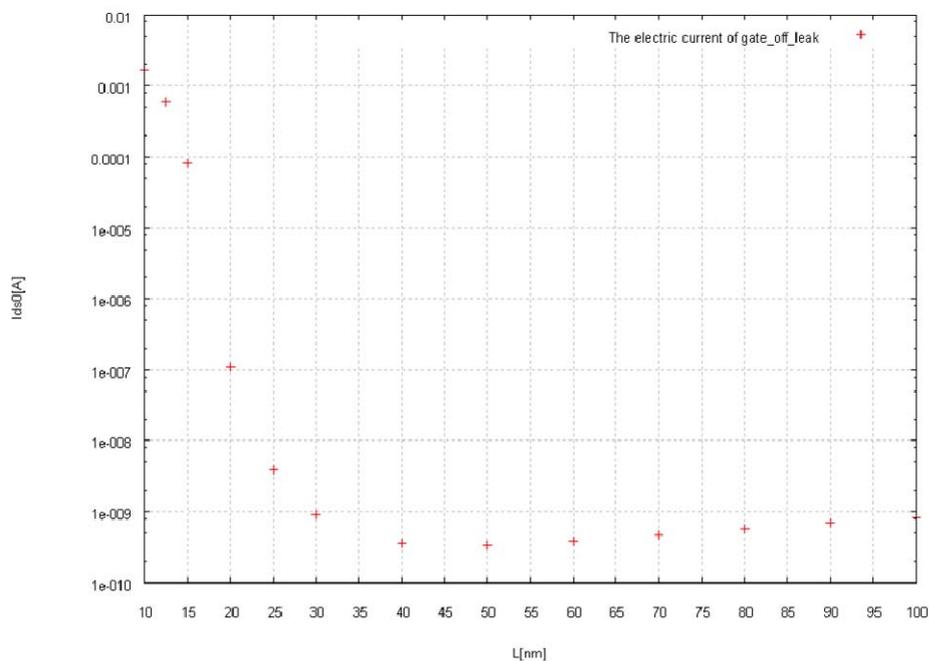


図 4.5：ゲート長、オフ・リーク電流特性

ゲート長L[nm]	閾値電圧V _{th} [V]	ゲート・オフリーク電流I _{ds0} [A]
100	0.48	8.17E-10
50	0.49	3.33E-10
25	0.40	3.93E-09
20	0.28	1.09E-07
12.5	-0.53	6.01E-04

表 4.4：ゲート長、閾値電圧、オフ・リーク電流の相関関係

ゲート・オフリーク電流は、各々の現象が複合的な要因となって決まるものであり、理論的に導出することは出来ない。しかし、閾値電圧とゲート・オフリーク電流には密接な相関関係がある。そこで、本節では、4.4.1で述べた閾値電圧の特性をもとに、ゲート・オフリーク電流との相関関係について述べる。

まず、ゲート長Lを縮小し、閾値電圧が低下した場合におけるゲート・オフリーク電流 I_{ds0} の特性について明らかにする。図 4.5 にLをパラメータとしたゲート・オフリーク電流 I_{ds0} の特性を、表 4.4 にL、閾値電圧 V_{th} 、ゲート・オフリーク電流 I_{ds0} の相関関係を示す。図 4.5 をみるとわかるように、Lが25[nm]以下になると、 I_{ds0} が指数関数的に増加している。次に、表 4.4 をみるとわかるように、Lが25[nm]以下になると閾値電圧 V_{th} の値が急激に低下している様子がわかる。また、Lが12.5[nm]

時の I_{ds0} の値は、電圧がオフ時にも関わらず約 $600 \mu A$ と、消費電力の増大以前にトランジスタとしての正常動作を期待できる値を超えていることがわかる。

次に、チャネルドーピング濃度NDEPを増加させ、閾値電圧を上げた場合におけるゲート・オフリーク電流 I_{ds0} の特性について明らかにする。図4.6に、 $L=12.5[nm]$ 時においてNDEPをパラメータとして増加させたときの I_{ds0} の特性を、表4.5に $L=12.5[nm]$ 時における、NDEP、 V_{th} 、 I_{ds0} の相関関係を示す。

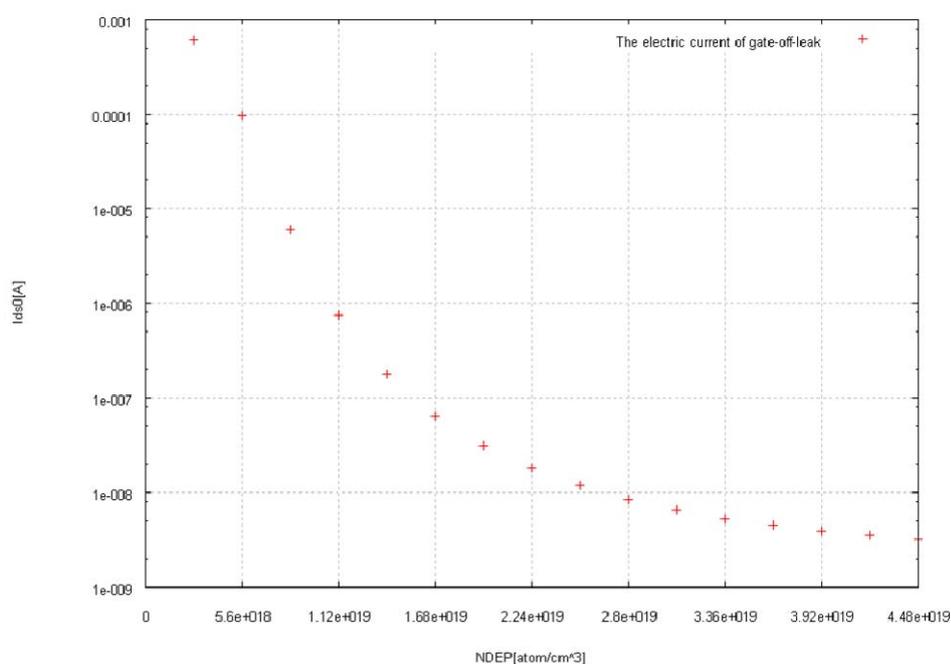


図 4.6 : チャネルドーピング濃度、オフ・リーク電流特性 ($L=12.5[nm]$)

チャネルドーピング濃度NDEP $\times 10^{18}(\text{atom}/\text{cm}^3)$	閾値電圧 V_{th} [V]	ゲート・オフリーク電流 I_{ds0} [A]
2.8	-0.53	6.01E-04
5.6	-0.14	9.72E-05
8.4	0.09	6.02E-06
11.2	0.23	7.43E-07
14.0	0.32	1.76E-07
16.8	0.38	6.44E-08
19.6	0.44	3.10E-08
22.4	0.48	1.79E-08
25.2	0.51	1.18E-08
28.0	0.54	8.47E-09
42.0	0.64	3.49E-09

表 4.5 : チャネルドーピング濃度、閾値電圧、オフ・リーク電流の相関関係

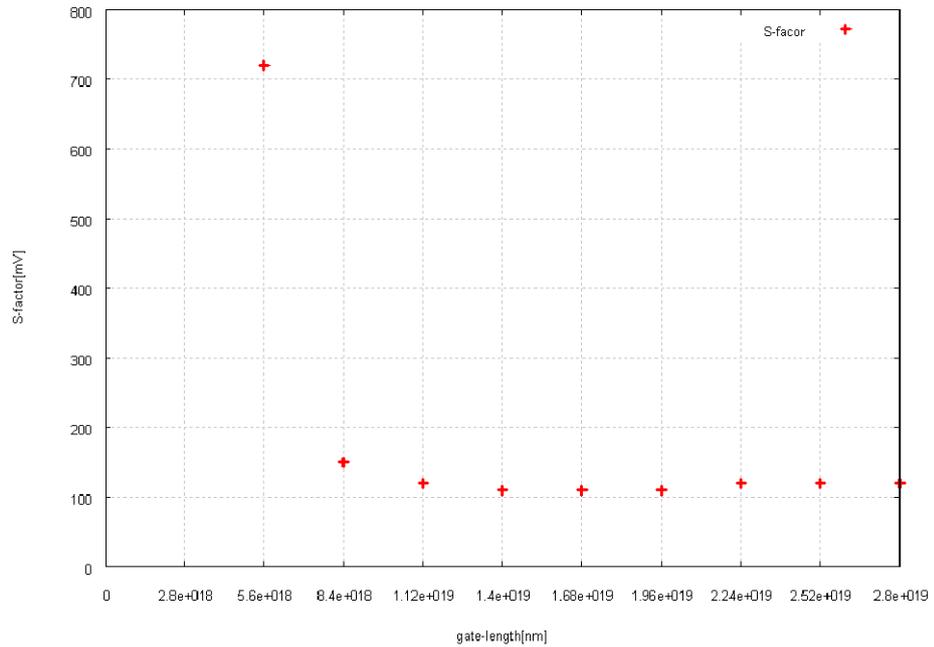


図 4.7 : チャネルドーピング濃度、S ファクタ特性 (L=12.5 [nm])

図 4.6 を見ると、NDEP を増加させたことによって、 I_{ds0} が指数関数的に減少していることがわかる。次に、表 4.5 をみると、NDEP の増加によって V_{th} が増加し、それによって I_{ds0} の値が指数関数的に減少したことがわかる。また、ここでは、NDEP を最大 $4.2E+19$ [atom/cm³] (15 倍) まで増加させているが、NDEP の増加に呼応するように V_{th} は上がり続け、 I_{ds0} の値が減少する様子がわかる。

次に、L=12.5 [nm] 時の NDEP と S ファクタの相関関係を図 4.7 に示す。4.7 図より、NDEP を増加させたことによって、S ファクタの特性が大幅に改善されたことがわかる。

以上より、短チャネル効果に起因する閾値電圧低下によるゲート・オフリーク電流増加は、NDEP を増やすことによって抑制されると言える。

4.4.3 ゲート・オン電流

4.4.2 では、短チャネル効果に起因する閾値電圧低下から発生するゲート・オフリーク電流の抑制のためにチャネルドーピング濃度を任意に増加させていた。また、チャネルドーピング濃度を増やせば増やすほど、増加率は縮小するものの閾値電圧を引き上げることができ、ゲート・オフリーク電流の抑制が見込めた。この考えだけに基くと、チャネルドーピング濃度は出来るだけ増加させた方が有益であると考えられる。しかし、閾値電圧を引き上げると、電源電圧の縮小が見込めなくなるだけでなくゲート・オン電流が低減し、遅延時間に影響を及ぼす弊害が生じる。

本節では、チャネルドーピング濃度 NDEP を増加させてゲート・オン電流 I_{ds} を測定し、そこから導出されるゲート・オン抵抗 R_{on} から遅延時間 $R_{on}C_g$ を算出し、最終的な短チャネル効果抑止策について述べる。

まず、NDEP とゲート・オン電流、ゲート・オン抵抗の特性について明らかにする。

図 4.8 に、ゲート長 $L=12.5$ [nm] においてパラメータ NDEP を増加させた時の I_{ds} 特性を、表 4.7 に、その時の V_{th} 、 I_{ds} 、 R_{on} の相関関係を示す。4.8 図をみると、NDEP の増加によって、 I_{ds} が低下していくことがわかる。これは、表 4.7 をみるとわかるように、 V_{th} が上がったことに起因している。

次に、NDEP、遅延時間 $R_{on}C_g$ 、ゲート・オフリーク電流 I_{ds0} の相関関係について述べる。動作電圧 V_{dd} は、1V に固定しているので、 R_{on} は I_{ds} の逆数と見なせる。したがって、 I_{ds} の値の減少に伴い、反比例して R_{on} は増加する。遅延時間は $R_{on}C_g$ によって定まることより、NDEP を増やすと遅延時間は増大してしまうことになる。表 4.7 の R_{on} から導出した $R_{on}C_g$ と、ゲート・オフリーク電流 I_{ds0} の相関関係を表 4.8 に表す。

4.4.2 節では I_{ds0} の値を小さくするために NDEP を増加させてきた。しかし、表 4.8 で表わすように、NDEP の増加に伴い $R_{on}C_g$ の値は増大し、回路速度が低下してしまうことがわかる。つまり、ゲート・オフリーク電流と遅延時間、すなわちゲート・オン電流は、トレード・オフ関係にある。

以上より、本研究における最終的な短チャネル効果抑制策、および性能向上策は以下のようになる。まず、ゲート・オフリーク電流は理論から算出できない値であるため、パラメータとしてチャネルドーピング濃度を調整しながら回路シミュレーションにより導出する。次に、各々の場合において導出したゲート・オフリーク電流とゲート・オン電流値を比較し、両者が適切な値になるよう最適なチャネルドーピング濃度を選択する。

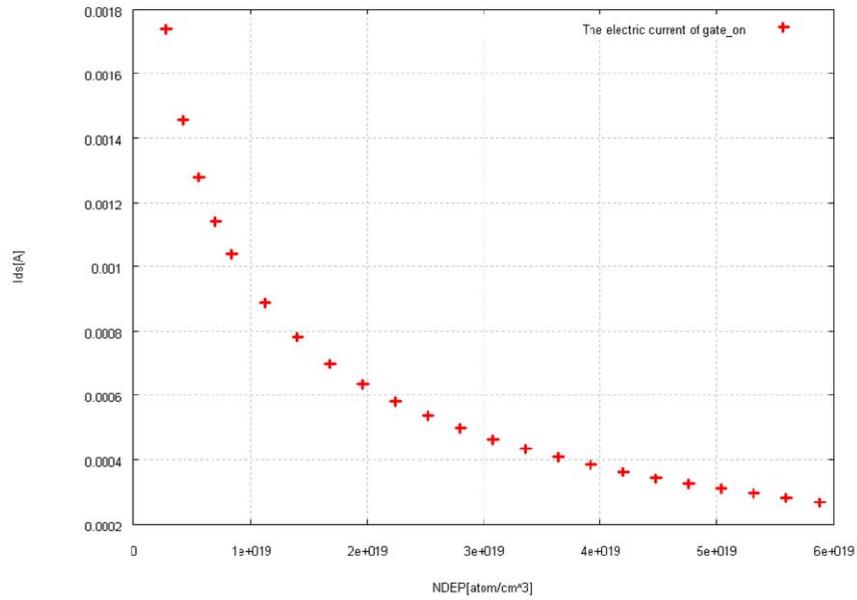


図 4.8 : チャネルドーピング濃度、 I_{ds} 特性 ($L=12.5$ [nm])

チャネルドーピング濃度 $NDEP \times 10^{19} (\text{atom/cm}^3)$	閾値電圧 V_{th} [V]	ゲート・オン電流 I_{ds} [mA]	ゲート・オン抵抗 R_{on} [k Ω]
2.8	-0.53	1.74	0.57
8.4	0.09	1.04	0.96
14.0	0.32	0.78	1.28
28.0	0.54	0.49	2.01
42.0	0.64	0.36	2.75
56.0	0.68	0.28	3.55

表 4.7 : 閾値電圧、オン電流、オン抵抗の相関関係

チャネルドーピング濃度 $NDEP \times 10^{19} (\text{atom/cm}^3)$	ゲート・オフリーク電流 I_{ds0} [A]	遅延時間 $R_{on} C_g$
2.8	6.01E-04	7.57E-13
8.4	6.02E-06	1.27E-12
14.0	1.76E-07	1.68E-12
28.0	8.47E-09	2.65E-12
42.0	3.48E-09	3.63E-12
56.0	2.53E-09	4.68E-12

表 4.8 : 遅延時間、オフ・リーク電流の相関関係

第5章 MOSFET の設計

5.1 目的

この章での目的は、4章で述べた特性、特に理論では導出されないゲート・オフリーク電流を考慮しながら、高性能な MOSFET、ひいてはそれを用いた高性能論理回路を実現するために、各性能指標を高集積、高速、低消費電力と定め、各性能指標の特性を把握しながら MOSFET デバイスの閾値、およびパラメータ設定ための方針を決定することである。

5.2 高集積の実現方法

MOSFET の高集積化を図るためには、面積を小さくする必要がある。MOSFET のゲート寸法、つまりゲート長 L 、ゲート幅 W の寸法を縮小すると、面積は各寸法の縮小率の 2 乗分縮小することが出来る。厳密には拡散領域の面積や、配線レイアウトも考慮が必要ではあるが、面積をスケールダウンすることが出来ると、その縮小分の高集積化が可能となる。

詳細は後述（第6章）するが、本研究では回路動作シミュレーションツールとして SPICE OPUS を使用、デバイスモデルは `bsim4 MOSFET device model level 54` を採用した。このデバイスモデルの nMOS の基準値は、ゲート長 L は 100[nm]、ゲート幅 W は 500[nm] である。本研究では、ここから L と W のスケールを 8 分の 1、したがって L は 12.5[nm]、 W は 62.5[nm] として 64 倍に高集積化を図ることを目標とした。この目標を達成するためには、 $L=12.5$ [nm] において短チャネル効果を抑制しながら高速化を図る特性を見出す必要がある。

5.3 高速性の実現

MOSFET の高速化を図ることは、遅延時間 $R_{on}C_g$ の値を小さくすることに他ならない。遅延時間 $R_{on}C_g$ は式 4.1 で与えられるので、式の分母にある電源電圧を一定に保ち、ゲート長 L を出来るだけ縮小すると $R_{on}C_g$ が最も小さくなることがわかる。しかし、ゲート長 L は、以下 2 点の問題から任意に小さく設定できるものではない。1 点目はプロセス技術の問題である。LSI の量産化を図るためには、フォトマスクを用いてウェハに転写を行う必要がある。しかし、転写させる際に用いる光は波長の短い遠紫

外線であるが、その波長よりも小さい寸法の加工をすることは原理的に不可能である。また、構造上チャンネルに誘起されるキャリアが正常に動くための幅も必要である。2点目は、ゲート長 L を小さくし過ぎると、チャンネルドーピング濃度 NDEP だけでは、短チャンネル効果の抑制が図れない可能性がある。高速化を実現するためには、以上の2点を考慮しながら、 $R_{on}C_g$ が最小となる様に MOSFET の設計を行なわなければならない。具体的には、ゲート・オフリーク電流 I_{ds0} をある基準値以下に収め、かつ $R_{on}C_g$ が最小となる MOSFET デバイスのパラメータ設定が必要となる。

5.4 低消費電力の実現

消費電力は、待機時に発生する静的消費電力と動作時に発生する動的消費電力の両方を考慮する必要があるが、静的消費電力はゲート・オフ時の電流値、動的消費電力はゲート・オン時の電流値が影響し相反するものであるため、各々述べることにする。

5.4.1 静的消費電力

静的消費電力は2.3節で述べたように、ゲート・オフリーク電流と動作電圧との積で決まる。したがって静的消費電力の削減は、ゲート・オフリーク電流を抑えながら動作電圧を下げることによって実現される。しかし、短チャンネル効果によりゲート・オフリーク電流と遅延時間はトレード・オフ関係であることを考慮しなければならない。また、静的消費電力を下げるために動作電圧を下げると、遅延時間 $R_{on}C_g$ に含まれるゲート・オン抵抗 R_{on} (式2.5) が上がり、遅延時間は増大してしまう。そこで本研究では、採用したデバイスモデルの基準パラメータの静的消費電力を基準値とし、またその値がナノオーダーであることを考慮して、基準値以下とすることを目標とし MOSFET デバイスのパラメータ設定を行うこととした。

5.4.2 動的消費電力

前提条件として3.3節で述べたように、電界低減型スケーリング則はゲート酸化厚を一定にするため、縮小率の3乗倍の削減が期待出来る。そのため動的消費電力の削減は従来手法よりも優位性が得られると考えられる。

動的消費電力は式4.3で与えられるので、これを効果的に削減するには、動作電圧を下げ、ゲート長とゲート幅の寸法を縮小し容量を減らすことで実現できる。しかし式4.3を見ればわかるように、動的消費電力は遅延時間の逆数と反比例関係にあるた

め、遅延時間と動的消費電力の優位をどのように決定するかが肝要となる。

5.5 MOSFET デバイスのデザインルールの方針

5.4 節では、各性能指標を高集積、高速、低消費電力と定めて、その特性と各々の関係性について述べた。本節では、これらのことを総合的に踏まえ、MOSFET デバイスの性能向上を実現するためのデザインルール方針決定を行う。

まず、問題点に関して述べる。静的消費電力、つまりゲート・オフリーク電流は、理論では算出されない値であるため、予め各性能指標を正確に見積もることは出来ない。そこで、チャネルドーピング濃度を適切に調整しながらシミュレーションを行い、評価していく必要がある。また、高速性の実現と低動的消費電力の実現はトレード・オフ関係にあるため、どの性能指標に重きを置くかが肝要となる。そこで本研究では、高速性主眼、低消費電力主眼、また高速性を基準と同等以上に保ちながら低消費電力を図るという3つのCaseを設定することとした。MOSFET デバイスのデザインルール決定を図るための各Caseの目的と閾値設定を表5.1に、デバイスパラメータ、測定値、方針、予測の可否を表したものを表5.2に示す。本研究では、この表に示した方針に則ってシミュレーション実験を行う。静的消費電力 P_{static} は全Caseとも基準値以下を採用することとした。なお、その他の容量評価は、付録Aにて述べる。

Case0	基準値:デバイスモデルのモデル値(動作電圧Vdd:1[V])
Case1	高速性重視:動作電圧Vdd一定(1[V])で遅延時間Ror(Cg+Cd)最小値
Case2	高速性は基準値同等、消費電力重視:動作電圧Vdd(0.5[V])で遅延時間Ror(Cg+Cd)基準値
Case3	消費電力重視:動作電圧Vdd(0.25[V])で遅延時間Ror(Cg+Cd)最小値

表 5.1 : 各 Case の目的と閾値設定

パラメータ	測定値	方針	予測の可否
ゲート長L	オン抵抗:Ron	許容値以下	予測可能
ゲート幅W	静的消費電力:Pstatic	基準値以下	予測不可
動作電圧Vdd	$P_{static} = I_{ds0} \times V_{dd}$	※基準値=1.65[nW]	※オフリーク電流 I_{ds0} を算出する式がないため。
チャネルドーピング濃度NDEP	※ゲート・オフリーク電流 I_{ds0}		
ゲート容量Cg	遅延時間:Ror(Cg+Cd)	最小値、基準値以下	予測可能
拡散領域容量Cd			

表 5.2 : 設計プロセス

第6章 シミュレーション実験

6.1 シミュレーション環境

本研究では、回路動作シミュレーションツールとして、リュブリャナ大学（スロベニア）で開発された SPICE OPUS ver2.3[12]を使用した。これは Spice3f5（米国カリフォルニア大学バークレー校）[13]と XSPICE（米国ジョージア工科大学）を基盤に作られたものである。

MOSFET デバイスに採用したモデルは、bsim4 MOSFET device ver4.0[14]、レベル54、エンハンスメント型である。本研究において基準としたデバイスモデルのモデルパラメータの主要な値と、基準動作電圧設定値（Case0）を表 6.1 に示す。また、パラメータの詳細は付録 B に掲載する。

	Vdd[V]	L[nm]	W[nm]	Tox[nm]	NDEP[$\times 10^{18}(\text{atom}/\text{cm}^3)$]
nMOSFET	1.0	100	500	1.8	2.8
pMOSFET			1000		

表 6.1 : 基準モデルパラメータ (Case0)

6.2 MOSFET 単体での評価

本節では、それぞれ nMOSFET、pMOSFET で、MOSFET のデザインルールを、各 Case ごとに選出し、遅延時間、消費電力の評価を行う。

評価方法について述べる。5.5 節で述べたように、表 5.1 の方針に則って各 Case を決定する。なお、表 6.1 に示したモデルパラメータを基準値として採用し Case0 設定とする。

まず、動作電圧 V_{dd} と寸法設定を行う。動作電圧 V_{dd} は、Case1:1[V]、Case2:0.5[V]、Case3:0.25[V] に設定し、Case1~3 ともゲート長 L 、ゲート幅 W の寸法は、Case0 と比較して最小 1/8 スケール ($L=12.5[\text{nm}]$) を目標に 1/2~1/8 まで比例縮小する。

次に、この設定を基に、パラメータとしてチャネルドーピング濃度 NDEP を調整しながらシミュレーション実験を行い、ゲート・オフリーク電流 I_{ds0} を計測する。計測後、ゲート・オフリーク電流 I_{ds0} から静的消費電力 P_{static} を算出し、表 5.2 に示した方針に従い、Case0 (0.84[nW]) 以下の静的消費電力 P_{static} の条件満たし、かつ遅延時間 $R_{\text{on}}(C_g+C_d)$ が最小なデザインルールを各 Case ごとに選出する。

最後に、選出したデザインルールの遅延時間 $R_{on}(C_g+C_d)$ の逆数を暫定的に動作周波数 f として仮定し、動的消費電力 $P_{dynamic}$ を算出し、基準値 Case0 と Case1~3 の比較、評価を行う。なお容量は、今後 CMOS 論理回路を構成することを考慮して、インバータなどの 2 トランジスタ分の容量 (nMOS、pMOS 分の容量) を設定した。

nMOSFET、pMOSFET において各々選出したデザインルールおよび、ゲート・オン抵抗 R_{on} 、ゲート・オフリーク電流 I_{ds0} を表 6.2、表 6.3 に示す。また、その時の動作周波数 f 、静的消費電力 P_{static} 、動的消費電力 $P_{dynamic}$ などの性能結果を表 6.4、表 6.5 に示す。MOSFET のデザインルールは表 6.2、表 6.3 に示すように、ゲート寸法は Case1~Case3 とともに $1/8$ ($L=12.5$ [nm]) の縮小を達成できた。チャネルドーピング濃度 NDEP は、Case1 が 30.8 [atom/cm³]、Case2 が 22.4 [atom/cm³]、Case3 が 16.8 [atom/cm³] となった。ゲート寸法が同一スケールにも関わらず、各 Case ごとに NDEP の値が異なるのは、動作電圧 $V_{dd}(V_{gs}, V_{ds})$ を低減に伴い、式 4.11 で示した短チャネル効果閾値電圧変化分 V_{SCE} の式中 V_{ds} の値が低減したことが影響したためである。式中のチャネル長関数 θ_{th} とドレイン・ソース電圧 V_{ds} には積の関係がある。Case2、Case3 はそれぞれ動作電圧 V_{dd} を 0.5 [V]、 0.25 [V] に設定したため、ドレイン・ソース電圧 V_{ds} の値は小さくなる。したがって、 θ_{th} と積の関係がある V_{ds} が小さくなった分、チャネル長関数 θ_{th} を一定に保つ働きをさせていた NDEP の増加を少なくすることができたと考えられる。ゲート・オン抵抗 R_{on} は、基準である Case0 が 4.9 [k Ω] であるのに対して、動作電圧 V_{dd} を下げるごとに増加し、最大 Case3 の 746.4 [k Ω] の約 152 倍に増加している。これは、式 2.5 で与えられるゲート・オン抵抗 R_{on} の式中分母にある有効ゲート電圧の値、つまりゲート・ソース電圧 V_{gs} と閾値電圧 V_{th} の差が著しく小さくなったからである。まず、動作電圧 $V_{dd}(V_{gs}, V_{ds})$ を下げたことにより、ゲート・ソース電圧 V_{gs} の値は小さくなる。また、本研究では短チャネル効果を抑制するため、NDEP を通常の電界一定スケールリング則よりも過剰にドーピングして、閾値電圧 V_{th} を上げている。これらのことが要因となり、ゲート・オン抵抗 R_{on} は Case0 に対して約 2 桁増加したと考えられる。ゲート・オン抵抗 R_{on} が増大すると、配線干渉や、信号線に宇宙線などの外部ノイズが混入しやすくなり、誤動作などの問題が生じる可能性があるが、本研究は回路シミュレーションによる実験を行っているため、これを考慮することは出来ない。よって、この問題は今後の課題とすることとした。ゲート・オフリーク電流 I_{ds0} は、Case2、Case3 においては微増している。しかし、評価方針で述べたように、本研究では、実際に消費電力に影響する静的消費電力 P_{static} において基準値以下としていること、オーダーがナノアンペアであることを考慮し問題とならないが、より詳細な静的消費電力 P_{static} の絶対的評価は本節末にて述べる。

	Vdd[V]	L[nm]	W[nm]	NDEP[$\times 10^{19}$ (atom/cm ³)]	Ron[k Ω]	Ids0[nA]
Case0	1.00	100.0	500.0	2.8	4.9	0.82
Case1	1.00	12.5	62.5	30.8	19.7	0.70
Case2	0.50	12.5	62.5	22.4	104.4	1.09
Case3	0.25	12.5	62.5	16.8	746.4	2.50

表 6.2 : nMOSFET デザインルールと抵抗、オフ・リーク電流

	Vdd[V]	L[nm]	W[nm]	NDEP[$\times 10^{19}$ (atom/cm ³)]	Ron[k Ω]	Ids0[nA]
Case0	1.00	100.0	1000	2.8	4.3	-0.84
Case1	1.00	12.5	125	30.8	11.9	-0.86
Case2	0.50	12.5	125	22.4	76.7	-1.36
Case3	0.25	12.5	125	16.8	590.5	-3.13

表 6.3 : pMOSFET デザインルールと抵抗、オフ・リーク電流

	f[GHz]	P _{static} [nW]	P _{dynamic} [μ W]	f比	P _{static} 比	P _{dynamic} 比
Case0	20.3	0.82	2020	1.0	1.0	1.0
Case1	325.7	0.70	50.8	16.0	0.8	0.25
Case2	61.3	0.55	2.4	3.0	0.7	0.01
Case3	8.6	0.63	0.1	0.4	0.8	0.0004

表 6.4 : nMOSFET の性能

	f[GHz]	P _{static} [nW]	P _{dynamic} [μ W]	f比	P _{static} 比	P _{dynamic} 比
Case0	23.5	0.84	233.9	1.0	1.0	1.0
Case1	540.2	0.86	84.3	22.9	1.0	0.36
Case2	83.5	0.68	3.3	3.6	0.8	0.01
Case3	10.9	0.78	0.1	0.5	0.9	0.0005

表 6.5 : pMOSFET の性能

nMOSFETの選出したデザインルールの性能結果について述べる。各Caseの性能は、表6.4に示すようになった。Case1は、動作周波数 f 比 16.0、静的消費電力 P_{static} 比 0.8、動的消費電力 $P_{dynamic}$ 比 0.25 となった。Case2は、動作周波数 f 比 3.0、静的消費電力 P_{static} 比 0.7、動的消費電力 $P_{dynamic}$ 比 0.01 となった。Case3は、動作周波数 f 比 0.4、静的消費電力 P_{static} 比 0.8、動的消費電力 $P_{dynamic}$ 比 0.0004 となった。

まず、Case1の評価を行う。目的であった高速性は動作周波数 f 比 16.0 と大きく向上しながらも、消費電力の大部分を占める動的消費電力 $P_{dynamic}$ 比は 0.25 と 1/4 に消費電力を削減することができ、全ての要素における性能指標を満たす結果となった。

Case2は、Case0 同等の高速性を保ちながら、消費電力を抑えることを目的としていたものである。各性能指標をみると、動作周波数 f 比は 3.0 と、同等以上の高速性を保ちながら、動的消費電力 $P_{dynamic}$ 比は 0.01 と、動的消費電力を 100 分の 1 に抑えることができた。

低消費電力を目的とした Case3 は、動作周波数 f 比は 0.4 に低下するが、動的消費電力 $P_{dynamic}$ 比は 0.0004 と 2500 分の 1 に削減することができた。

次に、静的消費電力 P_{static} の絶対値の評価を述べる。MOSFET デバイスの設計方針は 5.5 節で既に述べたように、静的消費電力 P_{static} は基準値 Case0 の値以下としていた。しかし、基準値自体の静的消費電力 P_{static} の絶対値評価は行っていない。したがって本節において、表 6.4、表 6.5 の結果と、近年発表された静的消費電力 P_{static} の絶対値[3]とを比較し、評価を行うこととする。

まず、表6.5と表6.6を業界標準規格と同一条件で評価するために、ゲート幅 W を 1000[nm] に設定し直して測定した結果を表6.6に示す。次に、判断指標のゲート・オフリーク電流、静的消費電力 P_{static} の性能を表6.7に示す。表6.6、表6.7を比較するとわかるように、全てのCaseにおいて静的消費電力 P_{static} は、判断指標値より優位を示していることがわかる。本研究はシミュレーション実験による測定結果であって、実デバイスの測定結果ではないことを考慮すると絶対的な優位は主張できないが、静的消費電力においても大幅な低消費電力化が測れることが期待される。

	Type	Vdd[V]	L[nm]	Ids0[A](W=1000nm)	P _{stat} [nW]
Case0	n	1.00	100.0	1.65	1.65
	p			0.838	0.838
Case1	n	1.00	12.5	13.2	13.2
	p			-7.40	3.7
Case2	n	0.50	12.5	35.4	17.7
	p			-20.2	10.1
Case3	n	0.25	12.5	126	31.6
	p			-7.61	1.90

表 6.6 : 標準化した MOSFET のオフ・リーク電流、静的消費電力 (W=1000[nm])

	Type	Vdd[V]	L[nm]	Ids0(W=1000nm)[A]	P _{stat} [nW]
A社	n	1.00	30.0	100	100
	p			-100	100
B社	n	1.00	30.0	35	35
	p			-35	35

表 6.7 : 判断指標オフ・リーク電流、静的消費電力 (W=1000[nm])

6.3 論理回路での評価

6.3.1 インバータ回路 (NOT 回路)

本節では、前節で各 Case ごとに選出した MOSFET デバイスのデザインルール (表 6.2、表 6.3) を用いて、CMOS インバータ回路 (NOT 回路) の動作周波数、消費電力の測定を行う。pMOS のゲート幅 W が nMOS の 2 倍なのは、pMOS のキャリアである正孔の移動度は nMOS のキャリアである電子の移動度に対して約半分であることから、ゲート幅 W を 2 倍にして利得係数を合わせるためである。

評価方法について述べる。インバータの回路図を図 6.1、シミュレーションに用いた回路を図 6.2 に示す。図 6.2 のように、インバータを 4 段構成にし、インバータ 2 の入力とインバータ 3 の出力時間の差から最大遅延時間を計測し、その 5 倍の逆数を動作周波数と仮定する。5 倍とした理由は、立ち上がり時の最大遅延時間値、立下り時の最大遅延時間値、論理値が安定である期間を最大遅延時間の 3 倍程度とすると、パルス幅は最大遅延時間値の 5 倍と見積もられることによる。なお、6.3.2 節の NAND 論理回路の評価においてもこの仮定に基づき動作周波数を与えることとする。消費電力は、2 周期目と 3 周期目の平均電力を測定した。なお、消費電力を測定する際の入力動作周波数は、各 Case ごとに導出した動作周波数とした。入力にインバータを挿入するのは、前段のトランジスタのゲート・オン抵抗と拡散容量を考慮するため、出力にインバータを挿入するのは、次段のゲート容量を考慮するためである。これにより、現実的な回路での測定を行うことができる。

シミュレーション結果を表 6.8 に示す。表 6.8 より、Case1 の動作周波数 f 比は 4.6、消費電力 P 比は 0.26、Case2 の動作周波数 f 比は 1.5、消費電力 P 比は 0.01、Case3 の動作周波数 f 比は 0.2、消費電力 P 比は 0.0005 となった。消費電力比は、MOSFET 単体での評価 (表 6.4、表 6.5) とほぼ同様の結果が得られたが、動作周波数 f 比は、優位は保っているものの nMOSFET 単体の f 比と比較すると、各 Case とも約半分に低下する結果となった。

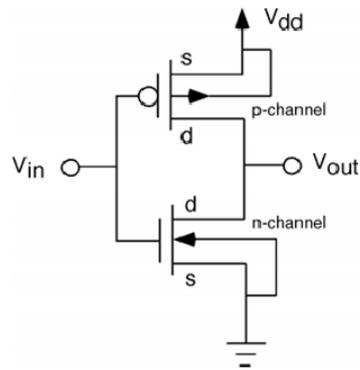


図 6.1 : インバータ回路図

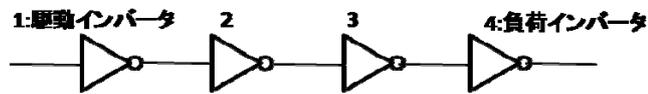


図 6.2 : インバータ回路構成図

	f [GHz]	f比	P=Pstatic+Pdynamic[μW]	P比
Case0	4.6	1.0	41.9	1.0
Case1	42.6	9.3	10.9	0.26
Case2	7.0	1.5	0.5	0.01
Case3	1.0	0.2	0.02	0.0005

表 6.8 : インバータ回路の性能

6.3.2 NAND 回路

本節では、NAND 回路の動作周波数、消費電力の測定を行う。NAND の回路図を図 k に示す。図 6.3 をみればわかるように、NAND 回路は、pMOS を電源電圧から並列に接続し、nMOS はグランドから直接に接続させている。直列の場合の抵抗は 2 倍になり、並列の場合の抵抗は半分になる。回路の遅延時間は $R_{on}(C_g+C_d)$ 積で決まるので、nMOS、pMOS 場合でゲート・オン抵抗 R_{on} が異なると、NAND 回路の立ち上がり、立下り時間にズレが生じ、無駄な遅延が出てしまうことになる。そこで本研究では、6.2 節の評価をもとに、直列の場合の nMOS ゲート・オン抵抗 $2R_{onn}$ と、並列の場合の pMOS の場合の pMOS ゲート・オン抵抗 $R_{onp}/2$ の値をほぼ等しくすることとした。2.5 式の分母にゲート幅 W があり、これを調整することでゲート・オン抵抗 R_{on} 値を変えることが出来る。したがって nMOS、pMOS のゲート幅 W の比率をパラメータとして調整し等しくする。nMOS と pMOS のゲート幅の合計値は、インバータ構成時のレイアウトを、基準に一定となるようにした。以上より、NAND 回路用の MOSFET のデザインルールを

設定し直すことにした。NAND 回路用 nMOSFET、pMOSFET のデザインルールを表 6.9 に、その時の性能を表 6.10 に示す。

次に、評価方法について述べる。シミュレーションに用いた回路を図 6.4 に示す。入力には前段のトランジスタのゲート・オン抵抗と拡散容量を考慮するためにインバータ (6.3.1MOSFET デザインルール構成) を、出力には次段のゲート容量を考慮するために NAND 回路を挿入した。消費電力を計測する際の入力パターンは ‘00’ から 1 ビットずつ変化させ ‘11’ になるまでを 1 周期とし、2 周期目と 3 周期目の平均電力を測定した。動作周波数は最大遅延時間の 5 倍の逆数として与え、消費電力を測定する際の入力動作周波数は、動作周波数とほぼ比例する値を設定した。

シミュレーション結果を表 6.11 に示す。表 6.11 より、Case1 は動作周波数 f 比 11.3、消費電力 P 比は 0.35、Case2 は動作周波数 f 比 1.5、消費電力 P 比は 0.05、Case3 は動作周波数 f 比 0.2、消費電力 P 比は 0.0005 となった。動作周波数 f 比は、6.3.1 節の評価で述べたように、ゲート・オン抵抗 R_{on} が一定ではないことから MOSFET 単体での評価より半分に低下しているが、Case1 は、動作周波数 f 比は 11.3 と高い値を示しながらも、消費電力を約 1/3 に削減した。Case2 は、動作周波数 f 比は 1.5 と Case0 と同等以上の性能を維持しながらも消費電力を約 1/20 に削減し、Case3 は、動作周波数 f 比は 0.2 と 1/5 に低下するが、消費電力は約 1/2000 に削減した。Case3 における P 比は、Case0 よりも動作周波数が低下しているため、消費電力の削減率は動作周波数が低下した割合だけ、優位な条件で比較していることになるが、仮に同一条件とするために Case3 の入力動作周波数を 5 倍として仮定しても、 P 比は 0.025 と、約 1/400 の削減率を示していることがわかる。

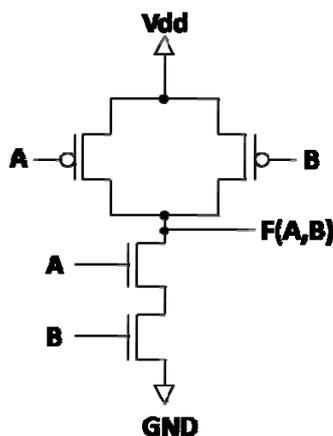


図 6.3: NAND 回路図

	Type	Vdd[V]	L[nm]	W[nm]	NDEP $\times 10^{18} (\text{atom}/\text{cm}^3)$	2Ron(nMOS) Ronp/2(pMOS) [k Ω]	Ids0[nA]
Case0	n	1.00	100.0	1000	2.8	4.91	1.65
	p			500		4.53	
Case1	n	1.00	12.5	125	30.8	18.2	1.53
	p			62.5		12.9	
Case2	n	0.50	12.5	125	22.4	95.6	2.40
	p			62.5		167.8	
Case3	n	0.25	12.5	125	16.8	681.0	5.49
	p			62.5		646.9	

表 6.9 : NAND ゲート用 MOSFET デザインルール

	Type	f [GHz]	Pstatic [nW]	Pdynamic [μ W]	f比	Pstatic比	Pdynamic比
Case0	n	20.5	1.65	203.8	1.0	1.0	1.0
	p	22.2	0.45	220.5	1.0	1.0	1.0
Case1	n	352.0	1.53	55.0	17.2	0.9	0.27
	p	497.2	0.39	77.6	22.4	0.8	0.35
Case2	n	67.0	1.20	2.98	3.3	0.7	0.01
	p	76.4	0.31	2.90	3.4	0.7	0.01
Case3	n	9.4	1.37	0.09	0.5	0.8	0.0005
	p	9.9	0.36	0.09	0.4	0.8	0.0004

表 6.10 : NAND ゲート用 MOSFET の性能

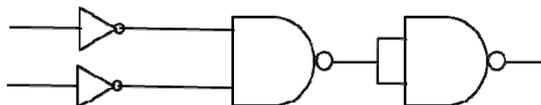


図 6.4 : NAND 回路構成図

	f [GHz]	f比	P=Pstatic+Pdynamic [μ W]	P比
Case0	1.8	1.0	15.2	1.0
Case1	20.3	11.3	5.31	0.35
Case2	3.0	1.5	0.086	0.05
Case3	0.4	0.2	0.008	0.0005

表 6.11 : NAND 回路の性能

6.3.3 XOR 回路

本節では、6.3.2 節、表 6.9 の NAND 用 MOSFET デザインルールを採用した全 NAND ゲート構成 XOR 回路の遅延時間、消費電力の評価を行う。なお、以下の論理回路においても表 6.9 の NAND 用 MOSFET デザインルールを採用する。

本研究で用いた XOR 回路の回路図を図 6.5 に示す。図 6.5 に示すように、XOR 回路は NAND ゲートの組み合わせ論理回路になっている。入力には前段のトランジスタのゲート・オン抵抗と拡散容量を考慮するためにインバータ (6.3.1MOSFET デザインルール構成) を、出力には次段のゲート容量を考慮するために NAND 回路を挿入した。

評価方法について述べる。インバータ回路、NAND 回路などの 1 段論理回路構成時では、最大遅延時間の 5 倍の逆数を動作周波数と仮定していた。一方、XOR 回路は多段組み合わせ論理回路であるため、1 段の論理回路の 5 倍の遅延時間よりも、回路全体の入力信号と出力信号の遅延差の方が大きくなると考えられる。したがって、XOR 回路の入力信号に対する出力信号の最大遅延時間の逆数を動作周波数と仮定する。ただし、波形の乱れなども考慮する必要があるため、仮定した動作周波数を入力として与え、正常な出力を与えるかの検証、消費電力の測定を行う。なお、全加算器回路、乗算回路においても同様の評価を行う。

シミュレーション結果を表 6.12 に示す。表 6.12 より、Case1 は動作周波数 f 比 8.8、消費電力 P 比は 0.23、Case2 は動作周波数 f 比 1.5、消費電力 P 比は 0.01、Case3 は動作周波数 f 比 0.2、消費電力 P 比は 0.0004 となった。Case1 は、表 6.11 に示す NAND 回路の場合と比較すると低下はしたが、動作周波数 f 比は 8.8 と約 10 倍の動作性を保持しながら、消費電力を 1/4 以下に削減した。Case2 は、動作周波数 f 比は 1.5 と Case0 と同等以上の性能を維持しながら消費電力を約 1/100 に削減し、Case3 は、動作周波数 f 比は 0.2 と 1/5 に低下するが、消費電力は約 1/2000 に削減した。また、XOR 回路は全 NAND 構成であり、6.3.2 節の NAND を 4 ゲート使用したことになるが、動作周波数 f 比、消費電力 P 比とも、その比率は NAND 回路単体の場合とほぼ同一となった。

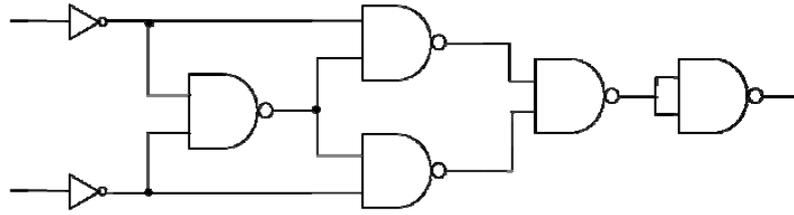


図 6.5 : XOR 回路構成図

	f [GHz]	f比	P=Pstatic+Pdynamic[μW]	P比
Case0	2.7	1.0	71.9	1.0
Case1	23.8	8.8	16.4	0.23
Case2	4.0	1.5	0.71	0.01
Case3	0.5	0.2	0.03	0.0004

表 6.12 : XOR 回路の性能

6.3.3 全加算器回路

本節では、6.3.2節、表6.9のNAND用MOSFETデザインルールを採用した全NANDゲート構成全加算器回路の遅延時間、消費電力の評価を行う。本研究で用いた全加算器回路を図6.6に示す。入力にはバッファとしてインバータを、出力には負荷としてNAND回路を挿入した。評価方法は、6.3.2節と同様であるが、消費電力を計測する際の入力パターンは‘000’から1ビットずつ変化させ‘111’になるまでを1周期とし、2周期目と3周期目の平均電力を測定した。

シミュレーション結果を表6.13に示す。表6.13より、Case1は動作周波数f比9.4、消費電力P比は0.28、Case2は動作周波数f比1.3、消費電力P比は0.009、Case3は動作周波数f比0.2、消費電力P比は0.0004となった。6.3.2節、XOR回路の場合同様、Case1は、動作周波数f比は9.4と約10倍の動作性を保持しながら、消費電力を約1/4に削減した。Case2は、動作周波数f比は1.3とCase0と同等以上の性能を維持しながらも消費電力を1/100以下に削減し、Case3は、動作周波数f比は0.2と1/5に低下するが、消費電力は約1/2500に削減した。



図 6.6 : 全加算器構成図

	f [GHz]	f比	P=Pstatic+Pdynamic[μ W]	P比
Case0	1.42	1.0	118	1.0
Case1	13.4	9.4	33.1	0.28
Case2	1.9	1.3	1.04	0.009
Case3	0.26	0.2	0.05	0.0004

表 6.13 : 全加算器の性能

6.3.4 4ビット乗算回路

本節では、本研究の最終的な論理回路評価として4ビット乗算回路の動作周波数、遅延時間の評価を行う。

評価方法について述べる。乗算回路は全 NAND ゲート構成とし、NAND ゲートに用いる MOSFET パラメータは、6.3.2 節、表 6.9 の NAND ゲート用 MOSFET デザインルールを採用する。4 入力 2 出力の BC ブロックを図 6.7 に示す。乗算回路の構成は、図 6.8 に示す 4 入力 2 出力の BC ブロックを多段に構成した並列乗算器と、図 6.9 に示す、桁上げ先見加算器 (Carry look-ahead Adder) 構成とした。桁上げ先見加算器構成を用いるのは、演算速度割合の主な要因となる並列乗算器から出力される桁上げ信号を待たずに、個々の桁上げ信号を独立した演算によって行わせるためである。本研究では、図 6.8 の太線で示した全加算器の出力信号を用いずに、桁上げ先見加算器の演算出力を全加算器の桁上げ入力として挿入する。また、入力にはバッファとしてインバータを、出力には負荷として NAND ゲートを挿入した。乗算回路の入力が対象であることに着目し、乗数と被乗数を区別しないこととした。遅延時間が最大になるのは、回路パスが最長になる入力パターンを入れたときである。回路パスが最長になる入力パターンは、入力 X (x_0, x_1, x_2, x_3)、入力 Y (y_0, y_1, y_2, y_3) とも、 $(0, 0, 0, 0)$ から $(1, 1, 1, 1)$ に変化するときであると考えられる。したがって、その時の遅延時間を各桁 ($z_0 \sim z_7$) の出力信号において計測し、最大となった桁の遅延時間を最大遅延時間とし、その逆数を動作周波数と仮定する。消費電力は、最大消費電力で評価することとする。最大消費電力は、乗算回路のスイッチング回数が最も多い入力パターンを入れたときとなる。したがって、遅延時間測定の場合と同様、入力 X (x_0, x_1, x_2, x_3)、入力 Y (y_0, y_1, y_2, y_3) とも、 $(0, 0, 0, 0)$ から $(1, 1, 1, 1)$ に変化するときがピークになると考えられる。また、消費電力を測定する際の入力動作周波数は、仮定した動作周波数を 6.3.3 節と同様に与え、2 周期目と 3 周期目の平均電力とした。

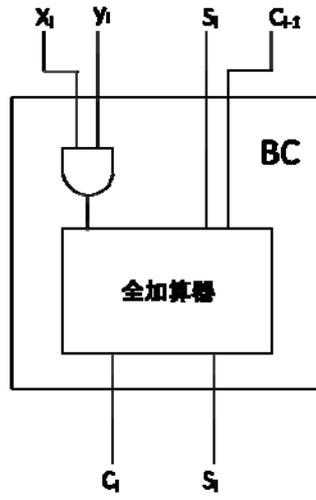


図 6.7 : BC ブロック内部構造 (4 入力 2 出力)

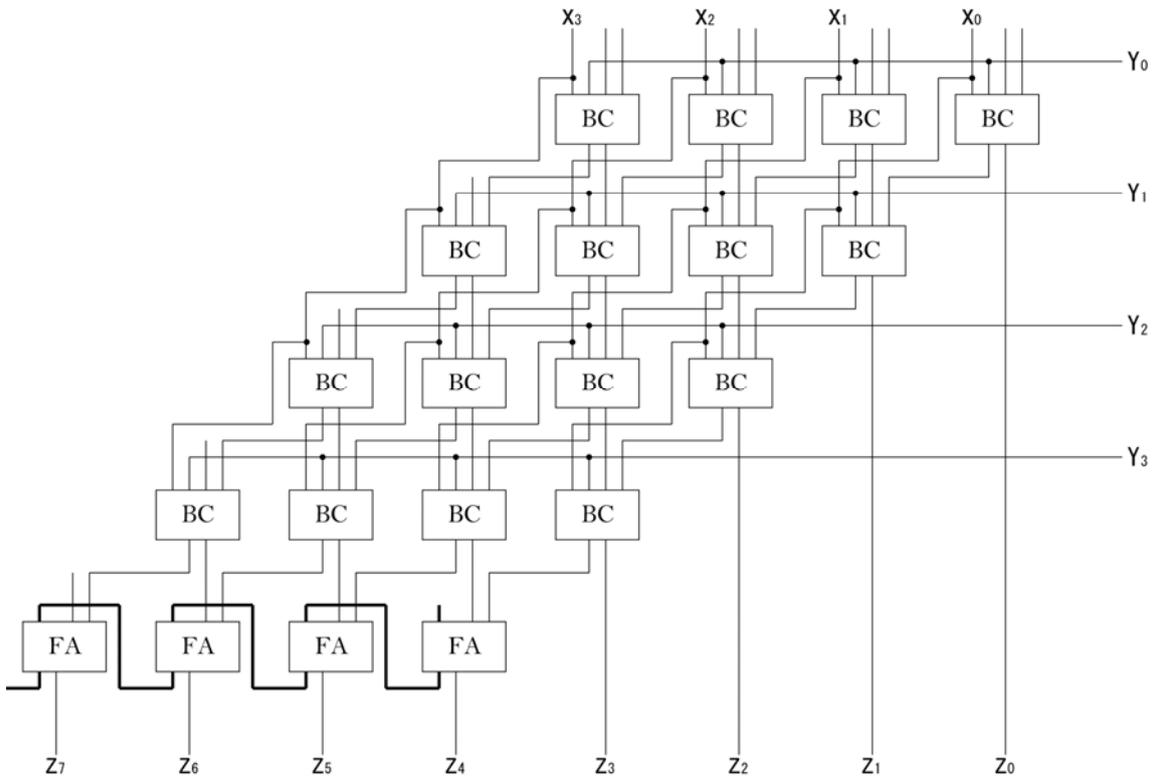


図 6.8 : 並列乗算器構成図

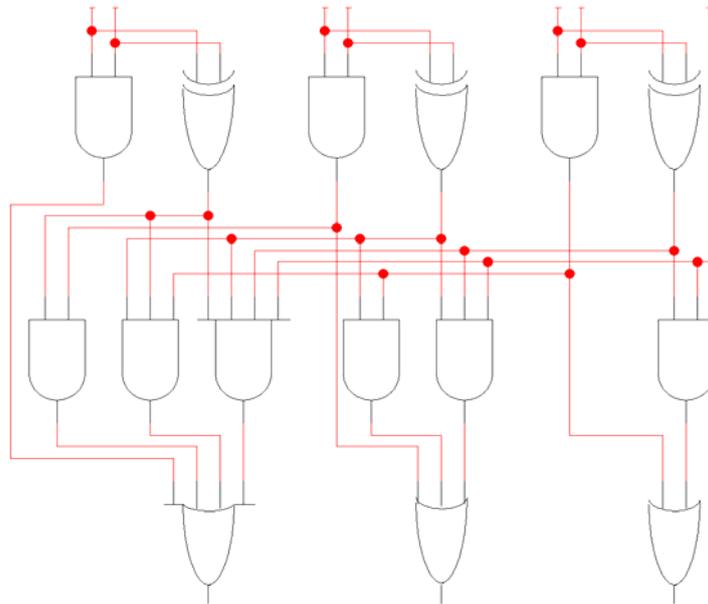


図 6.9 : 桁上げ先見加算器 (Carry look-ahead Adder) 構成図

	f [MHz]	f比	P=Pstatic+Pdynamic[μ W]	P比
Case0	290	1.0	813	1.0
Case1	2513	8.7	206	0.25
Case2	493	1.7	9.9	0.01
Case3	57	0.2	0.6	0.0007

表 6.14 : 乗算回路の性能

	電力時間積 [fW-S]	電力時間積比
Case0	2803	1.000
Case1	82	0.029
Case2	20	0.007
Case3	11	0.004

表 6.15 : 並列乗算回路の電力時間積

シミュレーション結果を表 6.14 に示す。表 6.14 より、Case1 は動作周波数 f 比 8.7、消費電力 P 比は 0.25、Case2 は動作周波数 f 比 1.7、消費電力 P 比は 0.01、Case3 は動作周波数 f 比 0.2、消費電力 P 比は 0.0007 となった。Case1 は、動作周波数 f 比は 8.7 と約 10 倍の動作性を保持しながら、消費電力を $1/3$ 以下に削減した。Case2 は、動作周波数 f 比は 1.7 と、約 2 倍の性能を維持しながらも消費電力を約 $1/100$ に削減し、Case3 は、動作周波数 f 比は 0.2 と $1/5$ に低下するが、消費電力は $1/1430$ に削減した。次に、各 Case を、総消費エネルギーの指標である電力時間積で評価した結果を表 6.15 に示す。表 6.15 より、Case0 は、2803[fWs]、Case1 は、82[fWs]、Case2 は、20[fWs]、Case3 は、11[fWs]となった。Case1 は、動作周波数を約 10 倍にしながらも、消費電力、電力時間積を $1/3$ 以下に低減した。したがって、本研究で定義した高集積、高速性、低消費電力の性能指標の全てにおいて優位を示す結果となった。Case2 は、動作周波数を約 2 倍弱に保持しながら、消費電力を約 $1/100$ 、電力時間積は約 $1/150$ に低減することができた。これは、同等以上の演算速度を保ちながら、バッテリーなどの消耗時間を約 150 倍に延ばすことができることを意味している。Case3 は、動作周波数は、約 $1/5$ に低下してしまうものの、電力時間積は $1/250$ と Case2 よりエネルギー効率が優れ、かつ消費電力は $1/1430$ である。このことを考慮すると、バッテリーなどを用いない自己発電機器向けのトランジスタとして有用であると考えられる。Case2、Case3 は、高集積、低消費電力、電力時間積において優位を示した。また、この 2 つの Case は、組み込みなどの低消費電力用トランジスタとして有用性があることを示している。

第7章 結論

本論文における結論を述べる。第1章では、LSIの性能向上背景と、問題点、つまり量子トンネル効果に起因する電界一定スケーリング則の限界と、本研究の目的を述べた。第2章では、集積回路を構成している基本素子であるMOSFETトランジスタとCMOS論理回路の概要について述べた。第3章では、電界一定スケーリング則の性質と、それに付随することで発生する量子トンネル効果の原理および、ゲート酸化膜厚との因果関係について、理論とプロセス技術の両面から述べた。第4章では、この問題を解決すべく、ゲート酸化膜厚を固定しながら、ゲート寸法、電源電圧を任意に縮小する電界低減型スケーリング則を提案した。また、この手法の問題点および、その解決策を述べた。第5章では、目的を達するための性能指標を高集積、高速、低消費と定め、回路特性を考慮しMOSFETの設計方針を決定した。第6章では、MOSFET単体での評価、論理回路においてシミュレーション実験を行い、その評価を述べた。

以上の議論から、2つのことを結論とする。

第一に、CMOS論理回路の演算処理時間は、それを構成している前段トランジスタのオン抵抗と次段ゲート容量の積、つまり遅延時間によって決まる。したがって、量子トンネル効果に起因するゲート・オフリーク電流を抑制するためにオン抵抗が増大した場合においても、それ以上にゲート容量を低減させることが出来れば、物性に依存せずともスケーリング則の恩恵を受けることができる。つまり、ゲート酸化膜厚を一定にして論理回路の性能向上を図ることは可能である。

第二に、本研究の提案手法である電界低減型スケーリング則を適用させたトランジスタは、低消費電力の観点において有益である。ただし、本研究では、提案手法に起因した問題やシミュレーション実験により評価を行ったため、課題も残っている。今後の課題としては以下のことが考えられる。

1. トランジスタのオン電流が低減することにより、信号線に外部からのノイズが混入しやすくなる可能性がある。
2. 本研究では、短チャネル効果抑制策として、チャネルドーピング濃度の値を任意に設定したが、その濃度設定の判断基準には、実際のプロセス技術の問題は考慮していない。つまり、製造時において、より精度の高い濃度調整が必要となる可能性がある。
3. 今後、更なる性能の向上を図るためには、有効ゲート電圧を保つために閾値電圧の設定を適切にする必要と、配線遅延の問題を考慮する必要がある。

謝辞

本研究を進めるに当り、熱心かつ丁寧な御指導、御教授を賜りました日比野靖教授に心より感謝を致します。また、静的消費電力と動的消費電力の比率などの注意点をご指摘戴きました田中清史准教授、論理回路構成のご教授を戴きました金子峰雄教授に深く感謝致します。

また、研究を進めるに当り、適切なお助言を頂きました菅原英子助教を始めとする、計算機アーキテクチャ講座の諸兄に深く感謝致します。

参考文献

- [1] R. H. Dennard et al., “Design of ion-implanted MOS-FET’s with very small physical dimensions”, IEEE jour. of solid-state-Circuits, v9, n5, pp. 256-268, 1974
- [2] 日経エレクトロニクス, No900, 2005. 5. 23
- [3] 日経エレクトロニクス, No1021, p. 62, 2010. 1. 11
- [4] C. ミード, L. コンウェイ著, 菅野卓雄, 裕之 監訳, “超 LSI システム入門”, 培風館, 1981
- [5] 國枝 博昭 著, “集積回路設計入門”, コロナ社, 1996
- [6] 榎本忠儀 著, “CMOS 集積回路”, 培風館, 1996
- [7] 菅野卓雄 著, “CMOS 超 LSI の設計”, 培風館, 1989
- [8] 小長井誠 著, “半導体物性 “, 培風館, 2005
- [9] Bernard Meyerson, ISSCC(IEEE symposium on Computers and Communications), 2006
- [10] 島末政憲, 川原康雄 著, 青木均 編著, “CMOS モデリング技術”, 丸善株式会社, 2006
- [11] Z. Liu et al., “Threshold Voltage Model for Deep Submicrometer MOSFET’s”, IEEE Trans. Elec. Dev. vol. ED-40, pp. 86-95, 1993
- [12] SIPCE OPUS(SPICE with integrated Optimization Utilities) by CACD Group at University of Ljubljana
- [13] SPICE3 User’s Manual(University California, Berkeley)
- [14] BSIM4 MOSFET device model ver4.0
University California, Berkeley,
http://www-device.eecs.berkeley.edu/bsim3/bsim4_get.html

付録 A 容量評価

回路に寄生する負荷容量は、本論文で取り上げた、ゲート容量、拡散容量以外にも存在する。よって、本研究における負荷容量の評価について述べる。

1. 負荷回路を構成する MOSFET のゲート電極に寄生するゲート容量 C_g
2. 駆動回路におけるドレイン拡散領域と基板との間の pn 接合による接合容量
3. 駆動回路と負荷容量を結ぶ配線に寄生する容量

負荷容量 C_L は以下の 3 つに分けられ、MOSFET の動作領域依存する容量と依存しない容量に大別できる。動作領域に依存する容量とは、遅延時間に影響を及ぼすと考えられる容量ということになる。ここでは、遅延時間への影響が大きいと考えられるために本研究で考慮したゲート・ソース容量と、ゲート・ドレイン容量の算出方法について述べる。なお、その他の容量パラメータはデバイスモデル値（付録 B）を採用した。

まず、ゲート・ソース容量 C_{gs} とゲート・ドレイン容量 C_{gd} について述べる。ゲート・ソース容量 C_{gs} とゲート・ドレイン容量 C_{gd} は、ゲート幅を W と与えると A.1 式で表される。

$$C_{gs}, C_{gd} = CG_{DO}^{SO} \times W \cong 2CGSO \times W \quad \dots\dots\dots \text{(式 A.1)}$$

CG_{DO}^{SO} : 単位幅あたりのゲート・ソースオーバーラップ容量

MOSFET は、ドレインとソースは対象であるため、式 A.1 のように単位幅あたりのオーバーラップ容量にゲート幅 W を掛けたものの 2 倍として計算できるので、ゲート・ソースオーバーラップ容量を例に説明する。ゲート・ソースオーバーラップ容量 $CGSO$ は、 ϵ : 誘電率 ϵ_0 : 真空誘電率、オーバーラップゲート長: ΔL とすると、式 A.2 で表される。

$$CGSO = \frac{\epsilon\epsilon_{ox}\Delta L}{T_{ox}} \dots\dots\dots \text{(式 A.2)}$$

ここで、採用したデバイスモデルのゲート L :100[nm]、ゲート幅 W :500[nm]、ゲー

ト酸化膜厚 T_{ox} : 1.8 [nm] の基準モデルパラメータにおいて、単位幅当たりのゲート・ソースオーバーラップ容量 $CGSO$ は、 $6.238E-010$ で与えられている。ここから、オーバーラップゲート長: ΔL を算出すると、 ΔL は 0.325nm であった。ゲート長 L は 100nm であったので、オーバーラップ比率は 32.5% であることがわかる。よって、ゲート寸法を縮小する際には、プロセス技術の進歩により、この比率を一定に保てる考えを基に単位幅当たりのゲート・ソースオーバーラップ容量 $CGSO$ を算出し、採用することとした。

付録 B bsim4 MOSFET device ver4.0

```
.model nche nmos
*
*default
*
+level = 54
+VERSION = 4.0
+NDEP = 2.8E+018

+BINUNIT = 1
+PARAMCHK = 1
+MOBMOD = 0
*キャリア移動度スイッチパラメータ (P95)
+CAPMOD = 2
+IGCMOD = 2
*ゲートリーク電流モデルの Vaux の切り替えスイッチ
+IGBMOD = 1
+GEOMOD = 1
*両端のソース・ドレイン領域の状態
+DIOMOD = 1
+RDSMOD = 0
*非対称およびバイアス依存ソース・ドレイン抵抗のスイッチパラメータ
* (非対称なソースおよびドレインの外部に接続される抵抗成分として、p137)
+RBODYMOD = 0
+RGATEMOD = 1
+PERMOD = 1
*PD と PS にゲート下の一辺が含まれるかのスイッチ
+ACNQSMOD = 0
+TRNQSMOD = 0
+TNOM = 27
*温度依存パラメータ
+TOXE = 1.8E-009
*電氣的ゲート酸化膜厚
+TOXP = 1.0E-009
```

*物理的ゲート酸化膜厚

+TOXM = 1.8E-009

*抽出時ゲート酸化膜厚

+DTOX = 0.8E-009

*差

+EPSROX = 3.9

*ゲート酸化膜比誘電率

+WINT = 5E-009

+LINT = 1E-009

+LL = 0

+WL = 0

+LLN = 1

+WLN = 1

+LW = 0

+WW = 0

+LWN = 1

+WWN = 1

+LWL = 0

+WWL = 0

+XPART = 1

+TOXREF = 1.4E-009

*トンネル電流用基準酸化膜厚

+VSAT = 1.1E+005

+VTH0 = 0.25

*閾値電圧

+K1 = 0.35

*基板効果係数

+K2 = 0.05

*ソース・ドレイン空乏電荷分割係数

+K3 = 0

+K3B = 0

+W0 = 2.5E-006

+DVT0 = 1.8

*閾値電圧短チャネル効果の一次係数

+DVT1 = 0.52

*閾値電圧短チャネル効果の二次係数

+DVT2 = -0.032
*閾値電圧短チャネル効果の基板バイアス係数
+DVT0W = 0
*閾値電圧狭チャネル効果の一次係数
+DVT1W = 0
*閾値電圧狭チャネル効果の二次係数
+DVT2W = 0
*閾値電圧狭チャネル効果の基板バイアス係数
+DSUB = 2
+MINV = 0.05
+VOFFL = 0
+DVTP0 = 1E-007
+DVTP1 = 0.05
+LPE0 = 5.75E-008
+LPEB = 2.3E-010
+XJ = 2E-008
*ドレインソース領域の接合の深さ
+NGATE = 5E+020
*ポリシリコンゲートドーピング濃度
+NSD = 1E+020
*ソース・ドレインドーピング濃度
+PHIN = 0
+CDSC = 0.0002
*ドレインソースからのチャネル結合容量
+CDSCB = 0
*CDSCの基板バイアス感度
+CDSCD = 0
*CDSCのドレインバイアス感度
+CIT = 0
*インターフェーストラップ容量
+VOFF = -0.15
*弱反転領域におけるオフセット電圧
+NFACTOR = 1.2
*弱反転領域におけるドレイン電流の傾き
+ETA0 = 0.05
*弱反転領域における DIBL 効果係数

+ETAB = 0
*弱反転領域における DIBL 効果基板バイアス係数
+UC = -3E-011
*移動度劣化の基板効果係数
+VFB = -0.55
*フラットバンド電圧
+U0 = 0.032
*キャリア移動度
+UA = 5.0E-011
*移動度劣化の一次係数
+UB = 3.5E-018
*移動度劣化の二次係数
+A0 = 2
*基板電荷効果のチャネル長依存係数
+AGS = 1E-020
*基板電荷効果のゲートバイアス係数
+A1 = 0
*一次非飽和効果パラメータ
+A2 = 1
*二次非飽和効果パラメータ
+B0 = -1E-020
*基板電荷効果のチャネル幅依存係数
+B1 = 0
*基板電荷効果のチャネル幅オフセット
+KETA = 0.04
*基板電荷効果の基板バイアス係数
+DWG = 0
*実効チャネル幅のゲート依存係数
+DWB = 0
*実効チャネル幅の基板バイアス依存係数
+PCLM = 0.08
*チャネル長変調パラメータ
+PDIBLC1 = 0.028
*出力抵抗 DIBL 効果の第一パラメータ
+PDIBLC2 = 0.022
*出力抵抗 DIBL 効果の第二パラメータ

+PDIBLCB = -0.005
*DIBL パラメータの基板効果係数
+DROUT = 0.45
*DIBL パラメータのチャネル長依存係数
+PVAG = 1E-020
*アーリー電圧のゲート依存パラメータ
+DELTA = 0.01
+PSCBE1 = 8.14E+008
+PSCBE2 = 5E-008
+FPROUT = 0.2
+PDITS = 0.2
+PDITS D = 0.23
+PDITSL = 2.3E+006
+RSH = 0
+RDSW = 50
+RSW = 50
+RDW = 50
*ドレイン側のゼロバイアス LDD 抵抗
+RDSWMIN = 0
*高ゲート電圧、ゼロ基板電圧時 LDD 抵抗
+RDWMIN = 0
*ドレイン側の高ゲート電圧、ゼロ基板電圧時 LDD 抵抗
+RSWMIN = 0
*ソース側の高ゲート電圧、ゼロ基板電圧時 LDD 抵抗
+PRWG = 0
*LDD 抵抗のゲートバイアス依存パラメータ
+PRWB = 6.8E-011
*LDD 抵抗の基板バイアス依存パラメータ
+WR = 1
*LDD 抵抗のチャネル幅依存パラメータ
+ALPHA0 = 0.074
*インパクトイオンイゼーション電流第一パラメータ
+ALPHA1 = 0.005
*基板電流チャネル長依存パラメータ
+BETA0 = 30
*インパクトイオンイゼーション電流ドレイン電圧依存第一パラメータ

+AGIDL = 0.0001
*GIDL 電流前置指数係数
+BGIDL = 2.1E+009
*GIDL 電流指数係数
+CGIDL = 0.0001
*GIDL 電流基板バイアス効果パラメータ
+EGIDL = 0.8
*GLDL 電流フィッティングパラメータ
+AIGBACC = 0.012
*蓄積領域ゲート基板リーク電流パラメータ
+BIGBACC = 0.0028
*蓄積領域ゲート基板リーク電流パラメータ
+CIGBACC = 0.002
*蓄積領域ゲート基板リーク電流パラメータ
+NIGBACC = 1
*蓄積領域ゲート基板リーク電流パラメータ
+AIGBINV = 0.014
*反転領域ゲート基板リーク電流パラメータ
+BIGBINV = 0.004
*反転領域ゲート基板リーク電流パラメータ
+CIGBINV = 0.004
*反転領域ゲート基板リーク電流パラメータ
+EIGBINV = 1.1
*反転領域ゲート基板リーク電流パラメータ
+NIGBINV = 3
+AIGC = 0.012
*ゲートチャネルリーク電流パラメータ
+BIGC = 0.0028
*ゲートチャネルリーク電流パラメータ
+CIGC = 0.002
*ゲートチャネルリーク電流パラメータ
+NIGC = 1
*ゲートチャネルリーク電流パラメータ
+POXEDGE = 1
*ゲートとソース・ドレインオーバーラップ長
+PIGCD = 1

*ゲートチャネルリーク電流ドレイン電圧依存パラメータ
+NTOX = 1

*ゲート酸化膜厚比指数
+XRCRG1 = 12
+XRCRG2 = 5
+CGS0 = 6.238E-010

*単位幅あたりのゲート・ソースオーバーラップ容量
+CGD0 = 6.238E-010

*単位幅あたりのゲート・ドレインオーバーラップ容量
+CGB0 = 2.56E-011

*単位幅あたりのゲート基板オーバーラップ容量
+CGDL = 2.495E-10

*単位幅あたりのゲート・LDD ドレインオーバーラップ容量
+CGSL = 2.495E-10

*単位幅あたりのゲート・LDD ソースオーバーラップ容量
+CKAPPAS = 0.03

*ソース側 LDD オーバーラップ容量係数
+CKAPPAD = 0.03

*ドレイン側 LDD オーバーラップ容量係数
+ACDE = 1
+MOIN = 15
+NOFF = 0.9

*弱強反転領域実効ゲートバイアス容量パラメータ
+VOFFCV = -0.02

*弱強反転領域実効ゲートバイアス容量パラメータ
+KT1 = -0.37

*短チャネルデバイスの閾値電圧温度係数
+KT1L = 0.0

*閾値電圧温度係数のチャネル長依存性
+KT2 = -0.042

*閾値電圧の基盤バイアス効果温度係数
+UTE = -1.5

*移動度温度指数
+UA1 = 1E-009

*U Aパラメータの温度係数
+UB1 = -3.5E-019

*UBパラメータの温度係数

+UC1 = 0

*UCパラメータの温度係数

+PRT = 0

*RDSWパラメータの温度係数

+AT = 53000

*キャリア速度飽和の温度係数

+FNOIMOD = 1

+TNOIMOD = 0

+JSS = 0.0001

+JSWS = 1E-011

+JSWGS = 1E-010

+NJS = 1

+IJTHSFWD = 0.01

+IJTHSREV = 0.001

+BVS = 10

+XJBVS = 1

+JSD = 0.0001

+JSWD = 1E-011

+JSWGD = 1E-010

+NJD = 1

+IJTHDFWD = 0.01

+IJTHDREV = 0.001

+BVD = 10

+XJBVD = 1

+PBS = 1

+CJS = 0.0005

*CJはゼロバイアス時の基板とソース、基板とドレイン底部の単位面積接合容量で、ADASなどの拡散面積をかけることによって容量に変換される。

+MJS = 0.5

+PBSWS = 1

+CJSWS = 5.0E-010

*ゼロバイアス時のソース・ドレイン接合周辺部の単位長さ容量で、ソースとドレインの周囲長、PS、PDなどの拡散距離をそれぞれ掛けることで容量に変換される。

+MJSWS = 0.33

+PBSWGS = 1

+CJSWGS = 5.0E-010
+MJSWGS = 0.33
+PBD = 1
+CJD = 0.0005
+MJD = 0.5
+PBSWD = 1
+CJSWD = 5.0E-010
+MJSWD = 0.33
+PBSWGD = 1
+CJSWGD = 5.0E-010
+MJSWGD = 0.33
+TPB = 0.005
+TCJ = 0.001
+TPBSW = 0.005
+TCJSW = 0.001
+TPBSWG = 0.005
+TCJSWG = 0.001
+XTIS = 3
+XTID = 3
+DMCG = 0E-006
*ゲート端からコンタクト中央までの距離
+DMCI = 0E-006
*アイソレーションからコンタクト中央までの距離
+DMDG = 0E-006
*マージデバイスの中央からゲート端までの距離
+DMCGT = 0E-007
*DMCG, DMC1, DMDG 距離補正用パラメータ
+DWJ = 0.0E-008
+XGW = 0E-007
+XGL = 0E-008
+RSHG = 0.4
+GBMIN = 1E-010
+RBPB = 5
+RBPD = 15
+RBPS = 15
+RBDB = 15

+RBSB = 15

+NGCON = 1