

Title	低消費電力高機能リコンフィギャラブルメモリシステムの研究
Author(s)	田中, 清史
Citation	科学研究費補助金研究成果報告書: 1-5
Issue Date	2011-06-10
Type	Research Paper
Text version	publisher
URL	http://hdl.handle.net/10119/9792
Rights	
Description	若手研究 (B) , 研究期間 : 2008 ~ 2010 , 課題番号 : 20700045 , 研究者番号 : 20333445 , 研究分野 : 計算機アーキテクチャ , 科研費の分科・細目 : 情報学・計算機システム・ネットワーク

機関番号：13302

研究種目：若手研究（B）

研究期間：2008～2010

課題番号：20700045

研究課題名（和文） 低消費電力高機能リコンフィギャラブルメモリシステムの研究

研究課題名（英文） Research of low-energy and highly functional reconfigurable memory systems

研究代表者

田中 清史（TANAKA KIYOFUMI）

北陸先端科学技術大学院大学・情報科学研究科・准教授

研究者番号：20333445

研究成果の概要（和文）：本研究では、性能向上・低電力消費を両立するメモリシステムアーキテクチャを提案し、シミュレーションによる評価、およびFPGAを利用したハードウェア実装による評価を行ってきた。提案手法は、メモリコントローラによる演算機能による高速化、キャッシュハードウェアによるデータ圧縮および専用命令を使用した各種ソフトウェア制御によるキャッシュの低消費電力化であり、評価結果により一定の効果が確認できた。

研究成果の概要（英文）：In this research, we have proposed memory architecture that achieves both high performance and low energy consumption, and evaluated it by simulation and actual hardware implementation. The proposed techniques consist of acceleration by functions in a memory controller and energy reduction of cache memories by hardware data compression and software control with special instructions. We confirmed a certain amount of effectiveness from evaluation.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2008年度	1,000,000	300,000	1,300,000
2009年度	1,600,000	480,000	2,080,000
2010年度	500,000	150,000	650,000
年度			
年度			
総計	3,100,000	930,000	4,030,000

研究分野：計算機アーキテクチャ

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：計算機アーキテクチャ、消費電力、キャッシュメモリ、リコンフィギャラブル、メモリコントローラ

1. 研究開始当初の背景

- (1) マイクロプロセッサはあらゆるアプリケーションに万能なアーキテクチャを目指してきたが、今日急速に広がりつつある大規模データを扱う用途に対しては必ずしも効率の良い処理が実現できていなかった。
- (2) 一方、マイクロプロセッサはその誕生から現在に至るまで高性能化が重視され、アーキテクチャの進歩および微細化による

動作周波数向上によりこの目的が達成されてきたが、一方消費電力の増大が問題となり、数年間は動作周波数向上が見送られていた。このことは現在も大きくは変わっていない。よって、将来のプロセッサのために高性能かつ低消費電力であるアーキテクチャを確立する必要がある。

2. 研究の目的

本研究では、プログラム実行におけるメモ

リアクセスの高速化、および近年問題視されているプロセッサの消費電力を対象とした。特にメモリアクセスの高速化の鍵となりつつ、電力消費の大部分を占めるキャッシュメモリに着目し、高性能かつ低消費電力を達成するキャッシュメモリアーキテクチャおよびそれを効率良く活用するためのコンパイラとソフトウェア方式を確立することを目的としてきた。具体的には本研究では3つの項目を挙げた。

- (1) 実行するアプリケーションに適したメモリアクセス機構を再構成により提供するメモリシステムアーキテクチャの確立。
- (2) プロセッサの電力消費の多くを占めるキャッシュメモリに着目した、低消費電力化のための仕組みの確立。
- (3) 上記(1)、(2)の機能を効率良く活用するための命令群を考案・策定し、従来の汎用命令と組み合わせ、高性能・低消費電力プロセッサのための命令セットアーキテクチャを定義し、それを利用するコンパイラとライブラリの研究。

3. 研究の方法

研究目的で述べた(1)に関して、キャッシュメモリを再構成により入出力バッファとして使用する方法、メモリコントローラによるDRAM構造を利用した連続データ転送方式に加え、それらと協調動作する信号処理用フィルタリングモジュール、数値計算用ベクトル演算モジュール、データベース基本演算モジュールなどにより、高速計算を実現する方法をとった。本研究期間では再構成可能なデバイスであるFPGAを利用して、実際にハードウェアを研究開発し、実アプリケーションを用いた性能評価を行い、提案機構の有効性を検証してきた。

プログラムが使用するデータには、ランダムアクセスデータのようにそのアドレスが重要なものと、規則的に連続アクセスされる一連あるいはストライドデータのように、順序と総サイズが意味的に重要なものがある。後者ではアクセスの規則性・連続性を考慮すれば、メモリシステム側でアドレスを自動生成可能であり、プログラムで毎回アドレスを指定するオーバーヘッドを削除可能である。このデータアドレスの規則性・連続性と、DRAM構造に着目したプロセッサとメモリ間でのバースト転送によるデータ参照の高速化が狙いである。更に、メモリコントローラ内に演算機能を設け、DRAM構造を利用した高速データ読み出し機構との協調動作により、CPUへの転送データに演算を施し、これらの繰り返し演算の高速化が可能となる。また、プロセッサの演算を低速周波数のメモリコントローラに置き換えることは、低消費電力化に

貢献できる。

研究目的の(2)に関して、近年の研究では、特に今後深刻となるリーク電流に対して、キャッシュメモリの部分的な電圧制御を行うことによる電力消費量の削減手法が注目を浴びていたが、これは、当面使用しないキャッシュブロックの電圧を下げることにより消費電力を削減するものであった。この手法は基本的にハードウェア制御によるものであり、プログラムからは透過的であることが前提となっている。しかし、プログラムの振舞い、すなわちメモリ/キャッシュブロックの使用に関して、ハードウェアが完全に解析することは不可能であり、このハードウェアによる見積りの不完全さが性能低下あるいは電力削減量が不十分となる原因である。本研究では、従来のメモリアクセス命令が、効率面を重視することから、参照する命令/データを強制的にキャッシュに格納することを見直した。例えばプログラムの意味上、参照する各命令/データが今後再度必要となるか否か、再利用される場合それはどのくらいの時間後か、その参照が当該ブロックへの最後のアクセスとなるか、などはソフトウェア側からある程度見積り/指示可能である。このことを踏まえて属性別のメモリアクセス命令を別個に用意する、あるいはメモリアクセス命令に属性を埋め込むことにより、その実行に従ってキャッシュの制御ハードウェアが電源・電圧制御を行う方法をとった。この方法はハードウェアのみの判断による電力制御と比べ、プログラムの意味的振舞いを利用して、より積極的な電力の削減および性能維持の点で有利となる。

以上の方式の他に、更なる電力削減手法として、キャッシュ上のデータの圧縮を行う方式を研究した。キャッシュブロックが圧縮可能である場合、圧縮によりブロックの空いた部分に対する電源を制御することにより消費電力を削減する方式を基本とした。本方式は、あくまでも圧縮により空いた部分のみの電圧変更に基づいており、電圧変更によりデータの消失がないことが特徴である。ただしこの方法では、データを参照する際に復元が必要となるため、性能低下を引き起こす可能性がある。これについても、メモリ参照の命令に属性を用意し、性能重視の命令（非圧縮でキャッシュを使用）と電力消費重視の命令（圧縮を伴う）とに分けてそれぞれ使用することを検討した。研究期間において電力消費モデルを使用したシミュレーションにより、本低電力化手法がアプリケーションのデータアクセスの振舞いとデータの性質によって電力削減が可能であることを示すことを目指した。

研究目的(3)に関して、アプリケーションから(1)の機能・演算選択が可能となるように、システムコールおよびライブラリを提供する

方法をとった。また、既存の命令セットをベースとして、将来の高性能・低消費電力プロセッサのための新しい追加命令群を定義することにした。更に、これらの命令を使用して効果的に演算機能を利用し、電力を削減するためのコンパイラ・ソフトウェア方式を確立し、一般のソフトウェアが電力消費を抑えながら高速実行される環境の実現を目指した。

4. 研究成果

研究期間において、まず(1)シミュレータ環境の構築、(2)シミュレーションによる大規模データアプリケーションに対する性能・電力の予備評価、および(3)ハードウェア記述言語による演算モジュール、圧縮回路、およびメモリコントローラの基本設計を行った。C言語によるシミュレータは、様々な用途の計算機環境を想定して、基本命令セットとしてSPARCアーキテクチャ、ARMアーキテクチャ、MIPSおよびAlphaの4種類を実行可能としている。また、実際のプログラムのメモリアクセスの振舞いと実行速度・電力を評価することを目的とすることから、アプリケーションプログラムのバイナリを入力とし、CPU内命令実行とメモリ/キャッシュアクセスおよびメモリコントローラ内の動作をクロックベースで詳細にシミュレーションするものである。フィルター演算アプリケーションや、SPECベンチマークのプログラム集を用いた予備評価により、様々なアプリケーションに対して実際に性能的に有用な演算モジュールと、電力的に有用な命令セットと圧縮アルゴリズムの選定を行った。また、演算モジュールと圧縮回路について、ハードウェア記述言語によって回路記述を行った。設計した回路に対して論理合成を行うことにより、回路の動作速度およびハードウェア量の評価を行った。この際、シミュレーションによって選定された圧縮率の高い圧縮アルゴリズムが、他の圧縮アルゴリズムよりも小規模の回路として実現可能であることがわかった。(以上、[学会発表]欄⑬~⑳)

続いて、(4)各種演算モジュールと圧縮回路のVHDLによる回路設計および検証/評価、(5)各演算モジュール、圧縮回路のメモリコントローラへの組込みおよび論理合成・配置・配線設計、(6)プログラムインタフェース(API)の作成、および(7)評価用プリント基板による評価システムの構築を行った。

対象とする演算モジュールと圧縮回路に関して、予備評価から選定したものについてのみ実際に回路を設計したが、それらの回路記述を更に洗練させ、動作速度と回路規模の最適化を行った。また、各モジュール/圧縮回路をメモリコントローラに組込み、FPGAを

ターゲットとして配置・配線を行うことにより、メモリコントローラ全体の動作速度、電力およびハードウェア量の評価を行った。続いて、メモリコントローラの再構成・制御を可能とするプログラムインタフェース(API)を作成し、アプリケーションプログラムからの制御方法を検討し、いくつかの方法を実際に試みた。さらに、実際のハードウェア上で実アプリケーションを用いた評価を行うためにメモリコントローラ用のFPGAを搭載する評価用プリント基板を設計・製作した。(図1)(以上、[学会発表]⑥~⑫)



図 1 演算モジュール評価基板

続いて、(8)設計・開発したFPGA搭載評価用ハードウェアを使用し、実アプリケーションを用いた提案機構の評価を行った。ベンチマークプログラムについて、作成した演算モジュールAPIを利用してメモリコントローラによる演算箇所の埋め込み、さらにCPUとメモリコントローラによるパイプライン処理、負荷分散処理を実現するための変更を行い、計算処理の高速化を図った。併せて、本研究において定義された省電力用命令群を使用するためのプログラム開発環境を構築し、本命令群を適用した場合の評価を行った。(以上、電力評価についてはシミュレーション上で行った。)

本研究の実施の過程で、当初の目的に加えて、新たに(9)キャッシュメモリのミス削減するハードウェア・ソフトウェア協調制御方式、および(10)小容量バッファを使用する組込みシステム向け命令・データキャッシュメモリ構成方式を提案し、評価を行い、一定の効果を示した。(以上、[学会発表]欄①~⑤)

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計10件)

- ① 請園智玲, 田中清史, “組込みプロセッサ向け命令キャッシュ制御方式の検討”, 組

- 込みシステムシンポジウム 2010 論文集, Vol. 2010, No.10, pp.81-86, 2010. (査読有り)
- ② Tomoaki Ukezono, Kiyofumi Tanaka, “Reduction of Leakage Energy in Low Level Caches,” Proc. of Workshop on Low Power System on Chip, conjunction with International Green Computing Conference, IEEE Digital Library, 2010. (査読有り)
- ③ 請園智玲, 田中清史, “動的最適化機構の電力最適化への適用”, 先進的計算基盤システムシンポジウム SACSIS 2010 論文集, 情報処理学会シンポジウムシリーズ, Vol. 2010, No. 5, pp.259-266, 2010. (査読有り)
- ④ 請園智玲, 田中清史, “バイナリ変換によるデータプリフェッチのためのハードウェア削減手法”, 情報処理学会論文誌: コンピューティングシステム, Vol.2, No.4, pp.1-14, 2009. (査読有り)
- ⑤ 笹山高志, 田中清史, “タスクの優先度を考慮したバイナリ最適化”, 組み込みシステムシンポジウム 2009 論文集, Vol. 2009, No.10, pp.127-132, 2009. (査読有り)
- ⑥ Kiyofumi Tanaka, Junji Yamano, “Automatic Application of Last-Touch Instructions for Leakage Energy Reduction,” IEEE Post Proc. of International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems (IWIA’08), pp. 43-50, 2008. (査読有り)
- ⑦ Tomoaki Ukezono, Kiyofumi Tanaka, “Dynamic Binary Code Translation for Data Prefetch Optimization,” Proc. of IEEE 2008 International Symposium on Frontiers in Computer Architecture Design (FCAD’08), USB-memory, 2008. (査読有り)
- ⑧ Kiyofumi Tanaka, Kouhei Hayashi, “Automatic Generation of Optimal Binary Codes for Real-Time Embedded Systems,” Proc. of International Conference on Embedded Systems and Applications (ESA’08), pp.268-273, 2008. (査読有り)
- ⑨ Tomoaki Ukezono, Kiyofumi Tanaka, “HDOS: An Infrastructure for Dynamic Optimization,” Proc. of International Conference on Parallel & Distributed Processing Techniques & Applications, pp.33-39, 2008. (査読有り)
- ⑩ 請園智玲, 田中清史, “データプリフェッチ最適化のためのバイナリ変換手法”, 先進的計算基盤システムシンポジウム SACSIS 2008 論文集, 情報処理学会シンポジウムシリーズ, Vol. 2008, No. 5, pp.187-194, 2008. (査読有り)
- [学会発表] (計20件)
- ① 請園智玲, 田中清史, “組み込みプロセッサ向け命令キャッシュ制御方式の検討”, 組み込みシステムシンポジウム ESS2010, 2010.10.28. (東京)
- ② 請園智玲, 田中清史, “組み込みプロセッサ向けデータキャッシュ制御方式の検討”, 情報処理学会第183回計算機アーキテクチャ研究会, 2010.10.18. (東京)
- ③ Huh, Younsuk, 田中清史, “階層型キャッシュシステムにおける高効率なブロック配置法”, 平成22年度電気関係学会北陸支部連合大会, 2010.9.11 (鯖江)
- ④ 國本将也, 田中清史, 柳澤秀明, “命令実行方式の切り替えによる消費電力削減手法の提案”, 平成22年度電気関係学会北陸支部連合大会, 2010.9.11. (鯖江)
- ⑤ Tomoaki Ukezono, Kiyofumi Tanaka, “Reduction of Leakage Energy in Low Level Caches,” Workshop on Low Power System on Chip, 2010.8.18. (Chicago, USA)
- ⑥ 請園智玲, 田中清史, “動的最適化機構の電力最適化への適用”, 先進的計算基盤システムシンポジウム SACSIS2010, 2010.5.28. (奈良)
- ⑦ 笹山高志, 田中清史, “タスクの優先度を考慮したバイナリ最適化”, 組み込みシステムシンポジウム ESS2009, 2009.10.22. (東京)
- ⑧ 青木基視, 田中清史, “Software Self-Invalidation を用いた省電力 JavaVM”, 平成21年度電気関係学会北陸支部連合大会, 2009.9.13. (能美/石川)
- ⑨ 佐藤伸洋, 田中清史, “マルチコアプロセッサにおける共有キャッシュの分割手法”, 平成21年度電気関係学会北陸支部連合大会, 2009.9.13. (能美/石川)
- ⑩ 伊藤泰人, 田中清史, “演算器の低消費電力化を支援するオペレーティングシステム”, 平成21年度電気関係学会北陸支部連合大会, 2009.9.13. (能美/石川)
- ⑪ 岩永明人, 田中清史, 柳澤秀明, “FPGAによる共有メモリ型マルチコアプロセッサの実装”, 平成21年度電気関係学会北陸支部連合大会, 2009.9.13. (能美/石川)
- ⑫ 今井俊晴, 田中清史, “メモリバスを有効利用するメモリコントローラによるプッシュ・プリフェッチ”, 平成21年度電気関係学会北陸支部連合大会, 2009.9.13. (能美/石川)

- ⑬ Kiyofumi Tanaka, Hiroki Zushi, “An Energy-Aware Operating System and Software Development Environment for Embedded Systems,” International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems (IWIA’09), 2009. 3. 16. (Hawaii, USA).
- ⑭ 圖子弘記, 田中清史, “消費電力の削減を支援する組込み OS”, 平成 20 年度電気関係学会北陸支部連合大会, 2008. 9. 13. (富山)
- ⑮ 間部雄介, 田中清史, “自発的無効化の動的適用によるキャッシュメモリの低消費電力化”, 平成 20 年度電気関係学会北陸支部連合大会, 2008. 9. 13. (富山)
- ⑯ Le Kieu Nhu, 田中清史, “データ圧縮を用いたキャッシュメモリの消費電力削減法の有効性”, 平成 20 年度電気関係学会北陸支部連合大会, 2008. 9. 13. (富山)
- ⑰ Tomoaki Ukezono, Kiyofumi Tanaka, “Dynamic Binary Code Translation for Data Prefetch Optimization,” IEEE 2008 International Symposium on Frontiers in Computer Architecture Design (FCAD’08), 2008. 8. 5. (Hsinchu/Taiwan)
- ⑱ Kiyofumi Tanaka, Kouhei Hayashi, “Automatic Generation of Optimal Binary Codes for Real-Time Embedded Systems,” International Conference on Embedded Systems and Applications (ESA’08), 2008. 7. 17. (Las Vegas, USA)
- ⑲ Tomoaki Ukezono, Kiyofumi Tanaka, “HDOS: An Infrastructure for Dynamic Optimization,” International Conference on Parallel & Distributed Processing Techniques & Applications, 2008. 7. 17. (Las Vegas, USA)
- ⑳ 請園智玲, 田中清史, “データプリフェッチ最適化のためのバイナリ変換手法”, 先進的計算基盤システムシンポジウム SACSIS2008, 2008. 6. 12, つくば.

6. 研究組織

(1) 研究代表者

田中 清史 (TANAKA KIYOFUMI)
北陸先端科学技術大学院大学・情報科学研究科・准教授
研究者番号：20333445

(2) 研究分担者

該当無し

(3) 連携研究者

該当無し